

UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS  
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA  
NÍVEL MESTRADO PROFISSIONAL

RENAN DANIEL DIAS MARTINS

**PROJETO E ANÁLISE DE CIRCUITOS DE COLETA DE ENERGIA DE RÁDIO  
FREQUÊNCIA PARA APLICAÇÕES IOT**

São Leopoldo

2021

RENAN DANIEL DIAS MARTINS

**PROJETO E ANÁLISE DE CIRCUITOS DE COLETA DE ENERGIA DE RÁDIO  
FREQUÊNCIA PARA APLICAÇÕES IOT**

Dissertação apresentada como requisito parcial  
para obtenção do título de Mestre em  
Engenharia Elétrica, pelo Programa de Pós-  
Graduação em Engenharia Elétrica da  
Universidade do Vale do Rio dos Sinos -  
UNISINOS

Orientador: Prof. Dr. Sandro Binsfeld Ferreira

São Leopoldo

2021

M386m Martins, Renan Daniel Dias.

Projeto e análise de circuitos de coleta de energia de rádio frequência para aplicações IOT / Renan Daniel Dias Martins. – 2021.

92 f. : il. ; 30 cm.

Dissertação (mestrado) – Universidade do Vale do Rio dos Sinos, Programa de Pós-Graduação em Engenharia Elétrica, 2021.

“Orientador: Prof. Dr. Sandro Binsfeld Ferreira.”

1. Captação de energia.
  2. Circuitos integrados.
  3. Semicondutores complementares de óxido metálico.
  4. Radiofrequência.
  5. Eficiência de conversão de potência.
- I. Título.

CDU 621.3

Dados Internacionais de Catalogação na Publicação (CIP)  
(Bibliotecária: Amanda Schuster – CRB 10/2517)



*Dedico este trabalho àquela que sempre me apoia e incentiva incondicionalmente, Tatiane Texeira.*



## **AGRADECIMENTOS**

Agradeço, primeiramente, à esta instituição de ensino, seu corpo docente, administrativo e diretivo, que sempre buscou e busca proporcionar a melhor experiência universitária para seus estudantes, fundamentada em seus princípios éticos voltados ao desenvolvimento da sociedade e do indivíduo.

Agradeço ao professor Sandro Binsfeld Ferreira pela orientação, paciência e por todo o conhecimento que compartilhou nesta trajetória acadêmica.

Agradeço à HT Micron Semicondutores S.A., que me possibilitou dar mais esse passo em minha trajetória acadêmica, através do Programa de Apoio ao Desenvolvimento tecnológico da Indústria de Semicondutores (PADIS).

Por fim, agradeço à Tatiane Texeira pelo apoio incondicional e pela motivação em todos os momentos dessa jornada.





“A alegria não chega apenas no encontro do achado, mas faz parte do processo da busca. E ensinar e aprender não pode dar-se fora da procura, fora da boniteza e da alegria” (FREIRE, 2009).



## RESUMO

Este trabalho apresenta uma visão geral sobre dispositivos para coleta de energia do espectro de radiofrequência, apontando vantagens e desvantagens das principais topologias utilizadas, bem como apresentando os pontos mais relevantes para o projeto de sistemas de *Energy Harvesting*. Para demonstrar o funcionamento de um sistema de *Energy Harvesting*, é proposto um circuito para esta finalidade que faz uso de uma antena de RF, uma rede de casamento de impedâncias com circuito ressonante para elevação de tensão de entrada e um retificador em topologia de multiplicador de tensão por acoplamento cruzado de portas modificado. O circuito proposto utiliza dez estágios de multiplicação de tensão e é capaz de fornecer tensão de saída igual a 1,2 V quando alimentado com -26 dBm entre terminais de saída da antena. São demonstradas formas de definir parâmetros de projeto para EH, como tensão de saída, quantidade de estágios de multiplicação, topologias alternativas, e como encontrar o ponto ótimo de trabalho do circuito através de simulações. O circuito integrado foi desenvolvido em tecnologia CMOS TSMC 180 nm e apresenta uma eficiência de conversão de energia (PCE) máxima de 28,41%.

**Palavras-chave:** *Energy Harvesting*, Circuito Integrado, CMOS, RF, PCE.



## ABSTRACT

This work presents an overview of RF Energy Harvesting devices, pointing out the advantages and disadvantages of the main topologies used, as well as presenting the most relevant points for the design of Energy Harvesting systems. To demonstrate the operation of an Energy Harvesting system, a circuit is proposed for this purpose that makes use of an RF antenna, an impedance matching network with a resonant circuit for raising the input voltage and a modified gate cross-coupled charge pump rectifier (CC-CPR). The proposed circuit uses ten stages of CC-CPR to providing an output voltage equal to 1.2 V when powered with -26 dBm. Ways to define design parameters for EH are demonstrated, such as output voltage, number stages of rectification, alternative topologies, and how to find the optimal working point of the circuit through simulations. The integrated circuit was developed in CMOS TSMC 180nm technology and has a maximum power conversion efficiency (PCE) of 28.41%.

**Keywords:** RF Energy Harvesting, IC, CMOS, PCE, CC-CPR.



## LISTA DE SIGLAS

AM	<i>Amplitude Modulation</i> (modulação por amplitude)
BW	<i>Bandwidth</i> (largura de banda)
CAD	<i>Computer Assisted Design</i> (desenho assistido por computador)
CC	Corrente Contínua
CC-CPR	<i>Cross Coupled Charge Pump Rectifier</i> (retificador multiplicador de tensão por chaveamento cruzado)
CI	Circuito Integrado
CMOS	<i>Complementary Metal Oxide Semiconductor</i> (semicondutor de óxido metálico complementar)
CVD	<i>Chemical Vapor Deposition</i> (deposição química em fase de vapor)
EH	<i>Energy Harvesting</i> (captação de energia de fonte conhecida)
ES	<i>Energy Scavenging</i> (captação de energia de fonte desconhecida)
GSM	<i>Global System for Mobile</i> (Sistema global para dispositivos móveis)
IA	Inteligência Artificial
IoT	<i>Internet of Things</i> (internet das coisas)
ISM	<i>Industrial, Scientific and Medical</i> (industrial, científica e médica)
LDO	<i>Low Dropout</i> (baixa queda de tensão – retificadores)
M2M	<i>Machine to Machine</i> (máquina para máquina)
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> (transistor de efeito de campo de semicondutor de óxido metálico)
NMOS	<i>N type Metal Oxide Semiconductor</i> (semicondutor de óxido metálico tipo N)
OS-CPR	<i>Orthogonally Switching Charge Pump Rectifier</i> (retificador multiplicador de tensão com chaveamento ortogonal)
P&G	Procter & Gumble
PCE	<i>Power Conversion Efficiency</i> (eficiência de conversão de potência)
PDCA	<i>Plan, Do, Check, Act</i> (planejar, executar, verificar, agir)
PDK	<i>Process Development Kit</i> (pacote de desenvolvimento de processo)
PIB	Produto Interno Bruto
PMOS	<i>P type Metal Oxide Semiconductor</i> (semicondutor de óxido metálico tipo P)
PMU	<i>Power Management Unit</i> (unidade de gerenciamento de energia)
RF	Radiofrequência

RFEH	<i>Radio Frequency Energy Harvesting</i> (captação de energia de radiofrequência)
RFID	<i>Radio Frequency Identification</i> (identificação por radiofrequência)
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i> (companhia fabricante de semicondutores Taiwan)
UV	Ultravioleta
VBN	<i>Voltage-boosting Network</i> (rede de elevação de tensão)



## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b> .....	<b>17</b>
1.1	Tema.....	19
1.2	Delimitação do tema .....	19
1.3	Problema .....	19
1.4	Objetivos.....	20
1.4.1	Objetivo geral.....	20
1.4.2	Objetivos específicos .....	20
1.5	Justificativa.....	20
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b> .....	<b>23</b>
2.1	Internet das coisas .....	23
2.2	<i>Energy Harvesting</i> .....	24
2.3	Ondas Eletromagnéticas e Radiofrequência .....	25
2.4	Antenas.....	27
2.5	Disponibilidade de energia.....	30
2.6	Retificadores .....	33
2.6.1	Multiplicadores de tensão Dickson e Cockcroft-Walton .....	35
2.6.2	Multiplicador de tensão por chaveamento ortogonal (OS-CPR) .....	37
2.6.3	Multiplicador de tensão por acoplamento cruzado (CC-CPR) .....	39
2.7	Gerenciadores de energia .....	44
2.8	Armazenadores de energia.....	45
2.9	Conceitos básicos sobre circuitos integrados CMOS e sua fabricação .....	45
<b>3</b>	<b>METODOLOGIA</b> .....	<b>55</b>
3.1	Especificação dos requisitos.....	57
3.2	Estudo das topologias .....	57
3.3	Projeto do circuito, simulação e ajustes.....	58
3.4	<i>Layout</i> .....	61
3.5	Simulações .....	63
<b>4</b>	<b>ANÁLISE DOS RESULTADOS</b> .....	<b>65</b>
4.1	Trabalhos correlatos.....	80
<b>5</b>	<b>CONCLUSÃO</b> .....	<b>83</b>
5.1	Sugestões para trabalhos futuros .....	84
	<b>REFERÊNCIAS</b> .....	<b>85</b>



## 1 INTRODUÇÃO

Desde a primeira revolução industrial, o ritmo de produção da indústria só aumenta, fomentando o desenvolvimento de novas tecnologias que permitam cada vez tornar as produções mais eficientes e eficazes, reduzindo os custos de produção, os desperdícios e a necessidade de interação humana, como vem acontecendo desde a terceira revolução industrial, com a automatização das produções. Recentemente, entramos na quarta revolução industrial, que está sendo fomentada principalmente pelo desenvolvimento da Indústria 4.0, que consiste não mais na mecanização, alto uso de energia elétrica e automação dos processos produtivos, como nas três primeiras revoluções (LEE; KAO; YANG, 2014), mas no uso da inteligência para gerenciar esses processos. Desta vez, essa inteligência não é mais humana, mas das máquinas. Neste período histórico que vivemos, com processos produtivos cada vez mais complexos e margens de lucro cada vez menores, a capacidade humana de tomada de decisões importantes ao processo não são mais suficientes, tanto em quantidade quanto em velocidade e até mesmo qualidade. Eliciado pela Internet, a Indústria 4.0 permite a comunicação entre humanos e também entre máquinas nos Sistemas Cibernéticos Físicos para adquirir e processar dados e controlar certas tarefas. Isto está transformando radicalmente o desempenho das atividades de manufatura em todo o mundo (SHAMIM *et al.*, 2019).

Decisões precisam ser tomadas a cada segundo em um processo produtivo atual e máquinas são capazes de tomar milhões, talvez bilhões de decisões a cada segundo, tornando o humano defasado nesse quesito. Porém, para que uma máquina seja capaz de tomar essas decisões, ela precisa ser treinada, ensinada a tomá-las. As Inteligências Artificiais (IA) são ferramentas computacionais desenvolvidas para executarem determinadas tarefas e responderem de forma rápida a desvios de processo ou mesmo encontrar soluções para problemas extremamente complexos de forma rápida. Estas respostas rápidas são possíveis devido a quantidade de dados sobre o processo ou atividade que essa IA tem acesso. Esses dados são, geralmente, oriundos de sensores, atuadores e informações pré-carregadas. Com processos extremamente complexos, essa quantidade de dispositivos conectados aumenta significativamente.

Quando há uma quantidade muito grande de dispositivos conectados entre si, interagindo e executando suas funções em uma rede, independentemente da interferência humana, tem-se o que se chamou de Internet das Coisas, ou IoT, da sigla em inglês para *Internet of Things*. Este termo foi usado pela primeira vez em 1999 por Kevin Ashton, em uma apresentação na empresa Procter & Gamble (P&G), enquanto desenvolvia dispositivos de

identificação por radiofrequência (RFID) (ASTHON, 2010). Atualmente, com a complexidade cada vez maior de processos, são necessários muitos dispositivos de sensoriamento para monitorar esses processos, fazendo com que a demanda por dispositivos aumente, forçando o custo individual desses dispositivos a cair, de forma que o sistema se mantenha praticável. Com isso, se faz necessário reduzir os custos de produção e manutenção de cada dispositivo. Formas encontradas para isso são a eliminação de cabos e baterias, que sempre tem custos elevados nesse tipo de projeto.

Além do custo, a evolução tecnológica das baterias, por exemplo, não segue o mesmo ritmo de avanço que a evolução dos sistemas digitais, conforme Pop-Vadean *et al.* (2017), o que causa uma lacuna entre estes setores e acaba limitando a autonomia energética dos projetos. Dessa forma, desenvolver dispositivos capazes de captar a própria energia do ambiente em que estão inseridos é altamente recomendado para a implantação de projetos complexos de IoT.

Circuitos capazes de obter energia do ambiente constantemente e, assim, manterem-se em funcionamento sem a necessidade de intervenção humana reduzem o custo de projeto, o custo de manutenção e, por consequência, permitem que a rede fique cada vez maior, mais inteligente, mais autônoma e mais eficaz. Isso ocorre, pois quanto mais sensores e atuadores, maior é a geração de dados e maior é o controle da rede sobre a atividade ou processo. O *Energy Harvesting* (EH) representa uma solução para alimentar dispositivos remotos usando energia limpa, eliminando a necessidade de baterias e, assim, eliminando um obstáculo para o sucesso da Internet das Coisas, conforme Pop-Vadean *et al.* (2017).

Este trabalho trata da análise de topologias de coleta de energia do espectro eletromagnético presente nas áreas de atividade humana, como sinais de rádio de telefonia móvel, internet 3G, 4G e Wi-Fi, por exemplo, utilizando a tecnologia CMOS TSMC 180 nm. Cada processo é caracterizado pelo comprimento mínimo de canal,  $L_{\min}$ ; e, assim, por exemplo, em um processo de 180 nm, como o utilizado neste trabalho, o menor transistor tem um comprimento de canal de 180 nm (SEDRA; SMITH, 2007). Dispositivos CMOS são circuitos fundamentais para a eletrônica, tanto analógica quanto digital, estes transistores podem ser utilizados na construção de portas lógicas digitais, bem como na concepção de amplificadores ou chaves eletrônicas. Uma das aplicações mais comuns para estes transistores são os amplificadores. Para Razavi (2016), estes são elementos fundamentais para elevar a tensão, a corrente ou a potência de sinais elétricos. Isso é feito, pois alguns sinais são muito baixos e podem não ser capazes de acionar cargas, ou mesmo podem ser muito sensíveis a ruídos. A aplicação dos transistores CMOS neste trabalho consiste em chaves de passagem ou bloqueio de corrente elétrica, de acordo com o ponto de operação do circuito.

Este trabalho está organizado de forma a apresentar um referencial teórico básico ao entendimento do texto, seguido pela estruturação da metodologia utilizada para o desenvolvimento do trabalho, onde são apresentadas as etapas de execução do projeto. Logo em seguida, são apresentados os resultados obtidos e feita uma discussão sobre eles, levantando pontos relevantes ao conhecimento construído. Então é feita uma comparação entre os resultados obtidos neste trabalho com os resultados obtidos pelas referências bibliográficas utilizadas e por fim são apresentadas as conclusões obtidas com o trabalho e algumas sugestões para trabalhos futuros.

## **1.1 Tema**

Conectar dispositivos físicos ao mundo virtual por meio da internet é o passo atual na escalada tecnológica da humanidade. O uso da IA para tomar decisões importantes em processos e atividades complexas permite aos humanos dedicarem mais tempo para o desenvolvimento de tecnologias ainda mais avançadas. Enquanto isso, máquinas se tornam cada vez mais capazes de tomar decisões por si, gerando ganho de tempo e produtividade em toda a atividade humana, através de inúmeros sensores e atuadores conectados à IA através da rede — que pode ser a internet. O tema deste trabalho é a apresentação de uma forma de autossuficiência energética para os nós mais básicos de uma rede de coisas; os sensores. Eliminando a necessidade de cabos e baterias do sistema, tornando-o menos custoso para implantação e possibilitando um sistema ainda mais robusto, devido ao aumento da quantidade de nós.

## **1.2 Delimitação do tema**

Este trabalho foca na análise e desenvolvimento de circuitos capazes de coletar energia de campos eletromagnéticos do ambiente e convertê-la em energia elétrica capaz de alimentar dispositivos IoT de baixo consumo. A este tipo de captação de energia é dado o nome de *Energy Harvesting (EH)*, sendo os circuitos responsáveis por esta coleta e transformação de energia denominados *Harvesters*.

## **1.3 Problema**

O desenvolvimento acelerado da internet das coisas faz a demanda por dispositivos aumentar, fazendo com que o custo unitário por nós seja forçado a cair. Uma forma de reduzir esse custo nos nós básicos de uma rede IoT é eliminar a dependência de cabos e baterias para alimentação deles. Circuitos capazes de coletar energia através de radiofrequência (RF) são

denominados RFEH (*Radio Frequency Energy Harvester*). Esse conceito de transferência de energia sem fios através de RF foi introduzido por Nikola Tesla em 1900 e chamado de *Wireless Power Transfer (WPT)*, ou Transferência de Energia Sem Fios em português (TESLA, 1900).

## 1.4 Objetivos

### 1.4.1 Objetivo geral

Projetar um circuito utilizando tecnologia CMOS capaz de coletar energia eletromagnética na banda ISM (Industrial, Científica e Médica) centrada em 915 MHz para alimentar dispositivos IoT de baixo consumo de energia.

### 1.4.2 Objetivos específicos

Para o atendimento do objetivo final deste trabalho, algumas metas devem ser alcançadas. A lista abaixo sugere os objetivos específicos para o cumprimento destas metas.

- a) definir os pontos relevantes a serem levados em consideração no projeto de circuitos para coleta de energia em radiofrequência;
- b) definir algum método de avaliação de viabilidade do uso da tecnologia proposta de acordo com o espectro RF disponível;
- c) avaliar as principais topologias utilizadas nesse tipo de circuito, mencionando os prós e contras de cada uma delas, para auxiliar na escolha da topologia adequada para cada tipo de projeto de circuito de *Energy Harvesting*.

## 1.5 Justificativa

Desenvolver soluções em IoT exige o atendimento a uma gama de exigências. A principal delas é o baixo custo de implantação e manutenção, visto que a quantidade de nós presentes na rede é muito grande. Assim, quanto menor for o custo do nó, maior e mais “inteligente” poderá ser a rede. O principal causador do aumento do custo de um dispositivo conectado à rede é o uso de baterias, pois tem valor elevado para implantação e necessitam de manutenção periódica. Para eliminar esse custo com baterias, bem como o custo com a manutenção delas, o circuito deve ser o mais otimizado possível em termos de consumo energético. O desenvolvimento de circuitos de baixo consumo capazes de coletar energia do ambiente, sem a utilização de fios e sem a necessidade de baterias, torna viável a implementação de redes cada vez maiores e cada

vez mais inteligentes, deixando os limites de suas possibilidades apenas na criatividade e capacidade técnica de seus integradores.





## 2 FUNDAMENTAÇÃO TEÓRICA

Para melhor compreensão e visão geral sobre o problema que este trabalho busca solucionar, é imprescindível o conhecimento prévio de alguns conceitos e fundamentos básicos sobre o universo que envolve a Internet das Coisas (IoT). A seguir são apresentados, em tópicos, os principais conceitos e elementos que a compõem.

### 2.1 Internet das coisas

A Internet das coisas não é mais uma visão futurística, mas sim uma realidade, alcançando domínios de aplicação que vão desde casas inteligentes, passando por cidades inteligentes e *e-health*, até a Indústria 4.0 (BRÖRING *et al.*, 2017). Desde a primeira vez em que o termo foi usado em 1999 até os dias atuais, o aumento da pesquisa e o desenvolvimento de aplicações voltadas para a Internet das coisas cresce continuamente, como se pode medir pelo tamanho do mercado de sensores IoT, que se expandiu quase duas vezes e meia de 2012 a 2019, conforme Bedi *et al.* (2018). Esse constante crescimento se dá principalmente pela popularização da Internet das coisas e o barateamento dos nós físicos da rede. Como exemplo, pode-se citar a crescente demanda por produtos de uso doméstico que se conectam à internet, como eletrodomésticos, lâmpadas, eletroeletrônicos em geral e assistentes pessoais.

Além disso, a indústria e o agronegócio também têm investido fortemente na modernização de suas unidades produtivas, visto os ganhos de produtividade que se tornam possíveis com um forte investimento em tecnologia. De acordo com SAP (2016), por exemplo, a integração de dispositivos IoT em uma linha de tratores de um de seus clientes gerou aumento de 100% na confiabilidade dos dados gerados e de 100% na velocidade da informação para a tomada de decisões, o que representa ganhos de produtividade reais no campo, onde está concentrado cerca de 22% do Produto Interno Bruto Brasileiro (PIB).

De forma simplificada, a Internet das coisas é formada sempre que há dois ou mais dispositivos que interagem entre si através da internet, com ou sem interferência humana, em um tipo de comunicação conhecido como *Machine-to-Machine* (M2M) ou Máquina para máquina, em português. Na prática, uma rede IoT bem formulada é composta de sensores para monitorar processos ou atividades, atuadores para executar atividades, algum nível de automação para garantir a autonomia do sistema e um monitoramento através de uma IA, capaz de adequar todo o processo às pequenas variações inerentes ao universo físico da aplicação. Nesta etapa podem ser aplicados conceitos de Aprendizado de Máquina para desenvolver a

robustez de todo o sistema e reduzir a interação humana, gerando resultados mais precisos, mais eficazes, mais efetivos e mais rápidos.

Este tipo de estrutura, conforme se torna mais complexa, acaba exigindo maior quantidade de nós, que podem ser sensores ou atuadores. Estes nós precisam ter o custo unitário inversamente proporcional à quantidade necessária de nós na aplicação para que a implementação e expansão da rede seja possível. Assim, uma das formas de redução de custo do nó é a eliminação do uso de cabos e baterias para energização, deixando o próprio nó responsável por captar a energia necessária para o seu funcionamento. Este processo de coleta de energia é conhecido pelo termo em inglês *Energy Harvesting* (coleta de energia).

## 2.2 *Energy Harvesting*

*Energy Harvesting* (EH) é um conceito utilizado para definir sistemas capazes de coletar a energia disponível no ambiente nas mais diversas formas, como a solar, de vibrações, térmica, cinética, piezoelétrica e de radiofrequência. Um outro conceito que se assemelha a este, o *Energy Scavenging* (coleta de energia – quando se pretende coletar toda a energia disponível no ambiente de forma não seletiva), é um tipo de sistema com a mesma finalidade do *Energy Harvesting* – coletar energia do ambiente para alimentar um circuito - porém, enquanto o *Harvesting* é focado em coletar energia de uma fonte conhecida, o *Energy Scavenging* (ES) é um tipo de coleta de energia que busca tudo o que está disponível no ambiente para utilização. “O *Energy Scavenging* refere-se a ambientes onde as fontes ambientais são desconhecidas ou altamente irregulares, enquanto o *Energy Harvesting* refere-se a situações em que as fontes de energia do ambiente são bem caracterizadas e regulares” (PRIYA e INMAN, 2009). Porém, para manter um sistema operando de forma constante, sem interrupções, o mais indicado é o modelo definido pelo *Energy Harvesting*, onde as características ambientais são conhecidas, ou mesmo geradas para este fim. Fisicamente, são dispositivos iguais, com funcionamentos equivalentes, mudando apenas o foco, pois geralmente um EH é projetado para se obter o máximo desempenho no ponto de operação, enquanto o ES é otimizado para captar energia em qualquer ponto de operação, ou em uma larga faixa.

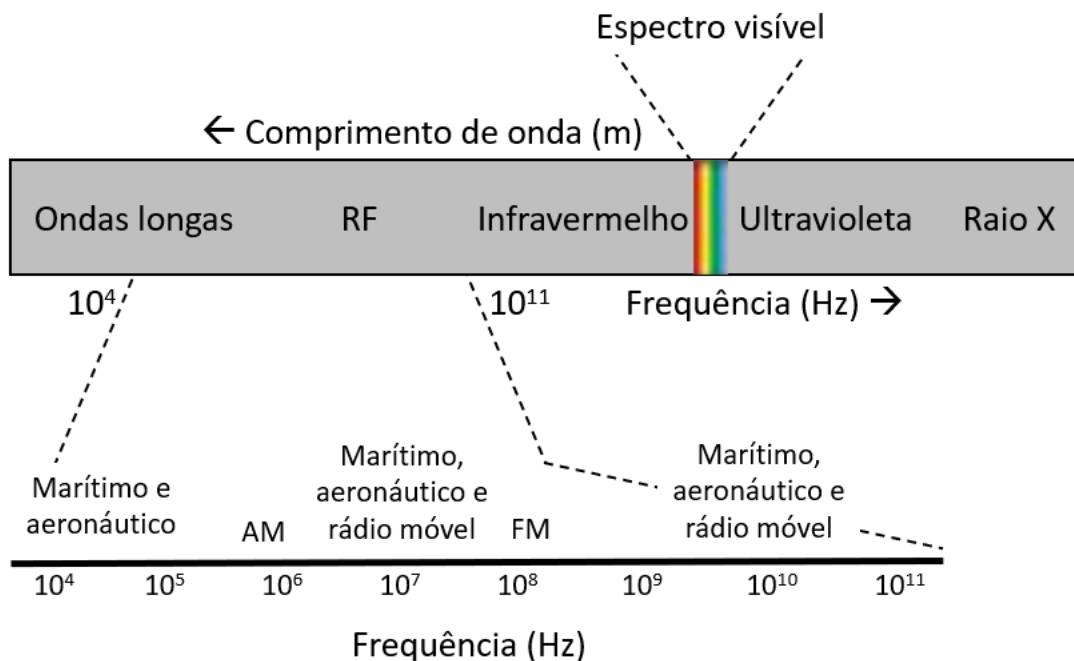
Por décadas, as fontes de energia solar e eólica foram exploradas para diversas aplicações. As últimas décadas assistiram a grandes esforços de pesquisa dedicados à diversificação de fontes de energia para alimentar sensores autônomos para redes IoT (PENELLA-LÓPEZ e GASULLA-FORNER, 2011). Com o desenvolvimento da Internet das coisas, novas fontes de energias alternativas em pequena escala estão sendo utilizadas.

Basicamente, pode-se subdividir estas fontes de pequena escala em fontes irradiantes, mecânicas, térmicas, magnéticas e bioquímicas. A maneira de coletar e converter a energia dessas fontes é o que caracteriza o tipo de dispositivo de *Energy Harvesting*. Neste trabalho é abordado o tipo de coletor de energia de radiofrequência (RFEH).

### 2.3 Ondas Eletromagnéticas e Radiofrequência

As ondas de rádio existem em praticamente todos os lugares do planeta e do espaço. Todo local habitado por seres humanos apresenta um espectro eletromagnético bastante rico e definido, especialmente nas bandas ocupadas pelas frequências de celular, internet móvel e *Wi-Fi*. A faixa de frequências que abrange este espectro vai de 3 kHz até 300 GHz. Como o próprio nome diz, essa faixa é utilizada, principalmente, por equipamentos de comunicação via rádio. Os mecanismos por trás da propagação de ondas eletromagnéticas são diversos, mas geralmente são atribuídas à reflexão, difração e refração (RAPPAPORT, 2002). A Figura 1 apresenta uma ilustração do espectro eletromagnético, enfatizando a banda de radiofrequência. Canais de televisão e de rádio AM, por exemplo, representam bandas específicas definidas legalmente para fins comerciais ou outros propósitos. Não existem lacunas no espectro eletromagnético (HALLIDAY et al., 2012), o que se observa são bandas com mais ou menos potência sendo irradiada ou captada, dependendo da localização e serviços de rádio utilizados na região.

Figura 1 – Espectro eletromagnético e banda de ondas de rádio



Fonte: Adaptado de Halliday, Resnick e Walker (2012, p. 2).

Uma onda eletromagnética pode ser representada graficamente através da combinação de duas outras ondas; uma de campo elétrico e outra de campo magnético. Essas ondas surgem naturalmente quando cargas elétricas se movimentam em qualquer corpo. Cargas em movimento geram campos elétricos variantes, que induzem forças magnéticas sobre a matéria, que por sua vez, acabam formando campos magnéticos proporcionais a estes campos elétricos iniciais. A variação destes dois campos em conjunto gera ondas eletromagnéticas.

Os campos magnético e elétrico que formam uma onda eletromagnética que se propaga particular e positivamente no eixo x, como mostra a Figura 2 podem ser representados através das expressões:

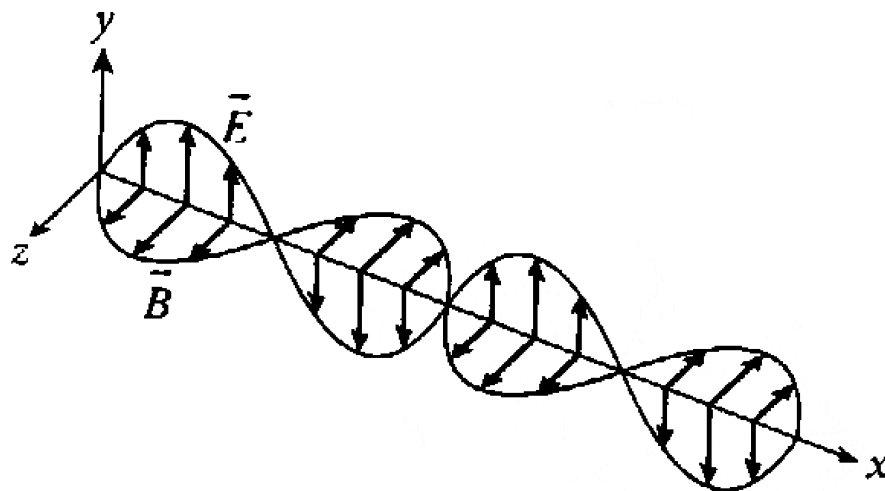
$$\vec{E} = (\vec{r}, t) = E_{m\acute{a}x} \sin(kx - \omega t) \hat{y} \quad (1)$$

e

$$\vec{B} = (\vec{r}, t) = B_{m\acute{a}x} \sin(kx - \omega t) \hat{z} \quad (2)$$

Onde  $k = 2\pi / \lambda$  e  $\omega = 2\pi f$ .

Figura 2 – Onda eletromagnética



Fonte: Bauer, Westfall e Dias (2012, p. 231).

Apenas é importante salientar que as intensidades de ambos os campos não possuem qualquer dependência com as coordenadas y e z, somente com a coordenada x e com o tempo. Esse tipo de onda, em que os vetores campo elétrico e campo magnético se situam em um mesmo plano, é denominado onda plana. O campo elétrico se encontra inteiramente na direção y, enquanto seu campo magnético encontra-se inteiramente na direção z, ou seja, ambos os campos são perpendiculares à direção de propagação da onda. (BAUER; WESTFALL; DIAS, 2012)

Conforme Hagerty et al (2004, apud Penella-López e Gasulla-Forner, 2011), ondas de rádio são emitidas em *broadcasting* de uma estação de geração ou de antenas de telefonia celular. Geralmente as antenas utilizadas em EH para coleta de energia do ambiente são de *broadband* e polarizadas circularmente. Para Penella-López e Gasulla-Forner (2011), isso se dá pelo fato de haver muitas frequências disponíveis e diferentes polarizações, ou ainda por não conhecer integralmente o espectro de radiofrequências do ambiente. No caso de uso de geradores para alimentação de dispositivos por RF, as bandas industriais, científicas e de aplicações médicas podem ser utilizadas, estas são chamadas pelo acrônimo ISM. A equação que descreve a densidade de energia coleta é dada por:

$$S = P_{EIRP} \left( \frac{1}{4\pi d^2} \right) \quad (3)$$

Sendo  $P_{EIRD}$  a potência efetiva irradiada e  $d$  a distância até o transmissor em um ambiente de espaço livre.

## 2.4 Antenas

Antenas de radiofrequência são utilizadas para captar sinais na banda de  $10^4$  a  $10^{11}$  Hertz. Estas antenas podem ser sintonizadas em frequências específicas, como aplicações de EH, ou em bandas mais abertas, como no caso de aplicações de ES, dependendo do projeto. Certamente é importante salientar que o ganho de uma antena é inversamente proporcional a sua largura de banda, ou seja, quanto mais estreita for a banda, maior o ganho da antena. Isso é útil, em aplicações como *Energy Harvesting*, quando se analisa a aplicação, ou seja, quando se pretende emitir um sinal para alimentar os circuitos em um ambiente, ou se conhece bem o espectro disponível. É interessante que este sinal seja emitido em uma única frequência para que o ganho seja máximo nas antenas sintonizadas dos receptores. Ou, em caso de coleta de energia em ambientes cujo gerador não é local, ou em casos de *Energy Scavenging*, antenas de banda mais aberta são mais úteis, pois são capazes de adquirir energia de diferentes fontes geradoras de RF.

Em termos numéricos, a potência disponibilizada por uma antena irá depender da densidade de energia e da abertura efetiva da antena,  $A_e$ . Sendo a equação que descreve esta potência dada por:

$$P_{AV} = S \cdot A_e = S \cdot \frac{\lambda_{RF}^2}{4 \cdot \pi} \cdot G_r = P_{EIRP} \cdot G_r \frac{\lambda_{RF}^2}{(4 \cdot \pi \cdot d)^2} \quad (4)$$

Onde

$$A_e = \frac{\lambda_{RF}^2 G_r}{4\pi}, \quad (5)$$

Sendo  $G_r$  o ganho da antena e  $\lambda_{RF}$  é o comprimento de onda.

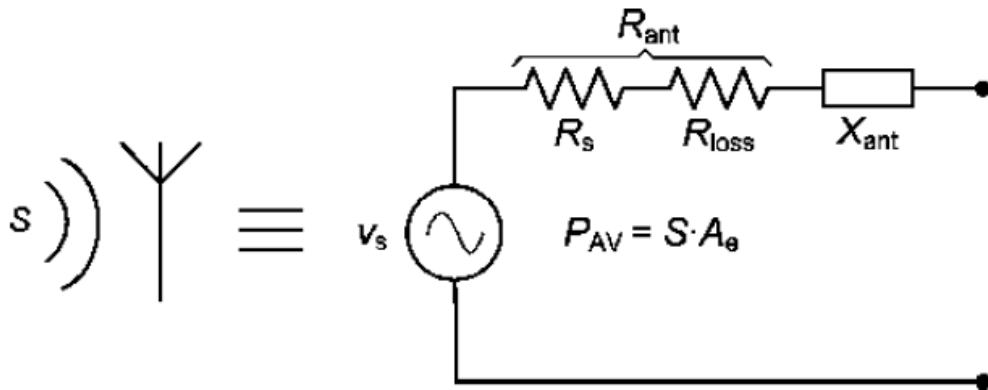
Como é possível notar, quanto maior a frequência, menor é o *range* de potência. As formas e dimensões das antenas variam muito e vários projetos distintos de antenas têm sido empregados em aplicações de *RFEH*, quanto em aplicações RFID. (PENELLA-LÓPEZ; GASULLA-FORNER, 2011).

Os receptores de baixa frequência usam acoplamentos capacitivo ou indutivo para obter potência para alimentar o circuito integrado. Nessas frequências, o comprimento de onda acaba sendo muito grande quando comparado a aplicações de alimentação a curtas distâncias. Nestes casos, o campo estaria na região chamada de *near field* (campo próximo) e poderia estar acoplado indutiva ou capacitivamente com a antena. Nessa região, a intensidade de campo decai 60 dB por década de distância. Neste trabalho, a proposta é utilizar as frequências disponíveis no ambiente, ou seja, a antena utilizada no circuito deverá atuar na região de *far field* (campo distante).

Distâncias além de  $2\lambda$  são consideradas como a região de campo distante, onde a onda eletromagnética não pode retroagir sobre a antena que a gerou. No entanto, a energia irradiada por RF ainda pode ser coletada, usando uma estrutura ressonante apropriada (antena). Na região do campo distante, a intensidade do campo é atenuada em 20 dB por década de distância, ou  $1/d$ , conforme Penella-López e Gasulla-Forner (2011).

Uma antena pode ser representada como uma fonte de corrente alternada em série com uma impedância, em que a impedância é composta por uma resistência de perda, uma resistência de radiação e uma parte reativa. Em baixas frequências, a resistência das perdas é muito baixa e não considerada no projeto, porém em altas frequências, devido ao efeito *skin*, que ocorre quando a carga passa a se movimentar na periferia do condutor, as perdas começam a se tornar significantes e devem ser consideradas no projeto. A Figura 3 apresenta o modelo elétrico de uma antena receptora em que  $S$  é a fonte geradora de potência e  $X_{ant}$ , dependendo do tipo de antena, pode ser indutivo ou capacitivo.

Figura 3 - Modelo equivalente de uma antena de RF



Fonte: Penella-López e Gasulla-Fornier (2011, p. 127).

A amplitude da tensão gerada pela antena quando em sintonia com o sinal gerado cresce de acordo com a potência disponível e a resistência da antena, o que é bom para aumentar o nível de tensão e reduzir as perdas no retificador devido ao chaveamento dos transistores. A tensão gerada é dada pela expressão

$$\hat{v}_s = 2\sqrt{2R_s P_{AV}} \quad (6)$$

Esta relação se torna útil quando é necessário aumentar o nível de tensão do sistema, mas não é possível modificar a potência emitida pelo irradiador. Nesse caso, arranjos de antenas podem ser utilizados para aumentar a resistência da mesma e, conseqüentemente, a tensão gerada. O fator de qualidade (Q) de uma rede casada é a razão entre a frequência de ressonância ( $f_r$ ) e a largura de banda (BW) do circuito em - 3 dB (BW); assim, quanto maior o Q, menor a largura de banda. Se largura de banda for muito estreita, um pequeno desvio em  $f_r$  causará uma queda de energia expressiva na entrada do retificador; portanto, a largura de banda deve ser mantida suficientemente grande de forma que a potência de entrada não sofra grandes variações. O circuito com a rede de casamento do indutor de derivação é um circuito paralelo RLC com uma resistência que é a associação paralela de  $R_s$  e  $R_{in}$  ( $R_p = R_s \parallel R_{in}$ ) (PENELLA-LÓPEZ; GASULLA-FORNER, 2011).

O fator de qualidade pode ser modelado através da equação:

$$Q = \frac{f_r}{BW} = R_p C_{in} \omega_r = \frac{R_p}{\omega_r L_s} \quad (7)$$

Através desta equação, é possível modelar o circuito de entrada para que tenha um casamento de impedâncias adequado para a largura de banda e frequências de interesse. A rede LC consegue incrementar a tensão da antena quando bem sintonizada, o que se torna bastante útil quando se tem uma baixa potência disponível ou quando não se consegue aumentar a tensão

de saída da antena aumentando a impedância dela. Nesse caso, é possível modelar a rede através das equações seguintes, onde é possível perceber uma dependência de  $L_m$  de  $C_{in}$ , o que não acontece em  $C_m$ .

$$C_m = \frac{1}{R_S \omega_r} \sqrt{\frac{R_S}{R_{in} - R_S}} \quad (8)$$

$$L_m = \frac{R_{in}}{\omega_r} \frac{1}{R_{in} C_{in} \omega_r + \sqrt{\frac{R_{in} - R_S}{R_S}}} \quad (9)$$

Através dessas equações, é possível obter uma relação entre  $V_{in}$  e  $V_S$  na ressonância.

$$H(\omega_r) = \frac{v_{in}(\omega_r)}{v_S(\omega_r)} = \frac{1}{2} \sqrt{\frac{R_{in}}{R_S}} \quad (10)$$

Onde  $Q$  pode ser escrito também como:

$$Q = \frac{1}{2} \left[ R_{in} C_{in} \omega_r + \sqrt{\frac{R_{in} - R_S}{R_S}} \right] \quad (11)$$

Evidentemente, além de uma antena adequada, a fonte geradora deve ser bem conhecida em um sistema de coleta de energia de radiofrequência. Dessa forma é possível identificar a capacidade de carga do dispositivo e definir quais topologias são mais adequadas para a aplicação.

## 2.5 Disponibilidade de energia

Para garantir que haverá energia disponível para ser coletada no ambiente, é importante conhecer o espectro de radiofrequência. A grande maioria dos dispositivos IoT está e estará disposta nas grandes cidades, onde a atividade humana é mais intensa. Além disso, dentro das grandes cidades, é importante conhecer a energia disponível para coleta tanto dentro como fora das construções. Este fator é de extrema importância para a escolha do tipo de coletor de energia, bem como para a definição se será ou não necessário utilizar um dispositivo para “iluminar” os *harvesters*, ou seja, para gerar sinal RF exclusivamente para alimentar os dispositivos de coleta de energia.

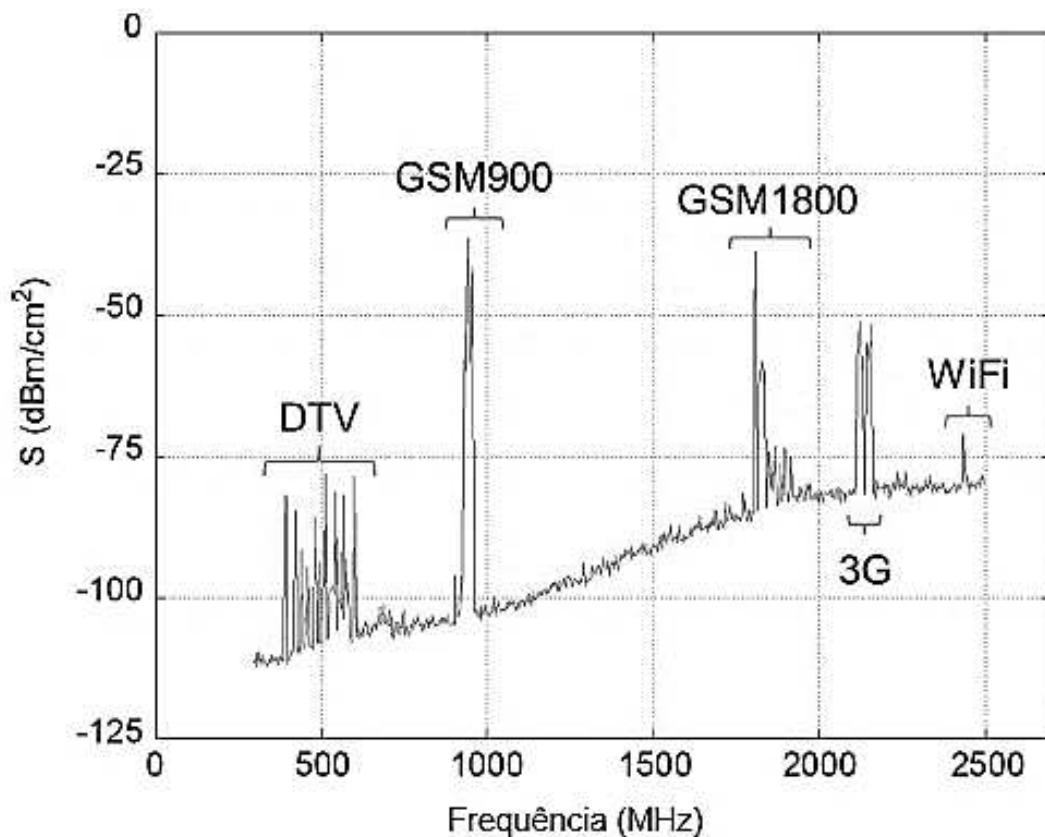
Os estudos de Piñuela et al. (2013) e de Barroca et al. (2013) apresentam medições dos espectros eletromagnéticos de grandes cidades; Londres, Inglaterra e Covilhã, Portugal, respectivamente. No caso deste primeiro, as medições foram realizadas em estações de metrô em regiões urbanas e semiurbanas. A Figura 4 apresenta o espectro medido do lado de fora da



estação Northfields London Underground, onde é possível observar uma grande quantidade de energia captada nas bandas GSM.

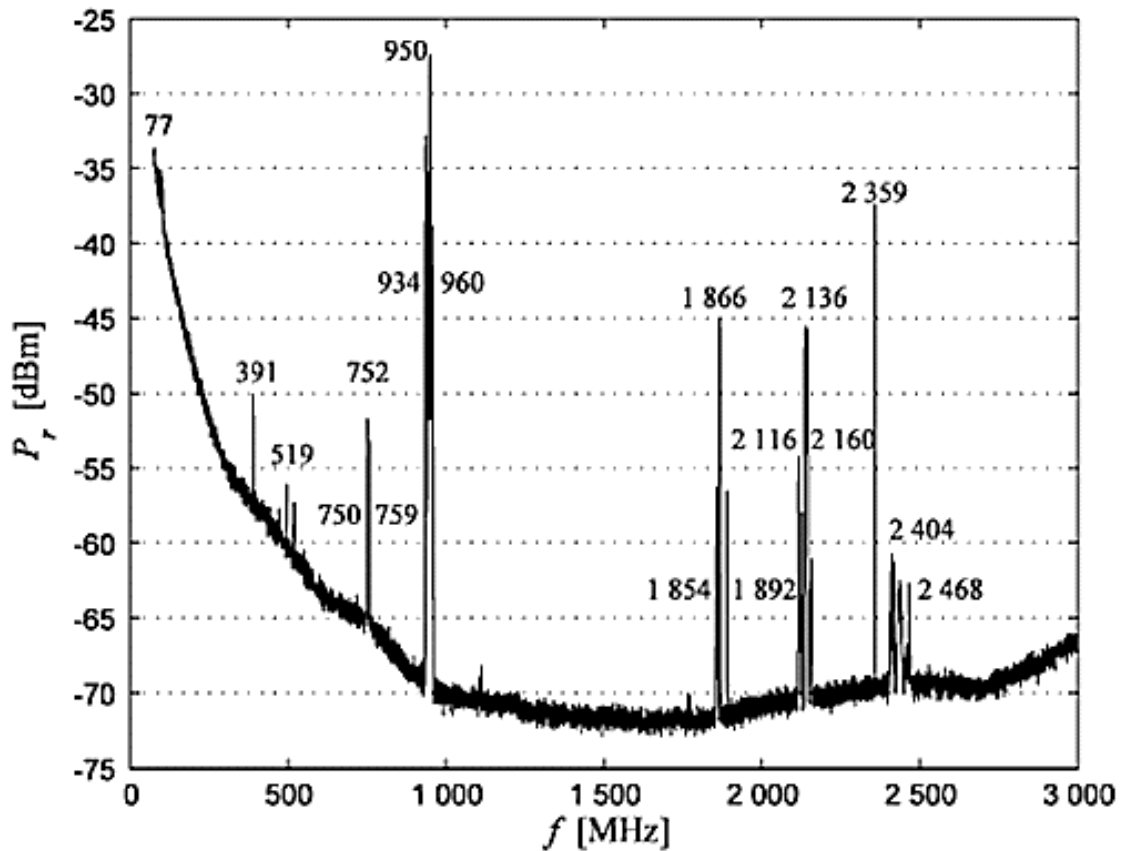
Já Barroca et al. (2013) apresentam em seu trabalho uma análise de potência disponível no espectro RF em Covilhã, Portugal. Neste trabalho, foram feitas medições em diversos pontos da cidade, tanto dentro das instalações da Universidade da Beira Interior quanto fora de construções em alguns pontos da cidade. A Figura 5 e a Figura 6 apresentam as médias de potência medidas tanto dentro da Universidade, quanto em pontos da cidade. Também através das figuras é possível identificar que as bandas GSM se destacam pela quantidade de potência disponível.

Figura 4 - Densidade de potência medida fora da estação Northfields London.



Fonte: Adaptado de Piñuela et al. (2013, p. 2717)

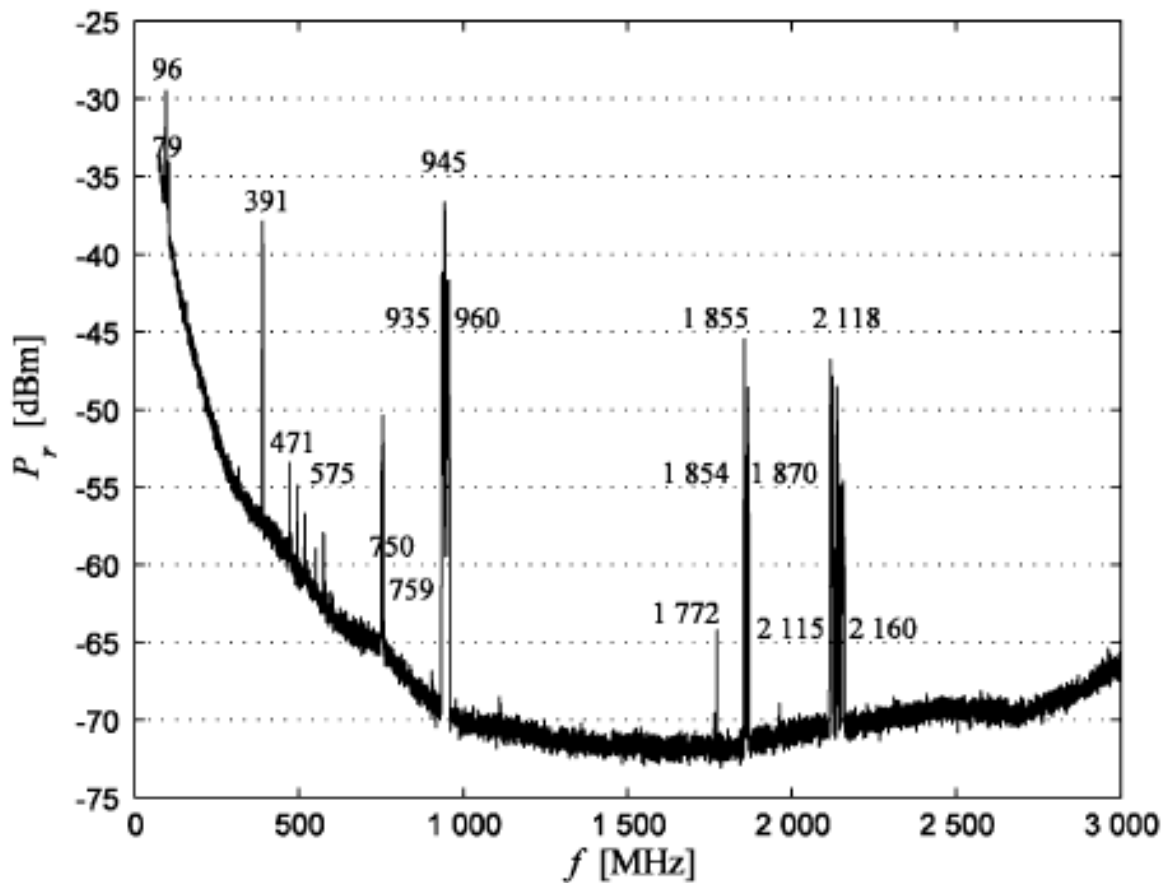
Figura 5 – Distribuição espectral média de potência medida dentro da Universidade.



Fonte: Barroca et al. (2013, p. 533).

Com isto, a escolha pelo desenvolvimento de circuitos para coleta de energia em frequências correspondentes às bandas GSM, principalmente, se mostra muito pertinente, visto que há potência disponível capaz de alimentar alguns dispositivos IoT de baixo consumo. Contudo, aplicações em outras bandas, como as utilizadas para Wi-Fi, por exemplo, possuem uma potência disponível mais escassa, levantando a possibilidade de utilizar equipamentos de geração de RF, ou seja, geradores de RF para iluminar estes dispositivos.

Figura 6 - Distribuição espectral média de potência medida em pontos específicos na cidade de Covilhã, Portugal



Fonte: Barroca et al. (2013, p. 533).

Para casos em que se deseje utilizar estes geradores, deve-se definir uma potência para este gerador de forma que todos os dispositivos na área que ele ilumina recebam ao menos o mínimo de energia necessária para seu funcionamento. Para estimar a potência recebida por um determinado dispositivo iluminado por uma fonte geradora de RF conhecida, utiliza-se a Lei de Friis:

$$P_{receptor} = P_{transmissor} \times G_{receptor} \times G_{transmissor} \times \left(\frac{\lambda}{4\pi d}\right)^2 \quad (12)$$

Onde P é potência em Watt, G é o ganho e d é a distância da fonte geradora de RF até o *harvester*.

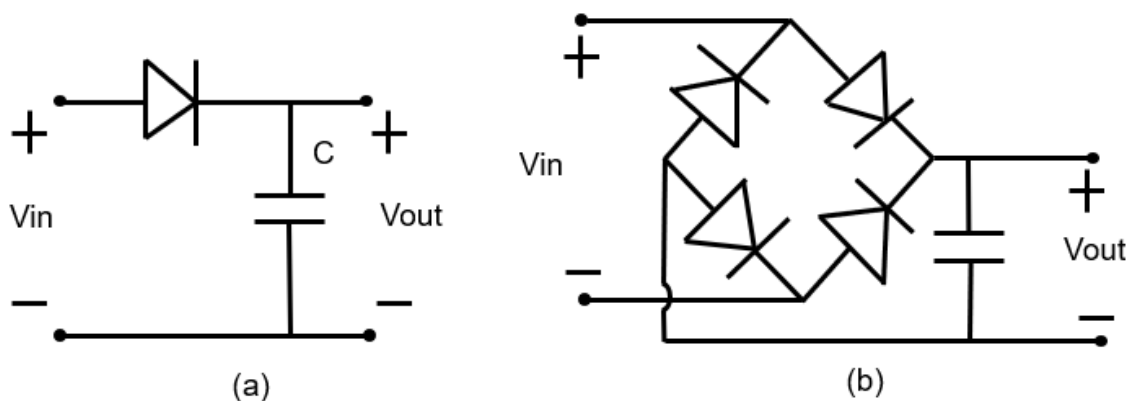
## 2.6 Retificadores

Retificadores são circuitos que tem em sua entrada um sinal em corrente alternada e que o converte em um sinal de corrente contínua. Basicamente, retificadores podem ser de um único

diodo, com diodos em ponte ou multiplicadores de tensão. Todos estes circuitos operam em *broadband*, ou seja, trabalham bem em frequências entre quilohertz e mega-hertz. Para frequências acima disso, diodos *Schottky* podem ser utilizados por terem menor tempo de transição.

A Figura 7 apresenta circuitos retificadores comuns, que transformam um sinal originalmente de corrente alternada em um sinal de corrente contínua. O problema destes circuitos é que ambos têm uma perda de potência sobre os diodos. No caso de (a), a queda de tensão é igual à queda no diodo. Em (b), a queda de tensão é ainda maior, pois são dois diodos que possuem uma queda de potencial sobre eles, porém, a retificação ocorre em ambos os semiciclos do sinal de entrada. Circuitos de EH geralmente não utilizam este tipo de topologia, pois são pouco eficiente e geralmente possuem valores de queda de tensão sobre os diodos retificadores muito acima da tensão que recebem na entrada.

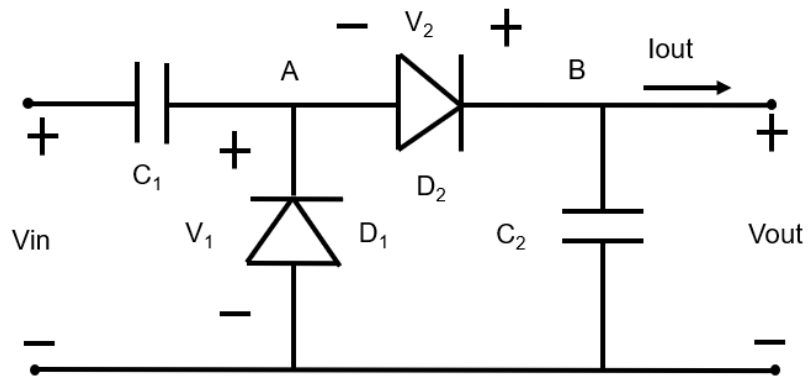
Figura 7 - Circuitos retificadores com diodos



Fonte: Adaptado de Penella-López; Gasulla-Forner (2011, p. 131).

O circuito da Figura 8 é um exemplo de retificador multiplicador de tensão. Neste circuito, a retificação é feita através da multiplicação do sinal de entrada, ou seja, para uma configuração como esta, o capacitor  $C_1$  é carregado quase que até o valor de pico do sinal de entrada no semiciclo positivo. No semiciclo negativo, o diodo abre o circuito e não há circulação de corrente pelo diodo  $D_1$ , ou seja, a tensão do sinal de entrada acaba sendo somada à tensão do capacitor  $C_1$ , elevando o sinal da saída ao dobro da tensão de pico do sinal de entrada.  $D_2$  e  $C_2$  funcionam como o retificador simples com um diodo e serve para que ambos os semiciclos sejam utilizados na retificação, assim como o retificador em ponte faz.

Figura 8 - Retificador multiplicador de tensão



Fonte: Adaptado de Penella-López; Gasulla-Forner (2011, p. 131).

Esta configuração pode ser utilizada em cascata para multiplicar o sinal de entrada mais vezes, sendo que a tensão de pico da saída será equivalente à duas vezes a quantidade de estágios vezes a tensão de pico do sinal de entrada, menos a queda sobre os diodos, ou seja:

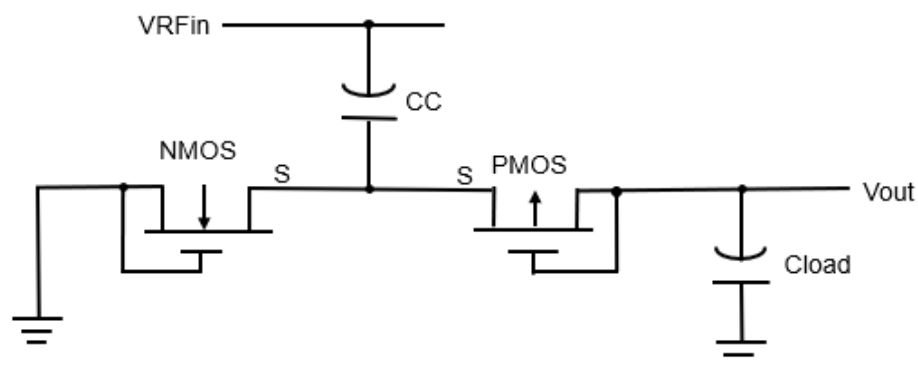
$$V_{P_{out}} = 2 \times N \times V_{P_{in}} - V_D \quad (13)$$

Quando se utiliza mais estágios de multiplicação e se substitui os diodos por transistores MOS configurados como diodos, tem-se multiplicadores de tensão em topologias Dickson ou Cockcroft-Walton, dependendo da forma de ligação em cascata dos estágios subsequentes.

### 2.6.1 Multiplicadores de tensão Dickson e Cockcroft-Walton

Estes retificadores multiplicadores são compostos por dois transistores CMOS conectados como diodos, um capacitor de elevação de tensão e um capacitor de carga, conforme Figura 9. Nestes retificadores,  $C_C$  é o capacitor de elevação de tensão,  $C_{load}$  o capacitor de carga,  $V_{RFin}$  o sinal de entrada em alta frequência e  $V_{out}$  é a tensão de saída elevada e retificada.

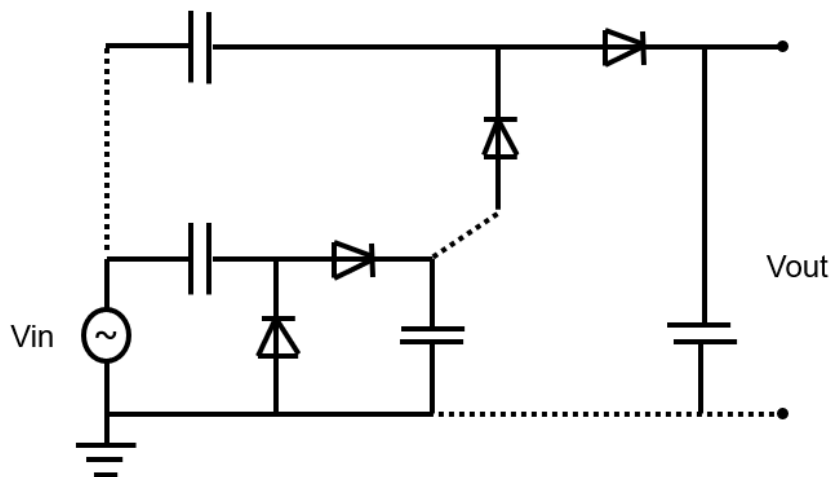
Figura 9 - Charge pump rectifier



Fonte: Adaptado de Mnif; Mnif e Loulou (2017, p. 1).

O que diferencia as duas topologias é a forma de conexão quando se utiliza múltiplos estágios. No retificador do tipo Dickson se utiliza um ponto comum de entrada e usa a saída do estágio anterior como referência de tensão, somando o valor de  $V_{RFin}$  ao valor de  $V_{out}$  do estágio anterior, como é possível notar na Figura 10.

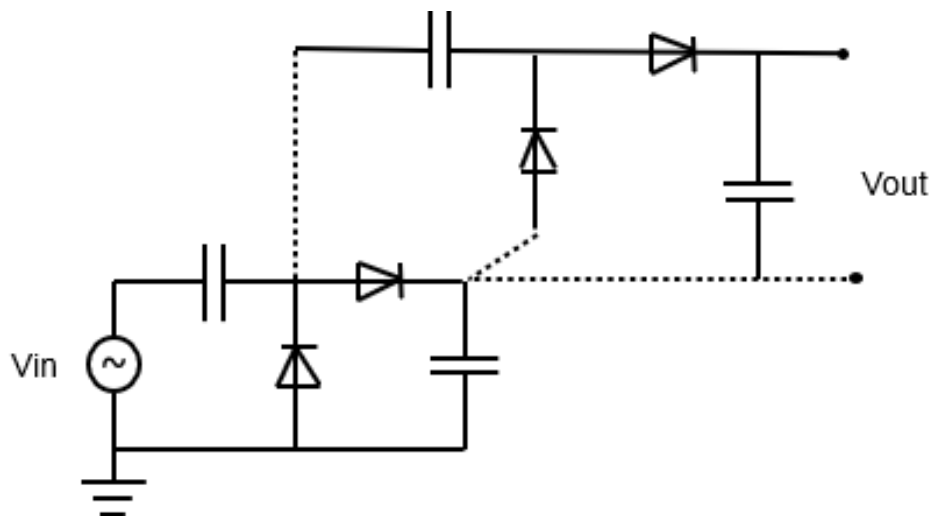
Figura 10 - Dickson *charge pump rectifier*



Fonte: Adaptado de Barroca et al. (2013, p. 535)

Por outro lado, o retificador do tipo Cockcroft-Walton conecta a entrada dos estágios subsequentes logo após o capacitor de entrada, como é possível notar na Figura 11, formando estágios de carga e descarga de capacitores em cada estágio de multiplicação. Como ele também utiliza a saída do estágio anterior como referência de tensão para os estágios subsequentes, o comportamento desta topologia é o mesmo da topologia do Dickson.

Figura 11 - Cockcroft-Walton *Charge Pump Rectifier*



Fonte: Adaptado de Barroca et al. (2013, p. 535)

A saída destes circuitos é dada por:

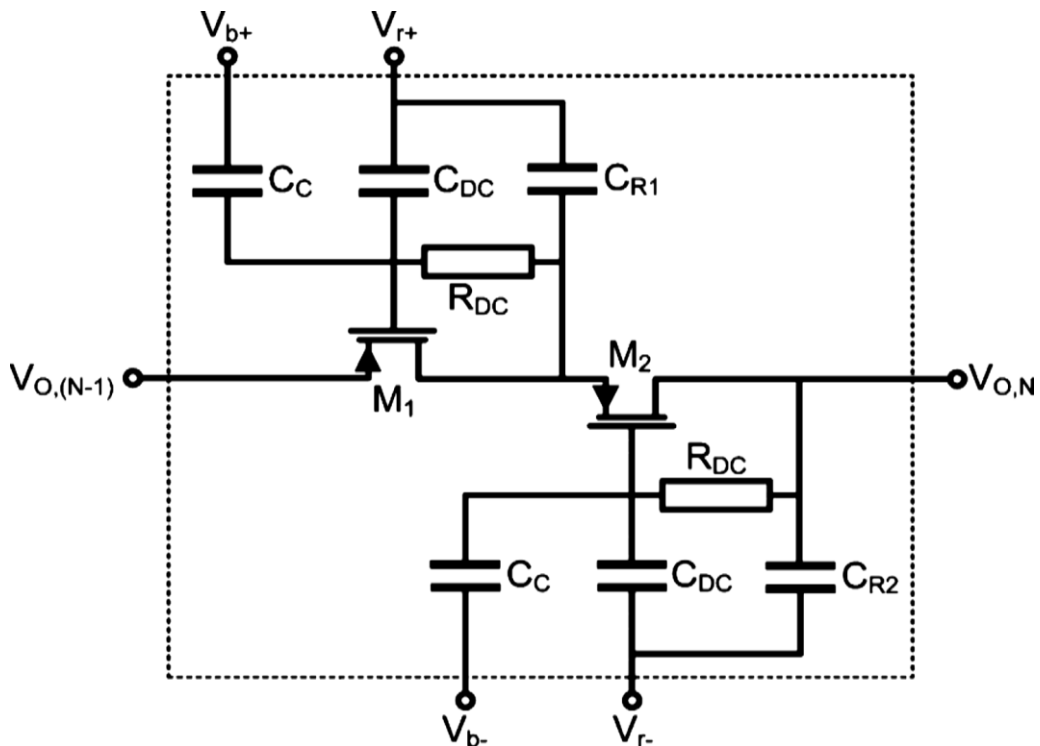
$$V_{out} = 2 \times N \times (V_{RFin} - V_{THP} - V_{THN}) \quad (14)$$

Onde  $V_{THN}$  e  $V_{THP}$  são as tensões de threshold dos transistores NMOS e PMOS, respectivamente. Nesta topologia, tem-se uma perda no sinal de saída, por causa da zona morta criada por  $V_{THN}$  e  $V_{THP}$ . Porém, este tipo de retificador multiplicador serve de base para todas as demais topologias que serão tratadas a seguir. Topologias mais recentes fazem uso de técnicas de projeto que visam mitigar os efeitos dessa zona morta, tornando os retificadores mais eficientes.

### 2.6.2 Multiplicador de tensão por chaveamento ortogonal (OS-CPR)

O OS-CPR proposto por Mansano (2016) utiliza transistores PMOS como chaves controladas por sinais de tensão. Este circuito é capaz de superar o efeito da zona morta, pois a tensão de entrada é superior à tensão de *threshold* graças a uma rede ressonante de elevação de tensão. Estes circuitos podem ser utilizados em cascata, assim como o multiplicador de tensão mencionado na seção 2.6.1. A Figura 12 mostra o enésimo retificador de um arranjo cascadeado de retificadores.

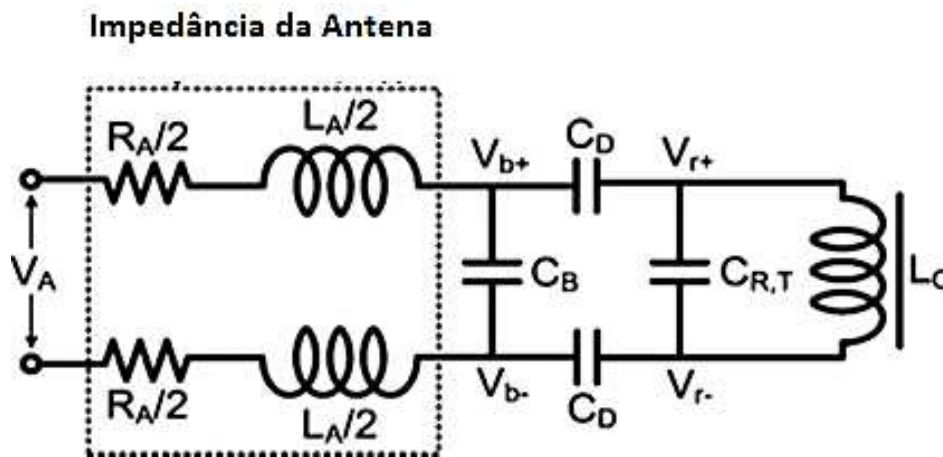
Figura 12 - Enésimo retificador de uma cascata de retificadores OS-CPR



Fonte: Mansano (2016, p. 22).

Uma rede passiva de elevação de tensão (VBN) é necessária para fornecer ao circuito um nível de tensão na entrada que seja capaz de superar os níveis de tensão da zona morta. Além disso, um sinal de controle  $V_r$ , necessário para o funcionamento do circuito é obtido através do divisor resistivo presente na VBN. Essa rede é modelada através de um circuito ressonante série composto por uma indutância autoinduzida,  $L_A$ , pela resistência de uma antena,  $R_A$ , e um capacitor de sintonia,  $C_T$ . A Figura 13 mostra o layout de uma VBN. Esta rede pode ter a eficiência de conversão de potência (PCE) controlada por sinais de controle ( $V_{r+}$  e  $V_{r-}$ ) que chaveiam o retificador de tensão, conforme Udupa, Sushma e Chaithra (2018).

Figura 13 - Modelo de circuito da *voltage boosting network*



Fonte: Adaptado de Mansano (2016).

A capacitância de sintonia  $C_T$  é dada por:

$$C_T = C_B + \left( \frac{C_D \cdot C_{R,T}}{C_D + 2C_{R,T}} \right) \quad (15)$$

Sendo que  $C_B$  é a capacitância de reforço,  $C_D$  a capacitância do divisor de tensão capacitivo e  $C_{R,T}$  é capacitância de entrada de retificador, para retificadores controlados. Para zerar o erro de *offset* na entrada, basta fazer a ligação de um *choke* (ligação de alta impedância em corrente alternada e baixa em corrente contínua) na entrada para induzir um curto em CC, diz Mansano (2016).

Conforme Mansano (2016), o sinal diferencial de entrada deste sistema é definido por:

$$V_r \approx \left( \frac{C_D}{2C_{R,T} + C_D} \right) V_b \quad (16)$$

Onde  $V_b$  é o sinal de controle que equivale a  $QV_A$ , sendo  $V_A$  é a tensão nos terminais da antena. E, se considerarmos  $V_{0,(N-1)}$ ,  $V_{0,N}$  e  $V_{r-}$  sincronizadas, então  $V_b$  e  $V_r$  controlam o chaveamento do circuito.

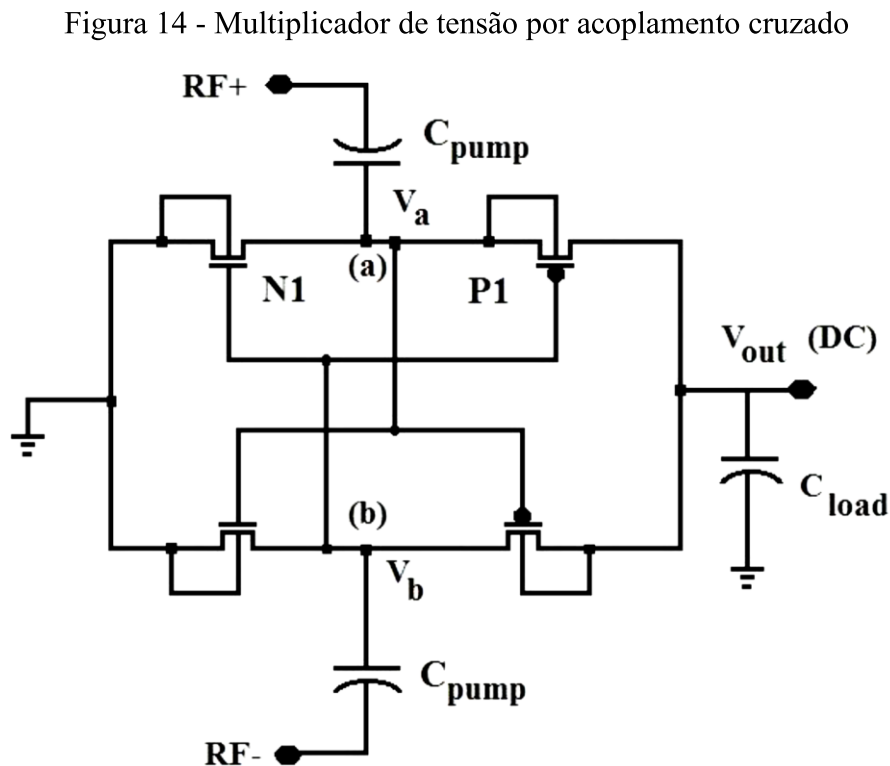


Se M1 estiver ligado, então M2 está desligado,  $V_{0,(N-1)} > V_{T+}$  e  $V_{b+} < V_{b-}$ , causando o carregamento de  $C_{R1}$  até aproximadamente  $(2N - 1)V_R$ . Quando M1 estiver desligado e M2 ligado,  $V_{T+} > V_{T-}$  e  $V_{b+} > V_{b-}$ , então  $C_{R2}$  é carregado até  $2NV_R$ , que é a saída do estágio N do circuito, conforme Mansano (2016).

Independentemente de qual transistor estiver ligado, os grandes sinais estão presentes nos *gates* e *sources*, fazendo com que  $C_{R1}$  esteja constantemente sendo carregado quando M1 estiver ligado e  $C_{R2}$  quando M2 estiver ligado. Quando em região de trípodo, estes transistores dissipam pouca potência pois a queda de tensão sobre eles na região linear é baixa. Em tempo, este tipo de circuito apresenta uma alta eficiência de conversão de energia, principalmente para cargas resistivas pequenas, segundo Mansano, Bagga e Serdijn (2013).

### 2.6.3 Multiplicador de tensão por acoplamento cruzado (CC-CPR)

Os CC-CPR, ou retificadores por multiplicação de tensão com acoplamento cruzado de portas, são retificadores conhecidos por conseguirem manter uma resistência baixa quando ativos e baixa fuga de corrente ao mesmo tempo. Ele é baseado em uma topologia CMOS diferencial cruzada ligada em ponte. Nesta estrutura, as portas dos transistores são influenciadas por sinais existentes nos nós *a* e *b*, conforme Figura 14.



“O transistor N1 é polarizado diretamente durante o semiciclo negativo de  $V_a$ , enquanto  $V_b$  no semiciclo positivo fornece uma tensão de polarização positiva para o transistor N1. Isso diminui a tensão de *threshold* do transistor e reduz a resistência  $R_{ON}$ ” (CHOUHAN; HALONEN, 2013, tradução nossa<sup>1</sup>). De forma complementar, o contrário também é válido, quando  $V_a$  é positiva e  $V_b$  negativa, o transistor é reversamente polarizado,  $V_G$  diminui e o *threshold* aumenta, diminuindo a corrente reversa de fuga. A tensão de retificação desse sistema é dada por

$$V_{DC(out)} = 2 \times V_{RF} - V_{drop} \quad (17)$$

Onde  $V_{RF}$  é a tensão de entrada e  $V_{drop}$  a queda de tensão no transistor.

Pela equação de saída deste circuito, pode-se notar que a máxima tensão de saída ocorre quando a queda no transistor tende a zero. Além disso, assim como retificador multiplicador citado em Mansano, Bagga e Serdijn (2013), este circuito pode ser cascadeado para multiplicar a tensão de saída, obedecendo a mesma equação geral do multiplicador simples. De acordo com Dai et al. (2015), a topologia de acoplamento cruzado exibe a mais alta eficiência de conversão de energia alcançável, até 65% (somente no retificador) que pode ser mantida em uma ampla faixa de entrada ajustando o tamanho do transistor, enquanto outras topologias atingem entre 46,7% e 51%.

Além disso, este circuito apresenta uma sensibilidade muito mais alta quando comparada às demais topologias apresentadas, onde esta alta sensibilidade faz com que esta topologia seja adequada para transferência de potência sem fio em um grande *range*, isto é, por muitos metros (KAROLAK et al., 2012).

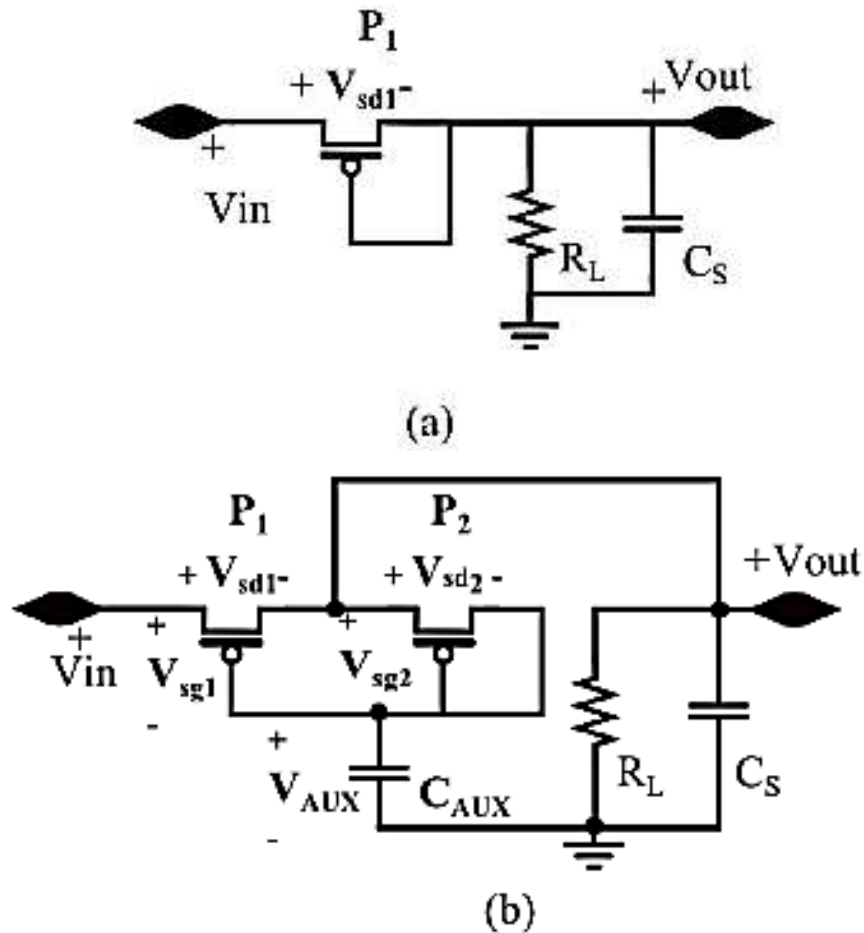
Uma modificação proposta por Chouhan e Halonen (2013) sobre o circuito multiplicador de tensão por acoplamento cruzado permite a melhoria da eficiência de conversão do retificador, devido ao cancelamento do efeito de  $V_{TH}$  sobre o circuito. Nesta topologia, os autores adicionam um segundo transistor PMOS configurado como diodo e um capacitor auxiliar de acoplamento conectados ao transistor original. Este segundo transistor tem como função, reduzir a dependência do circuito de  $V_{TH}$ , fazendo com que  $G_V$  seja aumentado. A Figura 15 mostra a modificação proposta por Chouhan e Halonen (2015). Na Figura 16 é possível observar a topologia do retificador por multiplicação de tensão com acoplamento cruzado modificado completa.

---

<sup>1</sup> *The transistor N1 is forward biased during negative half cycle of  $V_a$ , while  $V_b$  in positive half cycle gives a positive gate bias voltage to N1 transistor. This decreases the threshold voltage of the transistor and reduces the on resistance.*

A ideia deste arranjo é que durante a condução direta, o circuito retifique o sinal de entrada em RF usando o princípio de cancelamento de  $V_{TH}$ . Da mesma forma, quando o sinal de entrada RF negativo é aplicado, o diodo entra em um modo de condução reversa; idealmente na condução reversa, não deve haver vazamento de corrente.

Figura 15 – (a) Transistor PMOS original e (b) topologia de compensação de tensão de limiar



Fonte: Adaptado de Chouhan e Halonen (2015, p. 235)

Na prática, devido à resistência finita de um diodo desligado, o capacitor de armazenamento ( $C_S$ ) começa a atuar como fonte de tensão e, portanto, começa a descarregar, o que é indesejável e incontrolável. No circuito exposto, a carga necessária para desenvolver  $V_{AUX}$  é obtida de condução reversa e direta. Assim, podemos dizer que a presença de  $C_{AUX}$  preserva alguma parte da carga, que geralmente é perdida durante a condução reversa nos retificadores convencionais. Ou seja, tem-se:

$$V_{AUX} = C_{AUX} \times (Q_{direta} + Q_{reversa}) \quad (18)$$

No circuito de Chouhan e Halonen (2013), a tensão de saída é definida por:

$$V_{OUT} = V_{OV2} + V_{AUX} \quad (19)$$

E a tensão de entrada por:

$$V_{IN} = V_{OV1} + V_{OUT} \quad (20)$$

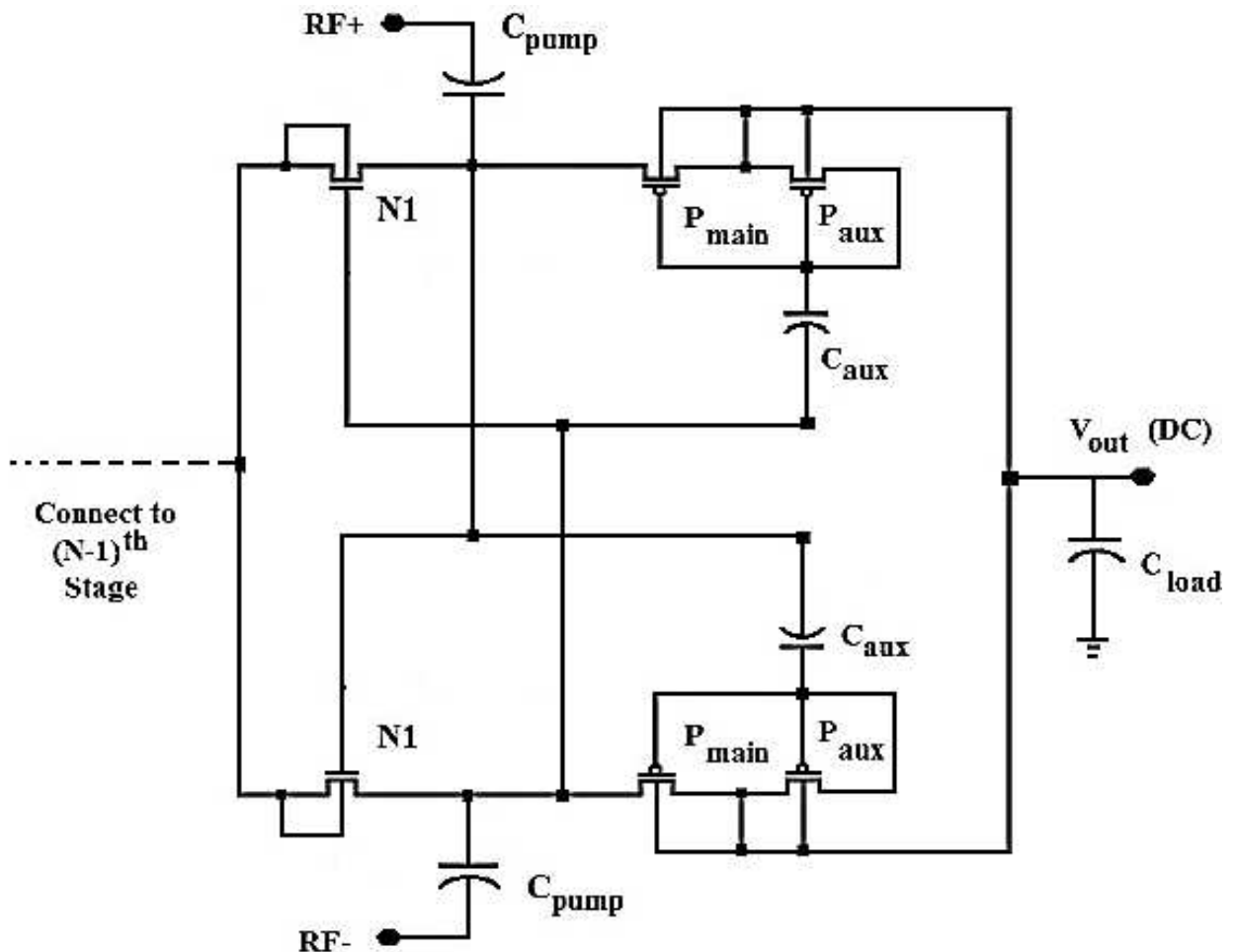
Onde  $V_{OV1}$  e  $V_{OV2}$  são as tensões de *Overdrive* através do transistor principal e auxiliar, respectivamente e  $V_{aux}$  é a tensão sobre o capacitor auxiliar. Fazendo a subtração destas equações, obtemos:

$$V_{OUT} = \frac{1}{2}((V_{OV2} - V_{OV1}) + V_{IN} + V_{AUX}) \quad (21)$$

E, sabendo que

$$V_{OV} = V_{th} + \sqrt{\frac{2I_D}{\beta}} \quad (22)$$

Figura 16 - Multiplicador de tensão por acoplamento cruzado modificado



Fonte: Adaptado de Chouhan e Halonen (2013, p. 3)

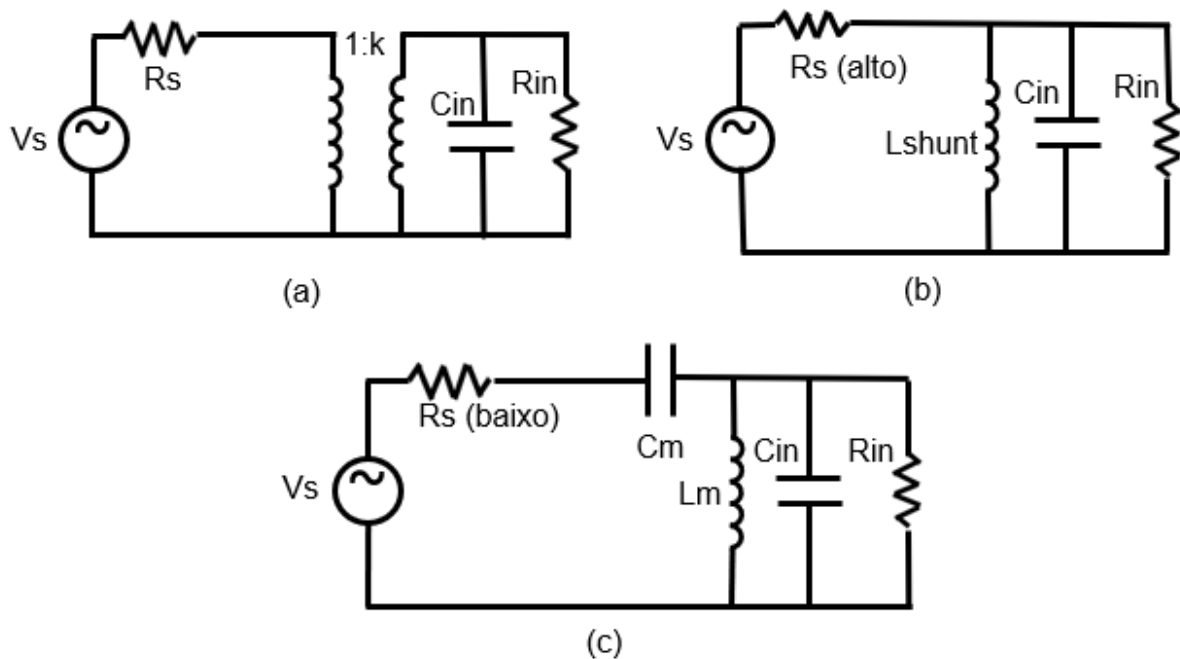
Ao substituir  $V_{OV}$  em  $V_{OUT}$  e obtém-se:

$$V_{OUT} = \frac{1}{2} \left( (V_{th2} - V_{th1}) + \left( \sqrt{\frac{2I_{D1}}{\beta}} - \sqrt{\frac{2I_{D2}}{\beta}} \right) + V_{IN} + V_{AUX} \right) \quad (23)$$

Mostrando que o circuito se torna independente das tensões de *threshold* dos transistores, aumentando sua capacidade de conversão em tensão CC. Casamento de impedância.

Para que se tenha um rendimento ótimo, é necessário que haja casamento entre as impedâncias da antena e do circuito ao qual ela está conectada, ou seja, quando a antena enxerga em seus terminais de saída uma impedância que seja o conjugado de sua própria impedância:  $Z_{ant} = R_s - jX_{ant}$  (PENELLA-LÓPEZ; GASULLA-FORNER, 2011). A Figura 17 mostra alguns circuitos comumente utilizados para fazer este casamento de impedâncias.

Figura 17 - Circuitos de casamento de impedâncias típicos utilizados em RFEH



Fonte: Adaptado de Penella-López e Gasulla-Forner (2011, p. 128).

Em (a), pode-se observar um circuito de transformador, utilizado para valores intermediários de  $R_s$ ; em (b) um indutor shunt para altos valores de  $R_s$  e em (c) uma rede LC para baixos valores de  $R_s$ .

É comum que se use um balun logo após a antena para fazer o casamento de impedância entre o circuito e a antena, geralmente quando se usa uma antena comum, assimétrica, em um circuito diferencial.

Geralmente, quando o circuito conta com uma rede ressonante na entrada para elevação de tensão, se faz necessário um circuito de casamento de impedâncias entre esta rede ressonante e o balun ou diretamente a antena. Nesse caso, se faz uso da Carta de Smith para encontrar o circuito adequado que consiga casar as impedâncias de entrada do circuito com a de saída do balun ou antena.

Redes de casamento de impedância tem sua complexidade de implementação devido aos cálculos necessários para fazer com que o casamento de impedâncias seja adequado. Mesmo assim, o uso de redes de casamento de impedância fixas torna o projeto limitado, uma vez que a impedância equivalente do circuito depende da potência de entrada e a eficiência de conversão de energia (PCE) do sistema acabará sendo diminuído devido a uma incompatibilidade de impedâncias causada por variação da potência de entrada. Portanto, uma rede de correspondência sintonizável fornece uma solução adequada para compensar a diferença de impedância de modo a melhorar o PCE do sistema em uma ampla faixa de potência de entrada. (WANG *et al.*, 2017). Essa sintonia pode ser realizada utilizando uma técnica de chaveamento de capacitores, tanto na rede de casamento quanto no circuito ressonante, uma vez que o retificador é capaz de funcionar com praticamente qualquer frequência de entrada, sendo limitado à velocidade de chaveamento dos MOSFET utilizados. Para isso, podem ser utilizados circuitos de gerenciamento de energia, geralmente microcontrolados.

## 2.7 Gerenciadores de energia

Reduzir o consumo de energia dos circuitos integrados CMOS tem sido um tema de grande interesse nos últimos anos. Muitos estilos lógicos foram propostos nas últimas décadas para atender a essa necessidade, mas eles geralmente trocam energia por desempenho (BOZORGZADEH; ZHIAN-TABASY; AFZALI-KUSHA, 2008). Gerenciadores autônomos de energia podem ser usados para garantir que os sistemas operem sempre no ponto ótimo, garantindo a maior eficiência de conversão de energia. Esses gerenciadores podem ser analógicos ou microcontrolados.

O gerenciamento de energia pode ser considerado um processo comum envolvendo retificador, multiplicador de tensão e armazenadores (CANSIZ; ALTINEL; KURT, 2019). Por isso, Unidades de Gerenciamento de Energia (PMU) são utilizadas em muitos EH, como em Ababneh, Perez e Thomas (2017), Jung, Jang e Choi (2017), Kansal *et al.* (2007), Kim *et al.* (2014), Piñuela, Mitcheson e Lucyszyn (2013) e Popovic *et al.* (2014). A PMU permite o

monitoramento dos níveis de energia coletados pelo RFEH e fornece o controle de carga e proteção de carga dos dispositivos de armazenamento de energia.

## **2.8 Armazenadores de energia**

Em sistemas de coleta de energia, se busca reduzir os custos com implantação e manutenção dos dispositivos, dessa forma, o uso de baterias deve ser feito apenas quando não há outra opção. Uma forma de fortalecer a autonomia energética desses sistemas é utilizar a captação de energia do ambiente juntamente a uma unidade de armazenamento de energia. Em comparação com baterias, ultra capacitores fornecem uma alternativa interessante para armazenamento de energia em aplicações onde uma longa vida útil é necessária ou em ambientes severos (temperaturas extremas) com a vantagem adicional de não apresentar problemas de segurança (EL MAHBOUBI *et al.*, 2018). Com o uso de sensores com consumo cada vez menor, a energia necessária para seu funcionamento, por consequência, acaba sendo menor e, o dispositivo de armazenamento de energia pode ser um capacitor. Esse capacitor pode ser tanto integrado no *chip*, quanto externo a ele, dependendo da quantidade de energia necessária.

Para se ter uma estimativa de quanta energia é necessária, deve-se conhecer os parâmetros de energia disponível no ambiente em que será instalado, e eficiência de conversão do EH, o tempo de carregamento do armazenador de energia, a frequência de ativação do dispositivo para transmissão de dados e o consumo do dispositivo para realizar toda a tarefa que lhe é demandada. Dessa forma, o tempo de carga, de acordo com a potência disponível na entrada, deve ser inferior ao tempo entre transmissões, para garantir que o dispositivo não falhe no meio de uma transmissão. Da mesma maneira, a capacidade de carga do armazenador deve ser maior que a demanda do dispositivo alimentado por ele, levando em consideração todas as perdas pela conversão de energia.

## **2.9 Conceitos básicos sobre circuitos integrados CMOS e sua fabricação**

Circuitos integrados analógicos, assim como toda a eletrônica analógica, foram os primeiros a serem desenvolvidos. Porém, com a grande aceleração da digitalização dos sistemas de controle e, conseqüentemente, dos circuitos integrados, a integração analógica acabou perdendo espaço. Contudo, atualmente existe uma grande procura por projetistas analógicos, pois, por mais avançada que esteja a digitalização dos dispositivos, ainda existem muitas

aplicações que não são possíveis de digitalizar, ou a digitalização faz com que se perca muita qualidade. Enquanto muitos tipos de processamento de sinais de fato migraram para o domínio digital, circuitos analógicos tem se provado fundamentalmente necessários em muitos sistemas complexos e de alta performance. (RAZAVI, 2016)

Ainda de acordo com Razavi (2016), nas últimas décadas, os circuitos CMOS evoluíram de circuitos de baixa velocidade, complexidade, sinais baixos e alta tensão para tecnologias de alta velocidade, complexidade, baixa tensão e sinais combinados. O que demonstra evolução na tecnologia analógica em um mundo tecnológico que migra para uma dominância de sistemas digitais. Com a evolução dos transistores, que ficam cada vez menores, a interação entre as diferentes regiões dos circuitos integrados, assim como suas não idealidades, limita tanto a velocidade quanto a precisão deles, causando uma grande dependência do layout e encapsulamento em circuitos integrados analógicos.

“Cada esquema de circuito projetado precisa ser transformado em um *layout* que consiste nas representações geométricas de componentes de circuito e suas interconexões” (SEDRA e SMITH, 2007). Para implementar estes circuitos em geometrias de construção de circuitos integrados, os projetistas contam com *softwares* de desenho assistido por computador (CAD). Estas aplicações, hoje em dia, já são capazes de fazer o roteamento das trilhas de forma semiautomática ou até mesmo completamente automática, o que acaba auxiliando e tornando o desenvolvimento mais rápido. Porém, o projetista deve ser capaz de corrigir e melhorar o roteamento feito pelo *software* para garantir uma melhor eficiência do circuito e redução de processos de fabricação, se possível. Assim como em projeto de placas de circuito impresso, um bom projeto de circuito integrado deve conter o mínimo de camadas possíveis, para reduzir o custo de fabricação e a dificuldade de implementação, além de evitar a adição de variáveis parasitas no circuito.

Aplicações CMOS demandam muita atenção no *layout* dos componentes dos circuitos integrados para garantir altos índices de rendimento de fabricação, ou *yield*. Dispositivos CMOS analógicos requisitam ainda mais atenção e precauções de layout, pois são muito mais suscetíveis a problemas de ruído, *mismatch* (variações físicas aleatórias nas propriedades de componentes idênticos) e *crosstalk* (interferência elétrica indesejada que um circuito ou parte de um circuito causa em outro), conforme Razavi (2016).

Transistores muito grandes podem causar variação de resistência de uma ponta a outra de seus corpos, além de ocuparem uma área maior no *chip*, para isso, utiliza-se uma técnica chamada *multifingering*, que consistem em dividir as junções S/D (fonte/dreno) em ramos menores (*fingers*). Como regra geral, a largura de cada *finger* é escolhida de modo que a



resistência do *finger* seja menor que a transcondutância inversa associada a ele. Em aplicações de baixo ruído, a resistência da porta deve ser de um quinto a um décimo de  $1/g_m$  (RAZAVI, 2016).

Problemas com simetria podem ser muito significativos em circuitos diferenciais introduzindo *offsets* (diferenças de níveis de tensão) de entrada, por exemplo, o que limita a sensibilidade e aumenta o menor sinal que pode ser detectado. *Layouts* simétricos são capazes de reduzir o efeito do ruído de modo comum e até mesmo não linearidades. Componentes *dummies*, que são componentes não conectados ao circuito usados apenas para preencher espaços, podem ser utilizados para tornar *layouts* assimétricos mais simétricos, preenchendo espaços periféricos dos circuitos.

Outro problema comum que se encontra ao trabalhar com *layout* analógico em dispositivos CMOS são as interconexões entre os componentes dos circuitos. Diferentemente de tecnologias CMOS mais antigas, em que se tinha apenas uma camada de metal para fazer as interconexões, tecnologias como a utilizada neste trabalho possuem até cinco *layers* (camadas) para roteamento. Um dos problemas que podem ser encontrados ao se trabalhar com vários metais é o surgimento de capacitâncias parasitas em trilhas paralelas ou que se cruzam em partes do circuito. Estas capacitâncias surgem naturalmente pois as trilhas são materiais condutivos percorridos por carga elétrica com camadas isolantes entre si, como óxido, por exemplo. O uso de técnicas como roteamento diferencial pode reduzir problemas de *crosstalking*, por exemplo, convertendo isso em distúrbios de modo comum, que acabam sendo ignorados pelo circuito. Trilhas *dummy* podem ser incluídas ao *layout* para criar capacitâncias de sobreposição entre trilhas de sinal para mitigar o acoplamento indesejado entre elas, conforme Razavi (2016).

Tecnologias CMOS mais modernas utilizam substratos P levemente dopados para evitar problemas de *latch up*, porém essa alta condutividade do substrato acaba proporcionando ao circuito uma possibilidade de conexões entre vários dispositivos do circuito, podendo corromper a integridade de alguns sinais. O acoplamento pelo substrato é um grande aspecto a se considerar em dispositivos de sinal misto. Para mitigar esta característica do substrato, pode-se utilizar “*guard rings*”, que são anéis fechados condutivos utilizados para isolação do substrato, construídos ao redor de dispositivos como transistores, ou outros elementos sensíveis. Este elemento é de grande importância pois consegue isolar os componentes dentro dele de ruídos de corrente oriundos do substrato. Outra técnica de isolação que pode ser utilizada é a criação de poços dentro de poços, por exemplo, criar um poço P dentro de um poço N em um substrato P, dessa forma, os componentes que estiverem dentro desse poço mais interno estarão totalmente isolados dos componentes que estiverem conectados diretamente ao substrato.

Em algumas implementações de circuitos integrados onde há uma grande área de material condutor, pode ocorrer o chamado efeito antena. Este efeito é causado pelo fato de ondas eletromagnéticas serem captadas pelo material condutor como uma antena, principalmente durante as etapas de fabricação, causando variações de tensão no material, podendo ainda danificar o circuito. “Por essa razão, tecnologias CMOS submicrométricas tipicamente limitam a área total de algumas geometrias, assim minimizando a probabilidade de o óxido do gate ser danificado” (RAZAVI, 2016, tradução nossa<sup>2</sup>). Isso pode ser observado em capacitores, por exemplo, que são componentes com grandes áreas de material condutivo. Quando áreas grandes de material condutor são inevitáveis ao circuito, descontinuidades são implementadas de forma a reduzir o efeito antena. Para isso, faz-se o interfaceamento, por exemplo, entre metal 1 e metal 2, além de essa grande área não ser ligada diretamente à porta do transistor, para evitar danos ao óxido.

Cada processo é caracterizado pelo comprimento mínimo de canal,  $L_{\text{mín}}$ ; e, assim, por exemplo, em um processo de  $0,18 \mu\text{m}$ , o menor transistor tem um comprimento de canal  $L = 180 \text{ nm}$  (SEDRA; SMITH, 2007). Comumente não se utiliza o tamanho mínimo da tecnologia para a construção dos transistores, pois variações no processo podem causar diferenças entre transistores e gerar efeitos indesejados no circuito; para minimizar este efeito, é usual dimensionar o  $L$  dos transistores mínimos com valores ligeiramente maiores que a dimensão mínima da tecnologia. Por exemplo, para uma tecnologia de  $180 \text{ nm}$ , é usual utilizar tamanhos mínimos de  $L$  para os transistores em torno de  $220 \text{ nm}$ .

Outro ponto a ser considerado é o fato de a capacitância do óxido,  $C_{\text{ox}}$ , aumentar de acordo com a redução da espessura do óxido,  $t_{\text{ox}}$ , que reduz com o comprimento do canal. Além disso, a mobilidade superficial,  $\mu$ , decresce de acordo com a redução da tecnologia, sendo que  $\mu_p$  reduz mais expressivamente que  $\mu_n$ , causado a grande discrepância entre as taxas de redução dos dois parâmetros. A transcondutância acaba acompanhando de forma inversa a redução da mobilidade superficial, pois  $C_{\text{ox}}$  tem a mesma magnitude em ambos os transistores – canal p e canal n. A transcondutância é dada em função de  $C_{\text{ox}}$  e  $\mu$ , sendo dada por  $k'_p = \mu_p \cdot C_{\text{ox}}$  para o transistor canal p e  $k'_n = \mu_n \cdot C_{\text{ox}}$  para o transistor canal n.

Os limiares de tensão reduzem de forma discreta em relação à tecnologia quando comparado com as magnitudes de  $V_{\text{DD}}$ . Esses limiares baixam, por exemplo, de  $0,7 \text{ V}$  para  $0,48 \text{ V}$ , enquanto  $V_{\text{DD}}$  reduz de  $5 \text{ volts}$  para  $1,8 \text{ volt}$ . Essa redução é essencial para evitar que o campo elétrico em pequenos dispositivos atinja valores muito elevados. Além disso, reduzir

---

<sup>2</sup> For this reason, submicron CMOS Technologies typically limit the total area of such geometries, thereby minimizing the probability of gate oxide damage.

$V_{DD}$  é fundamental para manter a dissipação de energia tão baixa quanto possível (SEDRA e SMITH, 2007).

A redução da folga entre os valores de  $V_{DD}$  e  $V_t$  tornou-se um grande desafio para o projetista de CI, visto que  $|V_{GS}| = |V_t| + |V_{0V}|$ , onde  $V_{0V}$  é a tensão de limiar necessária para manter  $|V_{GS}|$  razoavelmente baixa. Outro efeito observado em tecnologias de escalas nanométricas, é a influência pronunciada do efeito de modulação do comprimento do canal. Assim,  $V'_A$  vem diminuindo, o que, combinado com a diminuição do comprimento, tem feito que a tensão de Early  $V_A = V'_A.L$  se torne muito pequena. De forma correspondente, os MOSFET de canal curto exibem baixas resistências de saída (SEDRA e SMITH, 2007).

Quanto à operação do MOSFET, para operar no modo ativo, duas condições devem ser satisfeitas. Primeiramente, o canal deve ser induzido, ou seja,  $v_{GS} \geq V_t$ , para isso, faz-se  $v_{GS} = V_t + v_{0V}$ . Com isso, é necessário estrangular o canal no dreno, fazendo  $v_{GD} < V_t$ , ou, de forma equivalente,  $v_{DS} \geq V_{0V}$ . Quanto à corrente no dreno, tem-se:

$$i_D = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (v_{GS} - V_t)^2 \left(1 + \frac{v_{DS}}{V_A}\right), \quad (24)$$

Onde  $v_{GS} - V_t = v_{0V}$ . Não há corrente na porta, afinal o MOSFET é um dispositivo controlado por tensão.

Outros parâmetros importantes para o projeto de transistores CMOS são a transcondutância  $g_m$  dada pelas equações 5, 6 e 7.

$$g_m = I_D / \left(\frac{V_{0V}}{2}\right) \quad (25)$$

$$g_m = (\mu_n C_{OX}) \left(\frac{W}{L}\right) V_{0V}, \quad (26)$$

$$g_m = \sqrt{2(\mu_n C_{OX}) \left(\frac{W}{L}\right) I_D}. \quad (27)$$

A resistência de saída é a razão de  $V_A$  por  $I_D$  ou  $\frac{r_o = V'_A L}{I_D}$ . O ganho é definido por  $A_v = g_m r_o$ , podendo ser escrito como:

$$A_v = \frac{V_A}{\left(\frac{V_{0V}}{2}\right)}, \quad (28)$$

ou por

$$A_v = \frac{V'_A \sqrt{2\mu_n C_{OX} W L}}{\sqrt{I_D}}. \quad (29)$$

Assim se chega aos principais parâmetros de projeto:  $I_D$ ,  $V_{OV}$ ,  $L$  e  $W/L$ .

O dispositivo CMOS apresenta capacitâncias entre todos os seus terminais, sendo que as principais são  $C_{gs}$  e  $C_{gd}$ . “Enquanto  $C_{gs}$  tem um componente de superposição,  $C_{gd}$  é inteiramente uma capacitância de superposição. Ambos,  $C_{gd}$  e o componente de superposição de  $C_{gs}$ , são aproximadamente iguais e denotados por  $C_{ov}$ ” (SEDRA; SMITH, 2007).  $C_{gs}$  pode ser calculada através da expressão:

$$C_{gs} = \frac{2}{3}WLC_{OX} + WL_{ov}C_{OX} \quad (30)$$

e  $C_{gd}$  pela expressão:

$$C_{gd} = WL_{ov}C_{OX} \quad (31)$$

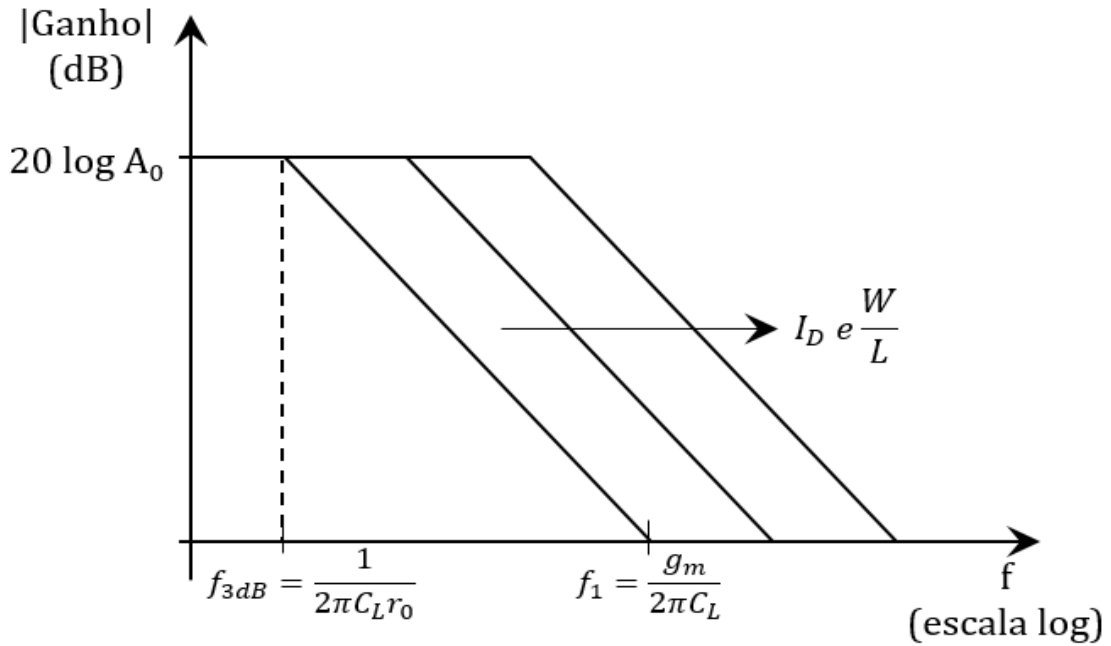
A presença dessas capacitâncias no dispositivo acaba causando limitações de frequências de operação. De acordo com Sedra e Smith (2007), no caso do MOS, fabricados com tecnologias submicrométricas, como o processo de 180 nm, alcançam valores de  $f_T$  na faixa de 5GHz a 15GHz”. A frequência de transição  $f_T$  é dada pela expressão:

$$f_T = \frac{g_m}{2\pi(C_{gs}+C_{gd})}. \quad (32)$$

Voltando aos parâmetros de projeto, nos projetos envolvendo MOSFET existem quatro parâmetros a serem definidos;  $I_D$ ,  $V_{OV}$ ,  $L$  e  $W/L$ . Destes, três podem ser atribuídos pelo *designer*. Para aplicações de circuitos analógicos, o compromisso em selecionar o comprimento  $L$  está entre os valores de alta velocidade de operação (faixa de amplificação mais larga) conseguidos com menores valores de  $L$  e maiores ganhos intrínsecos obtidos com maiores valores de  $L$  (SEDRA; SMITH, 2007).

Ao parâmetro  $V_{OV}$ , para escalas nanométricas, geralmente é atribuído valor entre 0,2 V e 0,4 V. O projetista pode optar por atribuir um valor para  $I_D$  ou  $W/L$ , de acordo com a necessidade do circuito, sendo o último parâmetro calculado em função do anterior de forma proporcional. Cabe lembrar que a atribuição destes valores não tem influência sobre o ganho intrínseco do transistor, nem mesmo sobre a sua frequência de transição, porém exerce influência sobre  $g_m$  e, conseqüentemente, sobre a relação ganho x faixa. A Figura 18 mostra como esta relação funciona; é possível notar que o ganho permanece inalterado à medida em que  $I_D$  ou  $W/L$  são alterados, porém a faixa varia proporcionalmente a estes parâmetros.

Figura 18 – Faixa de operação do amplificador CMOS fonte comum



Fonte: adaptado de Sedra e Smith (2007, p. 351).

Para operar como amplificador, o transistor deve ser polarizado na região de saturação. Segundo Razavi (2016), se a tensão  $V_{GS}$  de um transistor cresce a partir de zero, o transistor está desligado e  $V_{out} = V_{DD}$ . Conforme  $V_{in}$  se aproxima de  $V_{TH}$ , o transistor começa a ligar, circulando corrente através de  $R_D$  e reduzindo o valor de  $V_{out}$ . Se  $V_{DD}$  não é excessivamente baixa, o transistor entra em saturação e tem-se:

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^2 \quad (33)$$

Onde  $V_{in} = V_{GS}$  e  $V_{TH} = V_t$ . Nesse caso, a modulação do comprimento do canal é negligenciada. Quanto maior for  $V_{in}$ , menor será  $V_{out}$ , até que  $V_{in}$  seja maior que  $V_{out}$ , onde se tem:

$$V_{in1} - V_{TH} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in1} - V_{TH})^2. \quad (34)$$

Para  $V_{in} > V_{in1}$ , o transistor entra na região de triodo e a expressão que modela esta região é:

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} [2(V_{in} - V_{TH})V_{out} - V_{out}^2]. \quad (35)$$

No caso de  $V_{out} \ll 2(V_{in} - V_{TH})$ , a equação que modela é:

$$V_{out} = \frac{V_{DD} R_{on}}{R_{on} + R_D} = \frac{V_{DD}}{1 + \mu_n C_{OX} \frac{W}{L} R_D (V_{in} - V_{TH})}. \quad (36)$$

As características de ganho de tensão desse circuito obedecem a expressão  $A_v = -g_m R_D$ , onde sinais grandes interferem no funcionamento do circuito, pois a transcondutância  $g_m$  varia de acordo com o sinal de entrada conforme:

$$g_m = R_D \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH}). \quad (37)$$

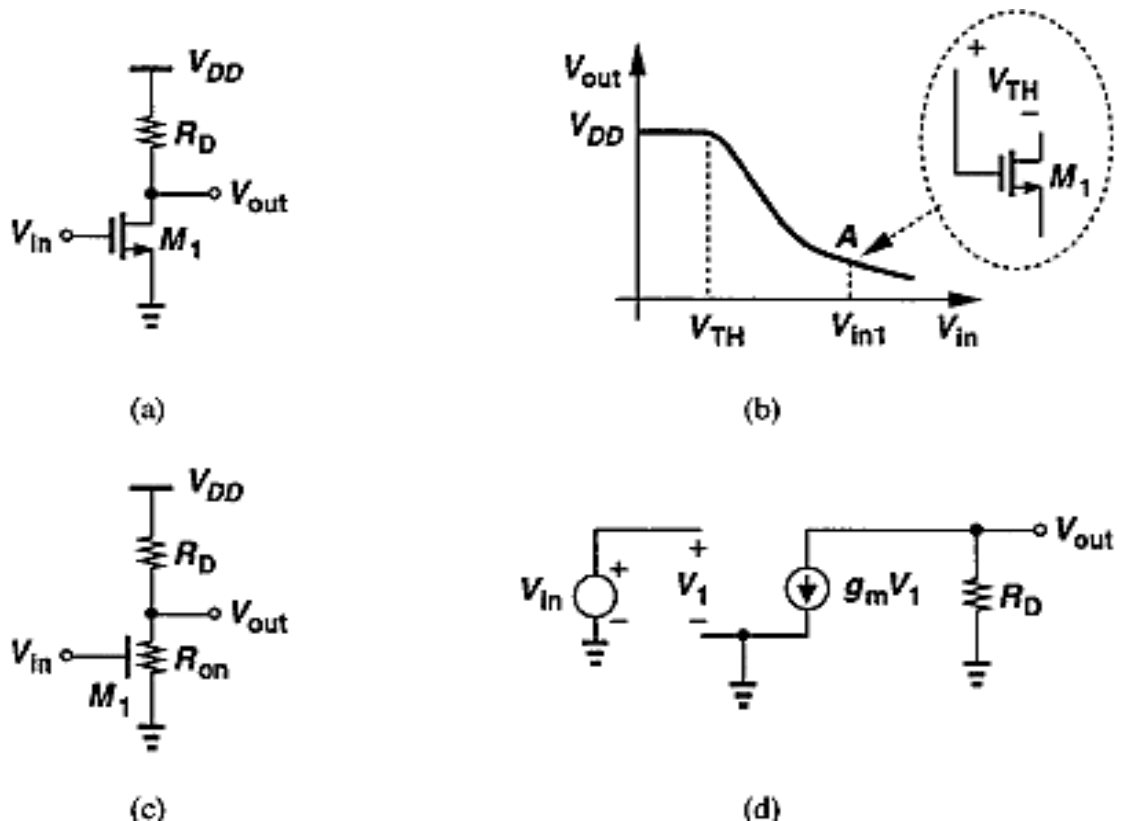
Em resumo, se o ganho varia substancialmente em função do sinal de entrada, como é o caso para sinais de grande magnitude, então o circuito tende à não-linearidade. Vale salientar que para minimizar a não-linearidade, a equação de ganho deve ser pouco dependente da função do sinal como  $g_m$  (RAZAVI, 2016).

A Figura 19 mostra os esquemas necessários para o projeto de amplificadores; o modelo do circuito eletrônico, a relação entre  $V_{out}$  e  $V_{in}$ , o modelo de resistência equivalente do transistor e o modelo de pequenos sinais, respectivamente a (a), (b), (c) e (d).

Para maximizar o ganho, faz-se uso das curvas da Figura 20 para escrever a expressão de ganho como:

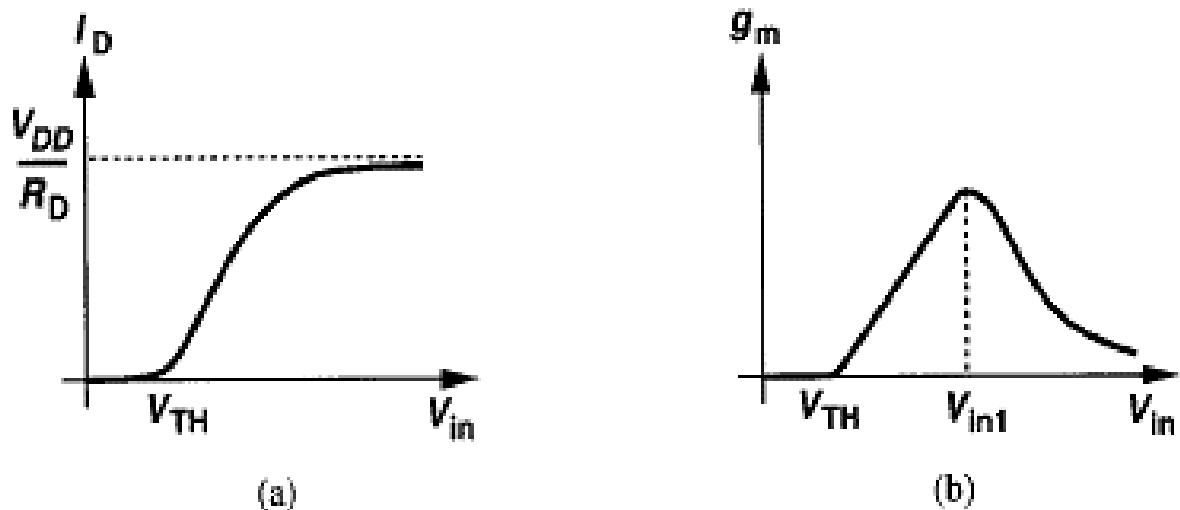
$$A_v = -\sqrt{2\mu_n C_{OX} \frac{W}{L} I_D} \cdot \frac{V_{RD}}{I_D} \quad (38)$$

Figura 19 – (a) Amplificador fonte comum (b) Características de entrada e saída (c) circuito equivalente na região de trípodo (d) modelo de pequenos sinais para a região de saturação



O termo  $V_{RD}$  representa a queda de tensão sobre a resistência  $R_D$ . Dessa forma, pode-se observar que é possível aumentar o ganho do amplificador aumentando  $V_{RD}$  ou a relação  $W/L$ . Além disso, reduzir a corrente de dreno também aumenta o ganho do amplificador. Um tamanho maior de dispositivo acarreta maiores capacitâncias no dispositivo, e quando se eleva  $V_{RD}$ , acaba-se limita as oscilações máximas de tensão. Por exemplo, se  $V_{DD} - V_{RD} = V_{in} - V_{TH}$ , então o transistor está na borda da região de triodo, permitindo somente oscilações muito pequenas na saída. Se  $V_{RD}$  permanecer constante e  $I_D$  for reduzida,  $R_D$  deverá aumentar, levando a uma constante de tempo maior no nó de saída. Ou seja, o circuito exhibe desvantagens entre oscilações de ganho, largura de banda e tensão. Tensões baixas aumentam ainda mais essas desvantagens. Para grandes valores de  $R_D$ , o efeito da modulação do comprimento do canal do transistor se torna significativo (RAZAVI, 2016).

Figura 20 – (a)  $I_D$  em função de  $V_{in}$  (b) transcondutância em função de  $V_{in}$



Fonte: Razavi (2016, p. 51).

Quando o efeito de modulação do canal se torna significativo para o sinal de saída, como nos casos de amplificadores em nanoescala, então a expressão que caracteriza o sistema passa a ser, considerando a modulação de canal, a seguinte:

$$V_{out} = V_{DD} - R_D \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^2 (1 + \lambda V_{out}) \quad (39)$$

Dessa forma, se fizermos  $\frac{\partial V_{out}}{\partial V_{in}}$ , podemos usar a aproximação de  $I_D$  como:

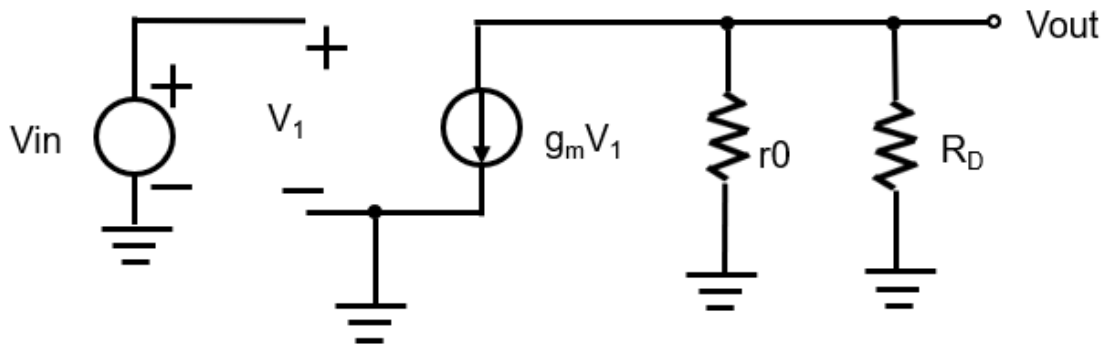
$$I_D \approx \frac{1}{2} \mu_n C_{OX} \frac{W}{L} (V_{in} - V_{TH})^2 \quad (40)$$

Chegando a uma expressão para o ganho do amplificador do tipo:

$$A_v = -R_D g_m - R_D I_D \lambda A_v = -g_m \left( \frac{r_o R_D}{r_o + R_D} \right) \quad (41)$$

Ainda é possível resumir este processo através do modelo de pequenos sinais da Figura 21.

Figura 21 - Modelo de pequenos sinais para amplificador FC de estágio simples



Fonte: Adaptado de Razavi (2016, p. 52).

Através do modelo de pequenos sinais é possível perceber que o ganho do circuito considerando a modulação do canal é totalmente dependente de  $r_o$ ,  $R_D$  e de  $g_m$ .



### 3 METODOLOGIA

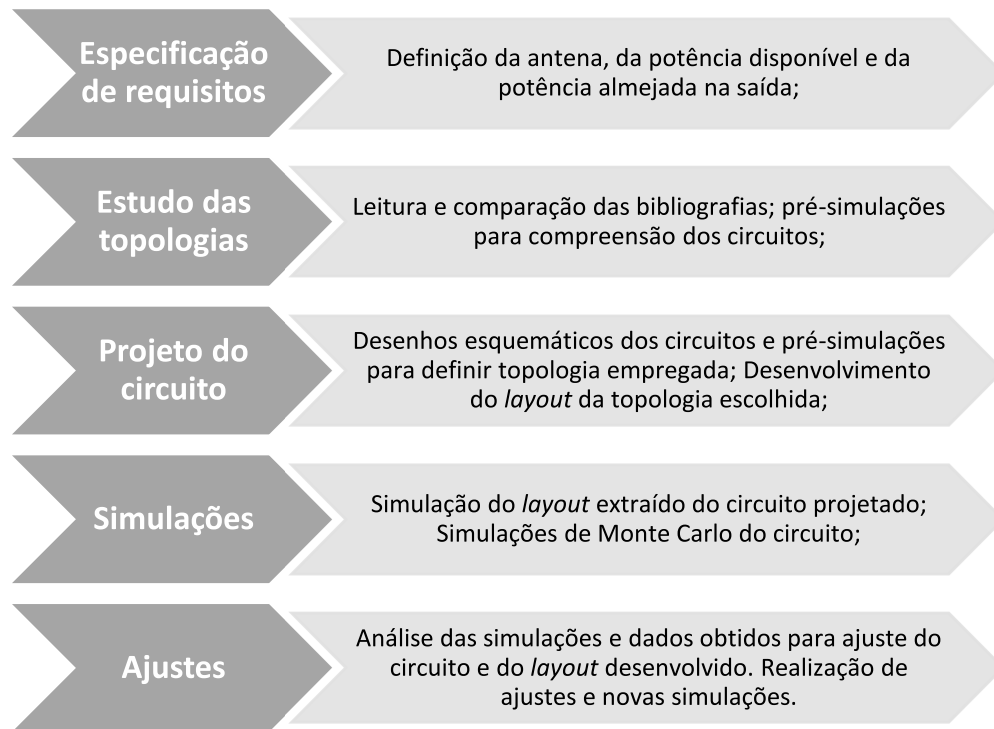
Como tecnologias relativamente recentes, apesar de a ideia de transmissão de energia por radiofrequência ser do início do século passado (TESLA, 1900), os circuitos para coleta de energia de radiofrequência ainda apresentam muitos desafios a quem os estuda, principalmente quando se trata da eficiência de conversão de energia, potência disponível no ambiente, e consumo dos dispositivos que serão alimentados com eles. Este trabalho trata do desenvolvimento de um circuito para coleta de energia na frequência ISM de 915 MHz, utilizando uma antena de RF de  $50 \Omega$ , um balun, um circuito ressonante para elevação de tensão, uma rede de casamento de impedância e um arranjo em cascata de multiplicadores de tensão em uma topologia de acoplamento cruzado de portas modificado, proposto por Chouhan e Halonen (2013).

Como um dos objetivos deste trabalho é servir de guia para que outros pesquisadores tenham um ponto de partida mais avançado no desenvolvimento de aplicações de EH para dispositivos IoT, uma das etapas deste trabalho foi estudar e enumerar as diferentes topologias utilizadas neste tipo de sistema. Focando nas tecnologias integradas e, principalmente, tecnologias CMOS, devido ao custo de fabricação reduzido. Tecnologias mais antigas (1998), como a utilizada neste trabalho; TSMC 180 nm. Estas tecnologias apresentam um bom custo-benefício para aplicações simples, pois são tecnologias bastante conhecidas, cujos custos de produção de máscaras, por exemplo, são reduzidos. Atualmente, a própria TSMC fabrica semicondutores em 5 nm e tem previsão de iniciar a fabricação em 3 nm em 2022 (TSMC, 2021).

Quando se trata de integração de circuitos em escalas submicrométricas, alguns modelos matemáticos aplicados aos circuitos passam a não se comportar com tanta exatidão, principalmente devido aos fatores de variação de processo, que em dimensões menores, se tornam mais significativos. Com isto, após o dimensionamento inicial do circuito, são necessárias otimizações dos parâmetros calculados através de simulações dos circuitos. Estas simulações são feitas através de varreduras de parâmetros, incluindo componentes parasitas que, geralmente, não são considerados nos cálculos, pois dependem da geometria do *layout* desenvolvido. A Figura 22 apresenta o fluxo metodológico simplificado que se utilizou no desenvolvimento deste projeto. As etapas são descritas detalhadamente na sequência. Este método de desenvolvimento pode utilizar conceitos de qualidade, como o PDCA (*Plan, Do, Check, Act*), criando um caminho que retorna ao estudo das topologias baseado nos resultados obtidos. Uma vez que os requisitos não sejam atendidos na primeira tentativa, cria-se um ciclo

de melhoria do projeto até que seus objetivos iniciais sejam atendidos, ou os desvios das especificações de projeto sejam suficientemente aceitáveis para a aplicação que se destina.

Figura 22 - Metodologia de projeto aplicada a este trabalho



Fonte: Elaborada pelo autor.

Evidentemente que, seguindo o Método Científico, a primeira etapa deveria ser a identificação do problema (ou a observação) (MARCONI e LAKATOS, 2003), porém, quando se pretende utilizar um circuito para coleta de energia, parte-se do pressuposto de que o integrador já tenha o problema definido e já conheça os requisitos necessários para iniciar o desenvolvimento do projeto. Desta forma, começamos diretamente pelas especificações dos requisitos e então assumimos algumas premissas, como a escolha das topologias que mais possam se adequar aos requisitos durante o estudo das topologias.

Após uma comparação entre as topologias estudadas, selecionou-se algumas para serem previamente simuladas nos parâmetros definidos para este trabalho. O circuito com melhor desempenho, ou seja, com maior entrega de potência na saída, foi escolhido para o desenvolvimento do *layout* do circuito integrado (CI). Neste trabalho, foi escolhida a topologia de um retificador por multiplicação de tensão com acoplamento cruzado de portas modificado, pois apresenta uma alta eficiência de conversão de energia, uma vez que possui meios de se eliminar a zona morta causada pela tensão de *threshold* dos transistores de condução (CHOUHAN e HALONEN, 2013).

A topologia de acoplamento cruzado escolhida para este trabalho foi definida após a simulação e otimização de outras topologias, como a de multiplicação de tensão por acoplamento cruzado sem modificações, a topologia por chaveamento ortogonal, topologia de retificadores Dickson e Cockcroft-Walton. Sob mesmas condições de entrada e variáveis de teste, a topologia escolhida para este trabalho apresentou maior eficiência de conversão e, consequentemente, uma maior tensão de saída.

### **3.1 Especificação dos requisitos**

Uma das etapas mais importantes de um projeto de qualquer natureza é a especificação dos requisitos. Esta etapa é importante, pois é onde se define os objetivos e limitadores do projeto. Requisitos de funcionamento, custo, tamanho, peso etc. são mandatórios em projetos de engenharia e devem ser bem definidos logo no início do projeto.

Como a alimentação do circuito depende muito da distância da fonte geradora, bem como da potência irradiada por ela, a entrada do sistema de EH não foi fixada, apresentando os resultados em uma faixa de valores de potência de entrada. A saída, por sua vez é um parâmetro importante para o circuito que será alimentado pelo EH. Dessa forma, estipulou-se arbitrariamente a meta de 1,2 V de tensão de saída com no mínimo - 20 dBm de potência na entrada do sistema, pois é uma tensão bastante comum para alimentação de dispositivos CMOS na tecnologia usada neste trabalho e uma potência relativamente baixa, que permite certa distância do elemento irradiante. Outro parâmetro importante é a eficiência de conversão de energia (PCE). Este parâmetro depende da topologia empregada, da quantidade de estágios do circuito multiplicador, da rede de casamento, gerenciador de energia etc. Por fim, o tamanho do sistema é um parâmetro que deve ser levado em consideração, pois espaço no circuito integrado é custo. Quanto menor o circuito, menor o custo, e mais complexos podem ser os circuitos dispostos no mesmo CI. Por esse motivo, os elementos do circuito ressonante e da rede de casamento de impedância foram deixados fora do CI, limitando o espaço em silício apenas ao retificador.

### **3.2 Estudo das topologias**

As principais topologias estudadas para a elaboração deste trabalho são detalhadas no Capítulo 2. A opção pela última topologia lá apresentada se deve ao fato de o retificador apresentar um efeito de cancelamento da tensão de limiar dos transistores, eliminando a zona

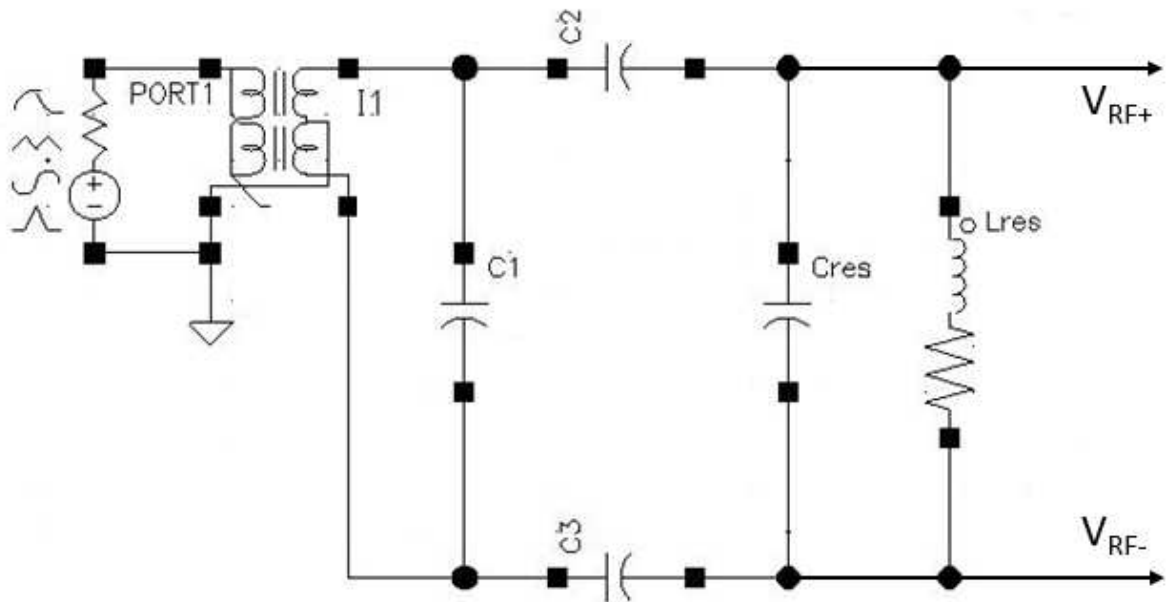
morta de condução entre um semiciclo e outro da onda de entrada do retificador. Além disso, a frequência escolhida, na faixa de 915 MHz, funciona satisfatoriamente com esta tecnologia CMOS mais antiga, conforme Mansano, Bagga e Serdijn (2013), sendo essa uma banda com muita energia disponível, como mostrado por Barroca et al. (2013, p. 533) e por Piñuela et al. (2013, p. 2717). Para frequências na faixa dos giga-hertz, retificadores usando diodos Schottky são mais indicados quando em comparação com dispositivos CMOS neste nó tecnológico, pois eles possuem uma velocidade de transição maior, mantendo baixas tensões de *turn on* (ativação), na faixa de 200 a 300 mV (ZULKIFLI *et al.*, 2015). Além disso, circuitos CMOS são mais comuns devido ao fato de serem fabricados mais facilmente, ou seja, utilizando menos processos durante a fabricação (CHOUHAN e HALONEN, 2016), o que acaba tornando o processo mais barato.

### 3.3 Projeto do circuito, simulação e ajustes

Todo o projeto do circuito integrado apresentado nesse trabalho foi desenvolvido no *software* Cadence® Virtuoso® com o kit de desenvolvimento de processo(PDK) TSMC CMOS 180 nm, tendo sido simulado no mesmo software. O circuito foi desenvolvido voltado a atender as especificações inicialmente arbitradas, conforme já mencionado, tomando como ponto de partida as dimensões dos circuitos apresentados em Chouhan e Halonen (2016).

A partir dos resultados de simulação de transitórios no tempo, as dimensões dos transistores foram modificadas, bem como dos capacitores de acoplamento, auxiliar e de carga intermediários. Para isso, foram feitas várias simulações de varredura desses parâmetros, buscando a maior tensão de saída e PCE, com o menor número de estágios possível. Inicialmente, o circuito foi otimizado utilizando uma única célula, como na Figura 16, utilizando um capacitor como carga, um circuito LC como ressonador, um balun para conectar à porta usada como antena e tornar a entrada diferencial, bem como uma rede de casamento de impedância capacitiva fixa, formada por um capacitor paralelo e um série, como mostrado na Figura 23.

Figura 23 - Circuito de entrada do EH.



Fonte: Elaborado pelo autor.

Cabe salientar que o circuito foi sintonizado em 915 MHz por ser a frequência mais rica em potência (BARROCA et al., 2013, p. 533) (PIÑUELA et al., 2013, p. 2717) e estar abaixo da faixa dos giga-hertz. Para sintonizá-lo em outras bandas, se faz necessário o ajuste do circuito ressonante LC, variando um ou ambos os componentes ( $C_{res}$  ou  $L_{res}$ , na Figura 23), através da equação:

$$f_{ressonância} = \frac{1}{2\pi\sqrt{LC}} \quad (42)$$

Com essa mudança no ressonador, é necessário ajustar a rede de casamento de impedância. Para isso, é necessário identificar a impedância de entrada do novo circuito do ponto de vista da saída do balun. Para encontrar esse valor, é possível calcular, levando em consideração a alta impedância de entrada dos retificadores, os capacitores de acoplamento e o circuito LC, o que pode se tornar extremamente complexo, devido a não-linearidade do retificador e por haver tanto elementos capacitivos, quanto indutivos. As reatâncias capacitiva e indutiva podem ser obtidas através das equações 43 e 44.

$$X_C = \frac{1}{2\pi \times f \times C} \quad (43)$$

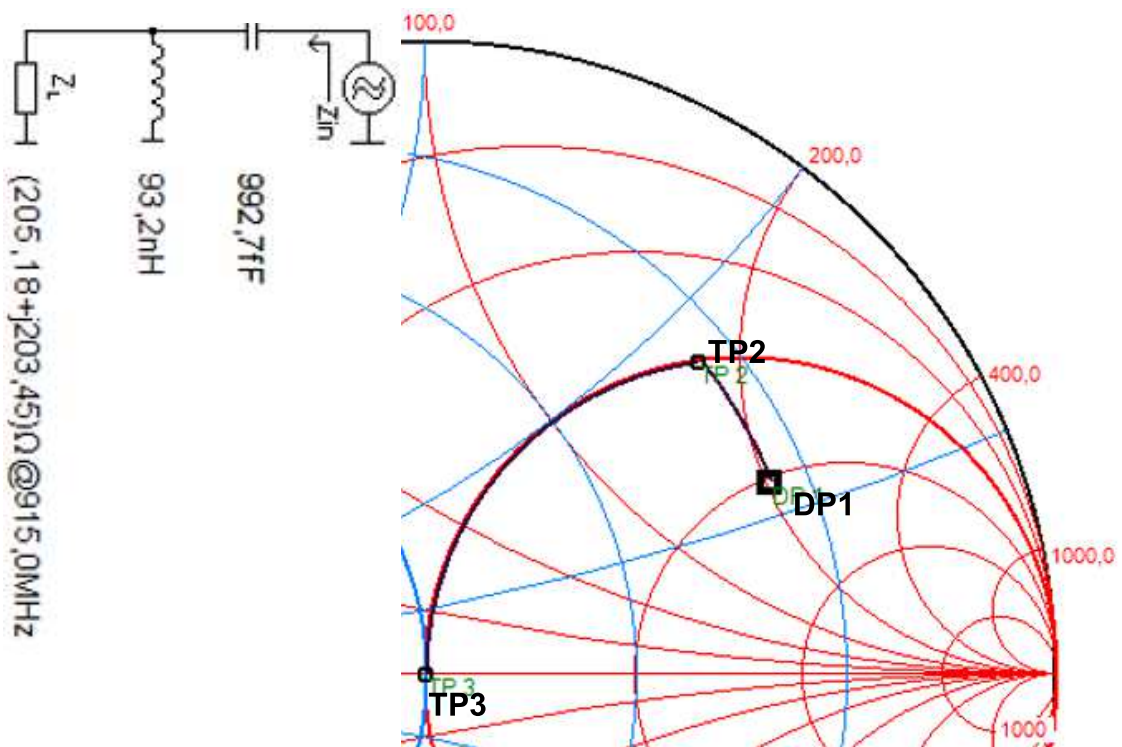
$$X_L = 2\pi \times f \times L \quad (44)$$

Por outro lado, o Cadence® Virtuoso® permite simular o circuito de forma a encontrar os parâmetros construtivos dele, incluindo a impedância vista a partir dos terminais de uma

porta (elemento do simulador utilizado para gerar os sinais, simulando uma antena, por exemplo), como no caso da Figura 23, a impedância vista através dos terminais da porta denominada PORT1. Esta ferramenta ajuda a dinamizar o processo de desenvolvimento, gerando um ganho de tempo.

Com as informações de impedâncias disponíveis, é possível fazer o casamento de impedâncias com o auxílio da Carta de Smith, que é um gráfico que pode ser usado para calcular características de linhas de transmissão como impedância, transmissão e reflexão de ondas, por exemplo. Para tal, foi utilizado o *software* Smith Chart V3.10. Este *software* facilita o uso da Carta de Smith, uma vez que ele usa diretamente os componentes eletrônicos (capacitores, indutores, resistores e combinações desses) para definir o “caminho” de um ponto a outro da Carta. Um exemplo é mostrado na Figura 24.

Figura 24 - Recorte da Carta de Smith do *software* Smith Chart V3.10.



Fonte: Elaborado pelo autor.

O casamento de impedância mostrado na Figura 24, como exemplo, usa como rede de casamento entre o ponto DP1 (que representa a impedância vista pelos terminais da porta, exemplificada como  $205,18 + j203,45$  em  $915 \text{ MHz}$ ) e o centro da Carta (identificado na Carta como TP3). O caminho de dois trechos entre os pontos DP1 e TP3 representa o casamento das impedâncias do balun com o restante do circuito, sendo o primeiro de DP1 a TP2 representando o indutor de  $93,2 \text{ nH}$ , e o segundo de TP2 a TP3 representando o capacitor de  $992,7 \text{ fF}$ . Dessa

forma, para casar o circuito com essa nova impedância de entrada, basta substituir os capacitores C1, C2 e C3 na Figura 23, por uma rede formada por um capacitor de 992,7 fF e um indutor de 93,2 nH, como na Figura 24, levando em consideração que o circuito é diferencial e essa rede deve ser espelhada.

Com o circuito finalizado e as simulações retornando resultados satisfatórios, a etapa seguinte é a elaboração do *layout* da geometria física do circuito que será fabricado.

### 3.4 *Layout*

Após realizadas todas as simulações do circuito em desenho esquemático, a próxima etapa consiste na elaboração do *layout* físico do circuito, ou seja, o desenho das geometrias que serão gravadas sobre a lâmina de silício para fabricar o circuito integrado. Nesta etapa, todas as características físicas informadas durante o projeto do circuito em esquemático viram geometrias físicas. Essas geometrias influenciam diretamente no funcionamento do circuito, dessa forma, após a execução do desenho, é necessário que se faça mais simulações, pois algumas características do desenho podem causar acoplamentos eletromagnéticos indesejados. O circuito pode ficar mais ou menos suscetível a interferências externas do ambiente, bem como podem ser criadas impedâncias, capacitâncias e até mesmo indutâncias parasitas que podem influenciar no comportamento do circuito.

Existem muitas técnicas de *layout* de circuitos analógicos que podem ser empregadas (VOINIGESCU, 2013) (RAZAVI, 2016) para mitigar estes problemas. Além do desenho, algumas limitações são impostas graças ao processo de fabricação, por isso, é fundamental que o projetista de circuitos integrados conheça bem o processo de fabricação de circuitos integrados, suas limitações e vantagens, que podem variar de um nó tecnológico para outro, ou de um PDK de um fabricante para o de mesmo nó tecnológico de outro fabricante. Geralmente, o fornecedor da tecnologia disponibiliza um manual de uso do PDK, onde constam todas as informações básicas para o uso da tecnologia, evitando problemas durante o processo de fabricação e aumentando a probabilidade de acerto no projeto.

Alguns parâmetros de projeto são dimensionados livremente pelo projetista de acordo com as necessidades do sistema, porém algumas características importantes são determinadas por regras de *design*. Estas regras são determinadas por limitações físicas de funcionamento da tecnologia em questão. Algumas destas limitações incluem:

- **Largura mínima:** as larguras e comprimentos mínimos dos elementos do circuito devem ser maiores do que as dimensões litográficas mínimas da tecnologia utilizada.

Por exemplo, em uma tecnologia de 180 nm, as dimensões de L e W não podem ser inferiores a esta medida. É importante salientar que a profundidade das camadas não está sob controle do projetista, uma vez que é inerente ao processo de fabricação de cada tecnologia (RAZAVI, 2016). Como boa prática de projeto, sempre deve-se utilizar dimensões ligeiramente maiores que o mínimo da tecnologia, para que os desvios de processo não afetem o funcionamento do circuito;

- Espaço mínimo: como o processo fotolitográfico e os processos de implantação e deposição não são totalmente precisos, existem limitações de distanciamento entre áreas de mesmo material ou materiais que sofrem influência mútua. Esse espaçamento mínimo serve para garantir que as variações nos processos de fabricação não ocasionem curtos-circuitos ou zonas de fuga de corrente no circuito. Essas limitações geralmente acontecem quando é necessário depositar material sobre o CI, como no caso dos metais;
- Enclausuramento mínimo: para garantir que o circuito funcione conforme projetado, levando em consideração as regras de *design*, existem outros distanciamentos mínimos além das distâncias entre geometrias vizinhas. Um desses é o chamado distanciamento de Enclausuramento. Esta regra garante que uma conexão entre uma zona de *poly* (polissilício) e uma zona de metal, por exemplo, seja feita de forma adequada, onde a área do metal deve estar contida dentro da área do *poly* (RAZAVI, 2016);
- Extensão mínima: Em alguns componentes onde regiões se sobrepõem, é necessário que haja uma área de folga entre essa sobreposição (RAZAVI, 2016). Essa área que vai além do limite da camada superior serve para garantir que a sobreposição seja completa, evitando a criação de componentes com camadas não correspondentes. Por exemplo, o *gate* de um transistor deve passar além do limite do canal para garantir que o *gate* não fique menor que a largura do transistor, ocasionando alterações nas variáveis de operação.

As etapas básicas envolvidas na fabricação dos circuitos integrados contemplam o projeto, validação, processamento do *wafers* (lâmina de silício que servirá de substrato para os circuitos), fotolitografia, oxidações, implantação iônica, deposição, *etching* (ataques químicos, ou físicos), entre outras. “Algumas dessas etapas podem ser repetidas várias vezes, em diferentes combinações e sob diferentes condições de processamento durante uma corrida completa de fabricação” (SEDRA e SMITH, 2007).

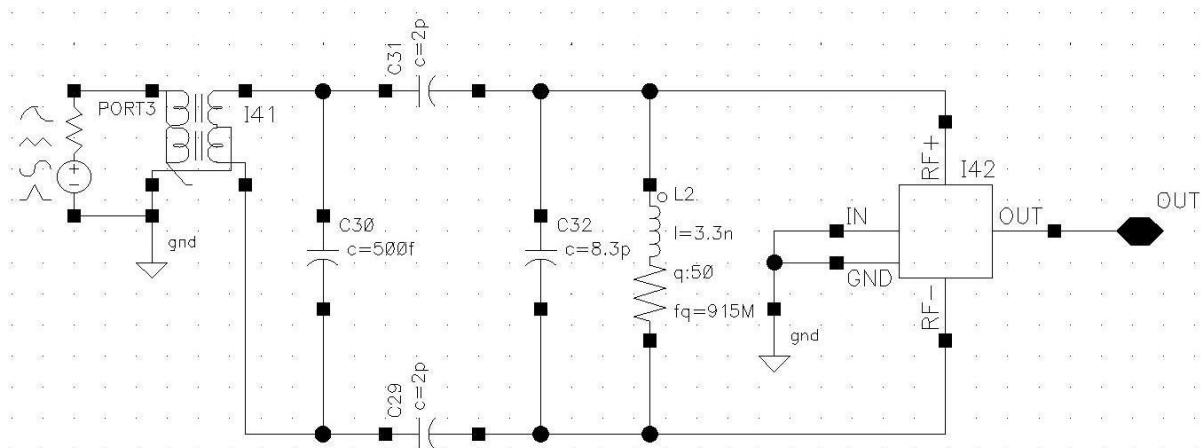


Cabe salientar, também, que a maioria dessas limitações do processo são identificadas no manual do PDK e, nas ferramentas de verificação de *layout* que são disponibilizadas pelo fabricante para uso dentro do Cadence® Virtuoso®.

### 3.5 Simulações

Para verificar o comportamento do circuito em diversos cenários diferentes, foi desenvolvido um *testbench* para realizar as simulações do circuito. Para isso, foram usados componentes ideais externos ao CI, como mostrado na Figura 25, com exceção do indutor, que considera um fator de qualidade de 50, em 915 MHz. Este circuito contempla a antena, representada por uma porta geradora de sinal, com potência configurável e impedância fixada em  $50 \Omega$ , pois é uma impedância comumente encontrada em antenas de RF. Além disso, usa-se um balun para casamento de impedância, além de uma rede de capacitores e um circuito ressonante. A rede ressonante foi projetada de forma a encontrar um ponto ótimo entre dimensões de componentes e ganho de tensão. Um bloco de circuito foi criado para facilitar as simulações, ficando menos elementos na tela de projeto. Além disso, um bloco composto por dez estágios de retificação foi criado para simular o comportamento do circuito com estágios múltiplos.

Figura 25 – Circuito usado para simulação do bloco integrado.



Fonte: Elaborado pelo autor.

Definiu-se dez estágios de retificação após uma bateria de simulações, que mostraram que dez seria uma quantidade adequada de estágios para se obter a tensão mínima desejada, conforme objetivos iniciais do trabalho (1,2 V).

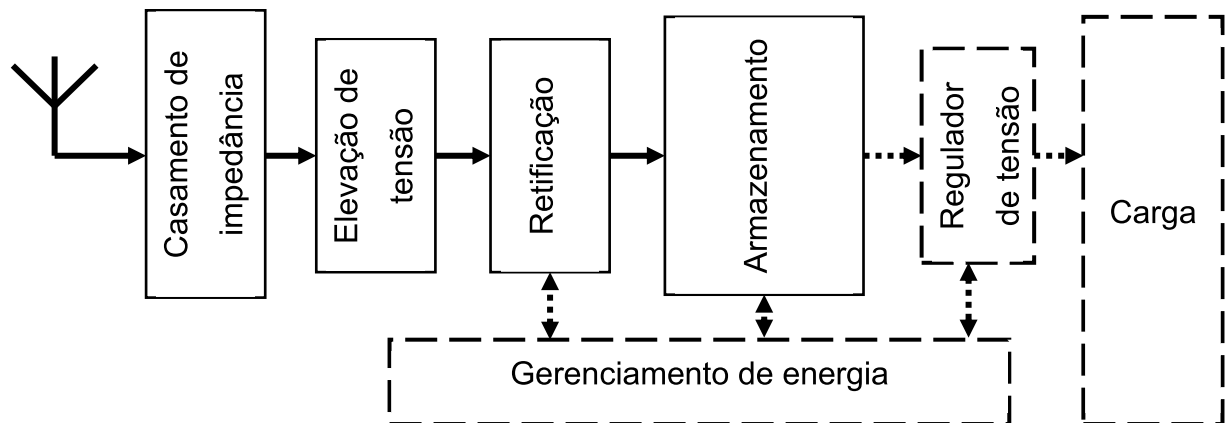
As simulações foram realizadas através da variação de parâmetros dentro de alguns limites definidos e conhecidos. As dimensões dos transistores, por exemplo, que influenciam diretamente no funcionamento do circuito foram otimizadas para ocupar o mínimo de área possível, enquanto os transistores cumprem suas funções sem prejuízos ao sistema. Os capacitores de acoplamento e filtragem também tiveram suas dimensões otimizadas para ocupar o mínimo de área de silício possível, facilitando o *layout* e o encaixe no CI que foi enviado para fabricação. Tipos diferentes de transistores foram utilizados, porém, como se era imaginado, os transistores disponíveis no PDK, cujo  $V_{TH}$  era mais baixo foram mais adequados ao projeto.

#### 4 ANÁLISE DOS RESULTADOS

O circuito de um sistema de coleta de energia de ondas de radiofrequência geralmente segue a topologia da Figura 26. Embora muitos trabalhos foquem em blocos específicos do sistema, é sempre necessário pensar nos demais blocos para garantir que o resultado do sistema de EH seja funcional. Os blocos que compõem esse trabalho são indicados em linha cheia na Figura 26, os demais, que não fazem parte, estão em linhas tracejadas. Embora o circuito integrado resultante deste trabalho seja equivalente apenas ao bloco de retificação, os blocos da antena, casamento de impedância, elevação de tensão e armazenamento de energia precisam ser implementados para conseguir medir o resultado do retificador.

A etapa de regulação de tensão pode ser feita através de reguladores lineares comuns, reguladores do tipo LDO (*Low Dropout*), ou reguladores controlados pelo gerenciador de energia. Este, por sua vez, pode ser autogerenciável através de circuitos sensíveis a variações de potência de entrada e/ou saída, ou mesmo microcontrolados. Alguns projetistas utilizam a etapa de elevação de tensão após a etapa de retificação, usando um estágio simples de retificação, seguido por um conversor CC-CC do tipo elevador (*boost*) (ZULKIFLI *et al.*, 2015).

Figura 26 - Diagrama de blocos de um sistema de EH.

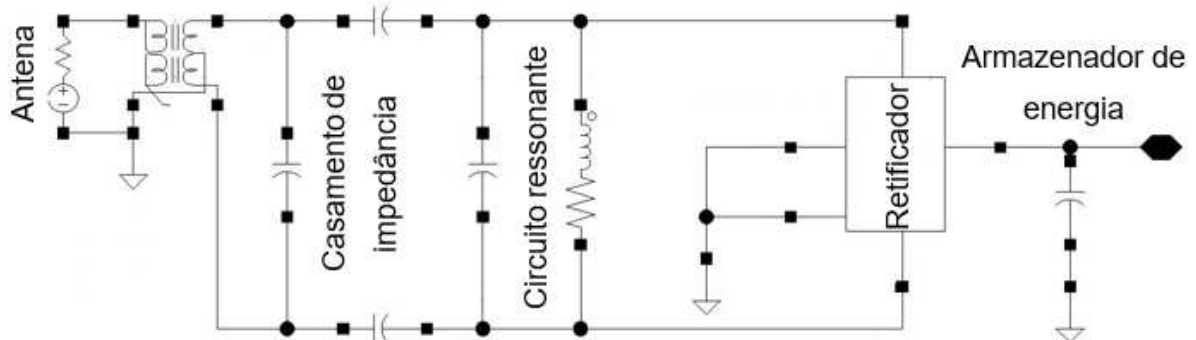


Fonte: Elaborado pelo autor.

O circuito desenvolvido neste trabalho é mostrado na Figura 27, onde uma porta é usada para simular o sinal recebido pela antena, já levando em conta o ganho. Logo após a antena é utilizado um balun para tornar o circuito diferencial e aumentar a eficiência de conversão, uma vez que a amplitude de retificação é dobrada, devido à possibilidade de usar os dois semiciclos da onda do sinal de entrada. Seguindo, à direita do balun, se encontram a rede de casamento de impedância e o circuito ressonante, composto por um capacitor e um indutor paralelos,

sintonizados em 915 MHz, sendo o capacitor definido em 8,3 pF e o indutor em 3,3 nH, com fator de qualidade igual a 50. Todas estas etapas são fora do CI e podem ser integradas na placa de circuito impresso que acomodar o CI, pois mesmo externos, não ocupam grande área. Devido à alta seletividade do circuito ressonante, ao implementar o circuito fisicamente, se faz necessário utilizar componentes de alta precisão, ou ajustar a rede de casamento e o circuito ressonante para que se casem com os valores físicos medidos.

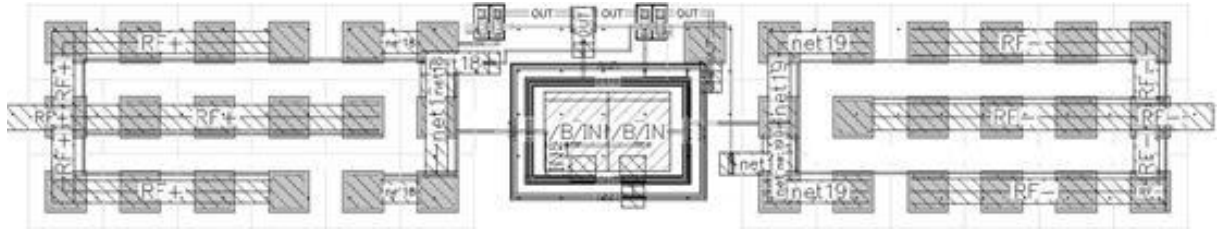
Figura 27 - Circuito proposto para o EH.



Fonte: Elaborado pelo autor.

O circuito integrado desenvolvido utiliza dez estágios do retificador da Figura 16, também mostrado na Figura 29. O *layout* do CI de um dos estágios é mostrado na Figura 28. Ao centro pode-se observar o poço isolado onde foram posicionados os dois transistores NMOS, devido à necessidade de conexão do *bulk* dos transistores conforme mostrado na Figura 16, ao invés de conectá-los ao GND. À esquerda e à direita do poço se encontram os capacitores de acoplamento do sinal de entrada, formados por 13 células de 20,28 fF. Junto a eles estão os capacitores auxiliares, formados por 5 células de mesmas dimensões e o capacitor de retificação intermediária, que elimina a oscilação do sinal de saída entre cada estágio, formado por uma única célula idêntica às células dos demais. Este último pode ser identificado, pois é o único destacado dos arranjos de 3 por 6 células capacitivas no desenho, ficando posicionado logo ao lado dos transistores PMOS e acima do poço isolado. Os transistores PMOS configurados como chave e os configurados como diodo estão posicionados juntos, de forma a facilitar o roteamento e reduzir o espaço necessário.

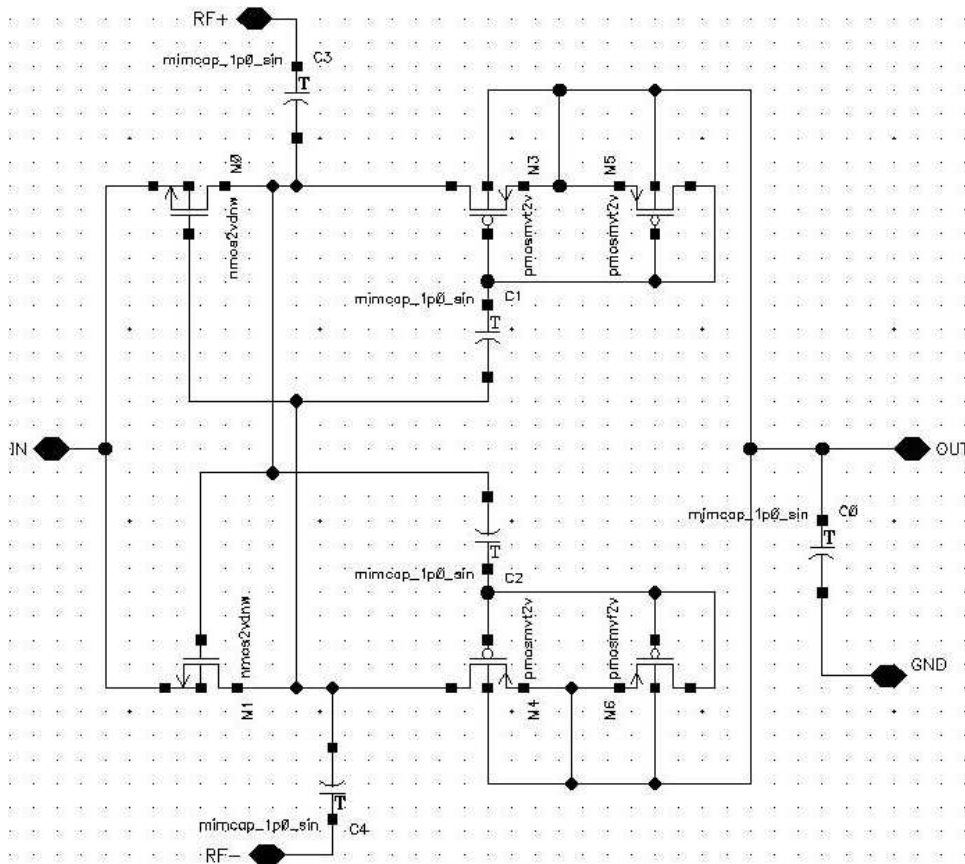
Figura 28 - *Layout* de um estágio de retificação.



Fonte: Elaborado pelo autor.

O estágio simples foi organizado de forma a facilitar o roteamento dos sinais de entrada e saída, tendo acima e abaixo, na Figura 30, as conexões de entrada de RF, à esquerda de cada estágio a entrada da referência de tensão, sendo o primeiro estágio conectado ao GND, e à direita de cada estágio o terminal de saída, que é conectado ao de entrada no bloco seguinte, e ao armazenador de energia no último bloco. Logo abaixo dos terminais de entrada e saída (que ficam alinhados para facilitar o roteamento), foi colocado o terminal GND, que interliga todos os estágios com apenas uma linha de metal que percorre todo o CI.

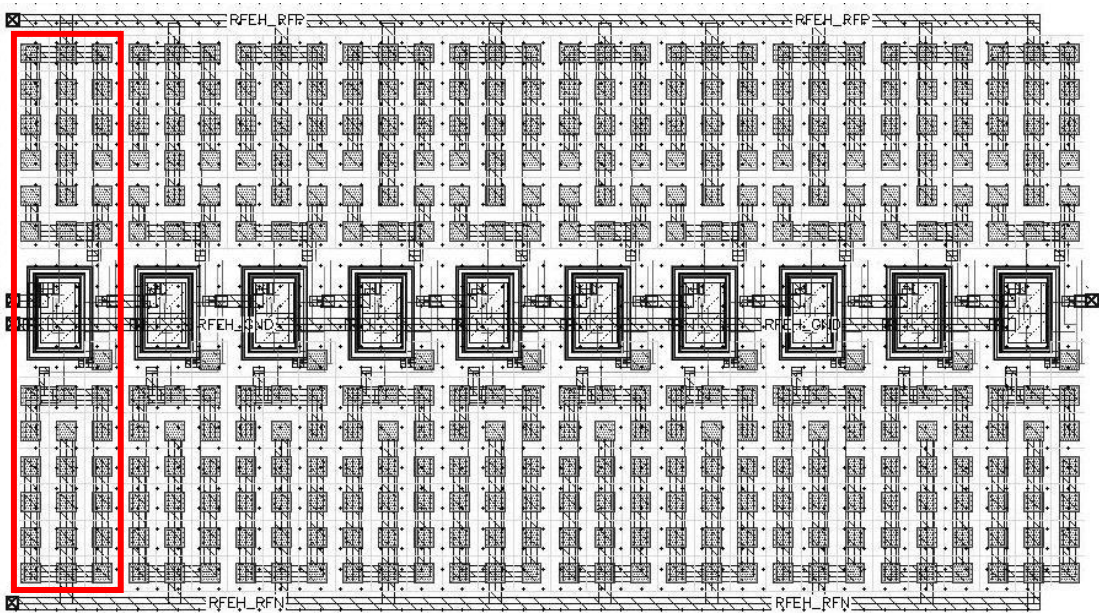
Figura 29 – Circuito esquemático de um estágio de retificador.



Fonte: Elaborado pelo autor.

O primeiro estágio é indicado na Figura 30 por um retângulo vermelho. Acima e abaixo dele, à esquerda se encontram os terminais de conexão da entrada de RF, à direita dele os terminais de entrada e GND e à esquerda do bloco grande, está o terminal de saída. Estes cinco terminais são ligados aos pinos do CI para integração do circuito com o mundo externo.

Figura 30 - Circuito integrado completo do retificador de 10 estágios.



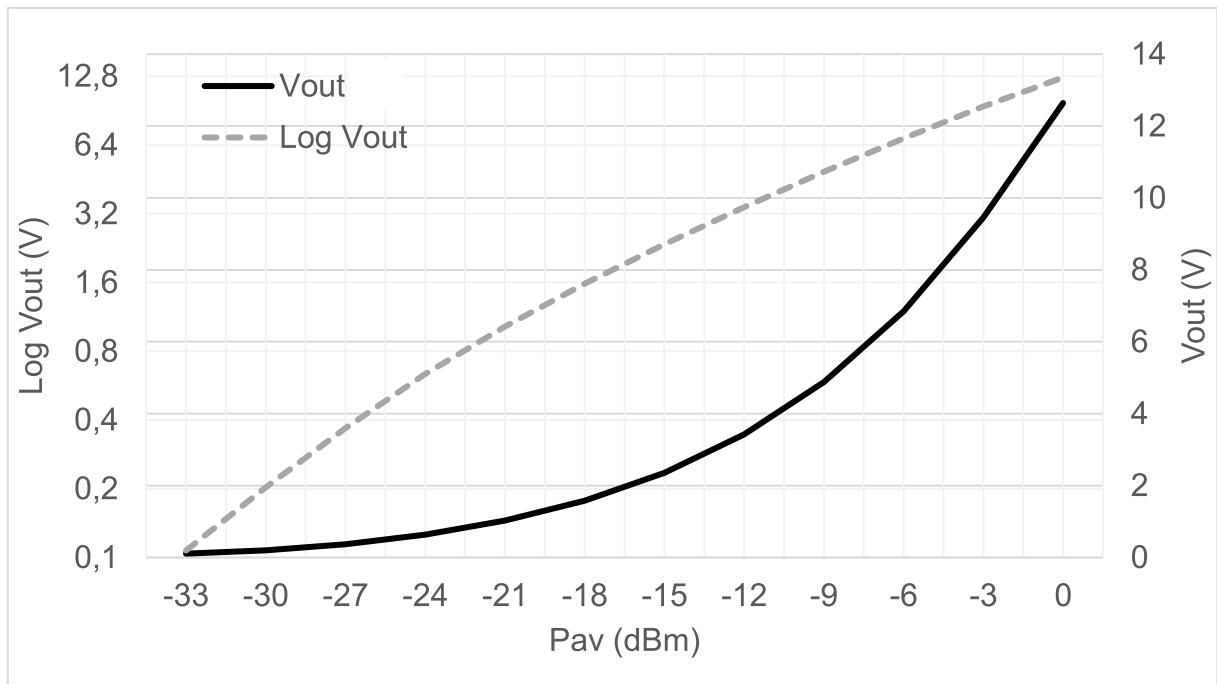
Fonte: Elaborado pelo autor.

Todos os transistores utilizados neste *layout* têm tamanhos  $W$  e  $L$  igual a 350 nm. Ou seja, são transistores pequenos, rápidos o suficiente para chavear na frequência de 915 MHz utilizada no projeto.

O circuito integrado proposto aqui está sendo fabricado e deve ser entregue pela TSMC apenas após a conclusão deste trabalho, ficando os resultados das medições do circuito para um próximo trabalho. Contudo, ainda é possível apresentar os resultados das simulações realizadas. Todas as simulações apresentadas neste trabalho são de layout extraído. A Figura 31 mostra a variação da tensão de saída do circuito de acordo com a variação da potência de entrada fornecida pela antena, desde -33 dBm até 0 dBm. É possível verificar que a tensão de saída varia quase linearmente com a variação da tensão na entrada. A curva com linha cheia indica a variação de  $V_{out}$  conforme a entrada  $P_{av}$  de -33 dBm a 0 dBm com passos de 3 dBm, apresentando uma curva quase exponencial, conforme a potência é aumentada. A curva tracejada apresenta a mesma curva, porém com o eixo vertical em escala logarítmica de base 2. A curva apresentada pela linha tracejada é quase linear, o que indica uma quase linearidade da tensão de saída em relação à potência de entrada do circuito. Conforme Martins e Serdijn (2021)

e Mohan e Mondal (2021), a impedância de entrada do circuito varia de acordo com a potência de entrada. Esta variação da impedância de entrada, que acaba causando um descasamento de impedância na medida em que a potência de entrada se afasta daquele valor que foi usado na simulação, contribui para a variação não linear da tensão de saída.

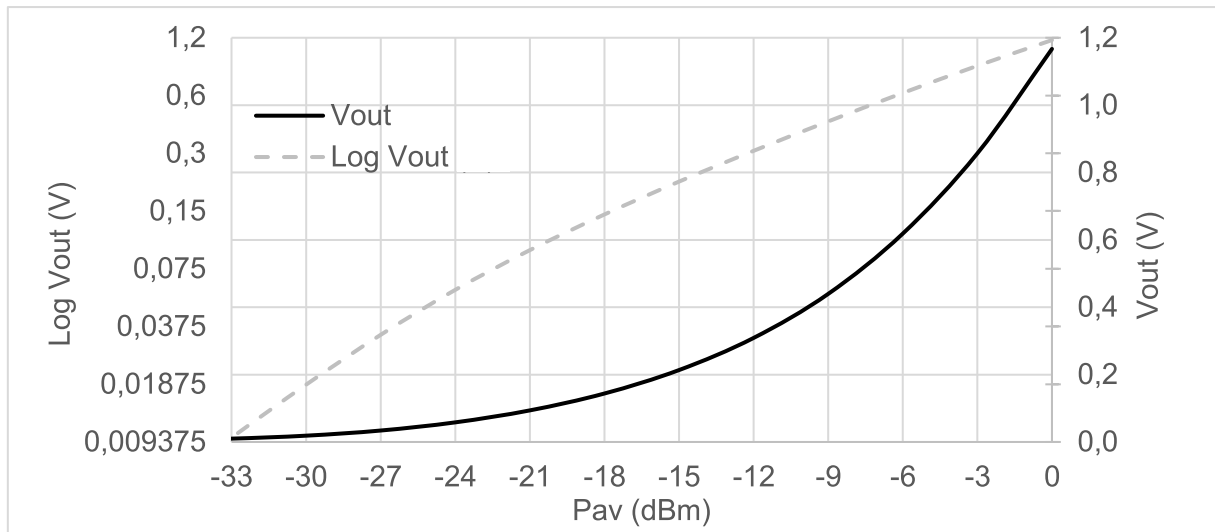
Figura 31 - Tensão de saída em dez estágios de retificação.



Fonte: Elaborado pelo autor.

A Figura 31 apresenta os resultados de tensão de saída para dez estágios de retificação, já a Figura 32 apresenta para apenas um estágio, variando no mesmo *range* de potência. Como é possível notar, as curvas são praticamente iguais, mostrando que o circuito com um ou dez estágios apresenta o mesmo comportamento. Esse comportamento ocorre, pois tanto em um estágio quanto em dez estágios, o consumo de potência do circuito ocorre na condução de corrente para a carga. Como todos os estágios que precedem o último tem como carga um circuito idêntico, cuja impedância de entrada é extremamente alta, a potência consumida é ínfima.

Figura 32 - Tensão de saída em um estágio de retificação.



Fonte: Elaborado pelo autor.

Por causa dessa característica, alguns autores preferem utilizar meios de elevar a tensão logo na entrada do circuito, fornecendo um nível de tensão elevado ao retificador, para que menos estágios sejam necessários, como em Mansano (2016). Por outro lado, alguns preferem utilizar poucos estágios de retificação e usar um conversor elevador de corrente contínua (CC-CC *boost*), como em Arrawatia, Baghini e Kumar (2011) e em Wang *et al.* (2017).

As vantagens do uso de muitos estágios de multiplicação de tensão estão na facilidade de implementação, uma vez que é necessário otimizar apenas um estágio e replicá-lo até que se chegue ao nível de tensão desejado. A topologia do retificador apresentada por Chouhan e Halonen (2013) tem a vantagem de não necessitar um nível de tensão elevado na entrada, pois ele é capaz de eliminar o efeito de  $V_{th}$  do multiplicador. Dessa forma, a dependência de um circuito ressonante bem sintonizado é reduzida, uma vez que o nível de tensão depende mais da quantidade de estágios de multiplicação que da entrada em si. Por outro lado, este tipo de topologia acaba utilizando mais área de silício, o que pode encarecer o projeto. Assim, a associação das duas técnicas pode ser a melhor alternativa para o sistema.

Em tempo, vale salientar que a utilização de um conversor CC-CC do tipo *boost*, aliado a este sistema pode ser mais eficaz na elevação de tensão do sistema, uma vez que é um sistema autorregulado e pode ser projetado para manter um nível de tensão de saída mais constante, tornando a tensão de saída mais independente a potência de entrada. Nesse caso, a necessidade de um regulador de tensão na saída do sistema de EH pode ser eliminada, conseguindo-se sistemas com alto rendimento, como mostrado por Wang *et al.* (2017), que aplica uma rede de casamento e elevação de tensão, um estágio de retificação em topologia de multiplicador de

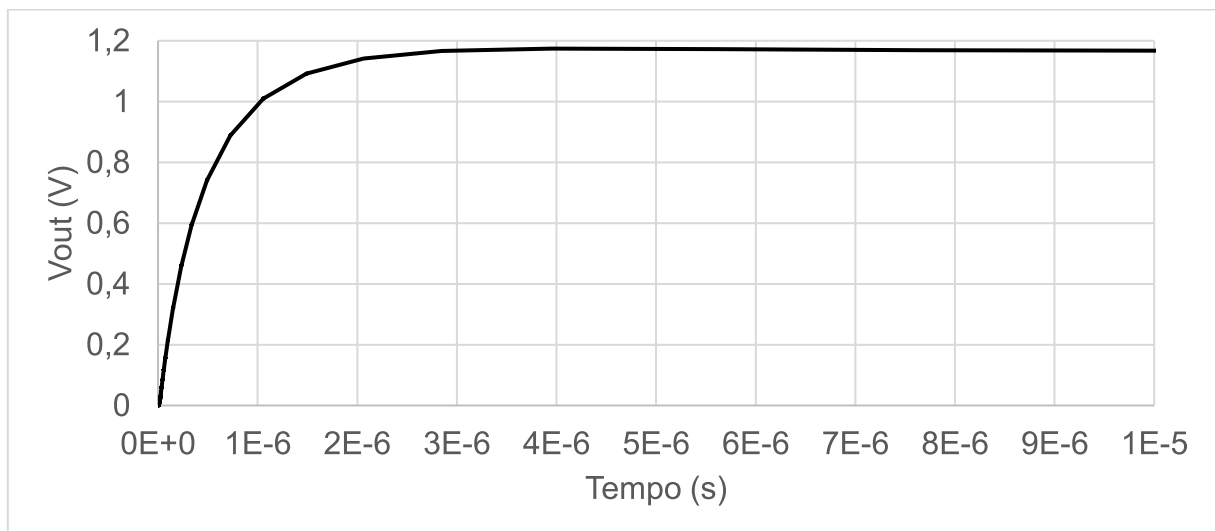


tensão por acoplamento cruzado de portas e uma etapa de conversão CC-CC do tipo *boost* e um LDO para regulação da tensão de saída.

Quando se avalia a resposta do circuito no tempo, obtém-se o resultado apresentado na Figura 33, onde é possível perceber que, para uma entrada de 0 dBm, a tensão de saída do circuito se aproxima de 1,17 V. Evidentemente, esta é uma alta potência de entrada e dificilmente estará disponível para um circuito prático, porém é um resultado importante para avaliar, por exemplo, o tempo de subida do sinal de saída, pois através dele é possível determinar quanto tempo o circuito necessita para carregar um capacitor de armazenamento de energia. Neste caso, da Figura 33, o circuito de um estágio com 0 dBm de potência na entrada leva cerca de 4  $\mu$ s para chegar à tensão máxima sobre o capacitor de carga, que nesta simulação é de 10 pF.

Para se chegar ao mesmo nível de tensão na saída, porém para uma entrada de -20 dBm, é necessário o uso de dez estágios de multiplicação de tensão. A Figura 34 apresenta este resultado, onde é possível verificar uma resposta muito semelhante, porém com o tempo de subida maior, cerca de 100 ms. Com isso, é possível evidenciar que, quanto menor a potência de sinal RF disponível na entrada no circuito de EH, maior será o tempo para que se consiga carregar armazenador de energia.

Figura 33 - Tensão de saída em um estágio em 0 dBm.

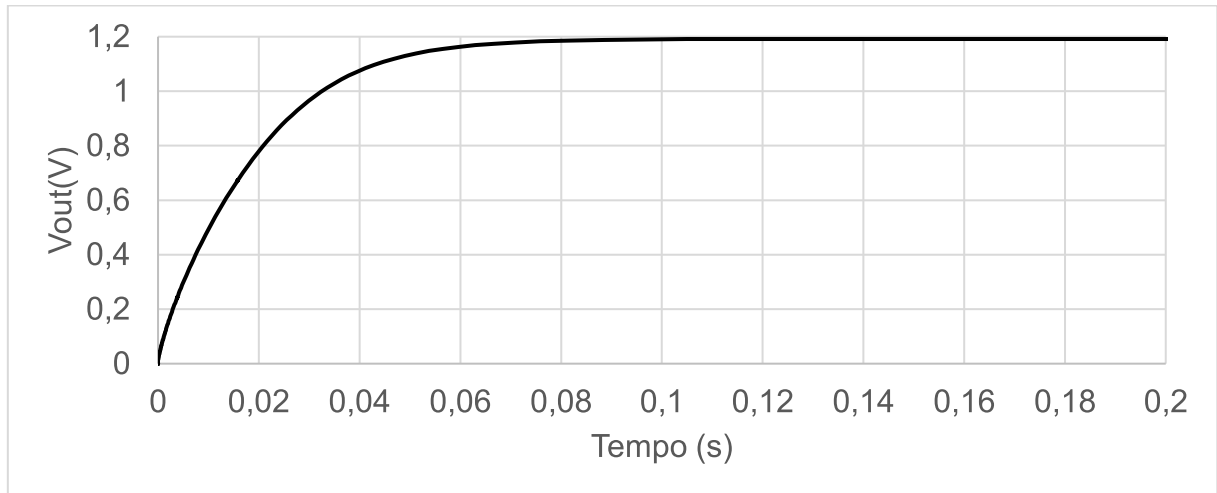


Fonte: Elaborado pelo autor.

No caso desse circuito, com dez estágios e um armazenador de 10 pF, as transmissões do dispositivo que estiver conectado a ele só poderiam ser realizadas a cada período de, ao

menos, 100 ms, considerando que a potência de entrada se mantenha constante o tempo todo e o dispositivo alimentado necessite de menos energia que o capacitor consegue armazenar.

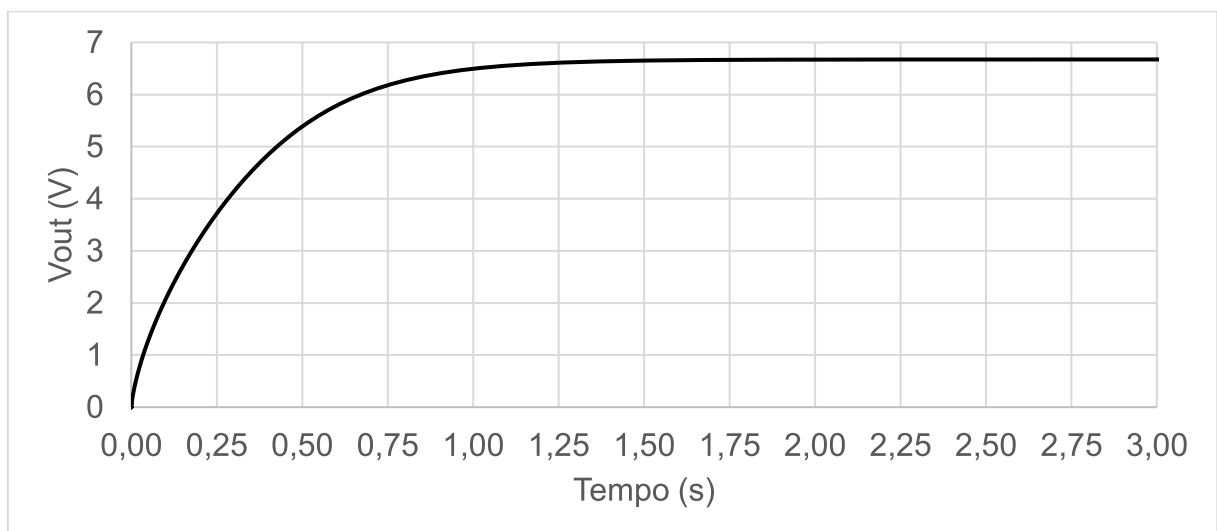
Figura 34 - Tensão de saída com 10 estágios em -20 dBm.



Fonte: Elaborado pelo autor.

Ainda nessa linha, se elevarmos a quantidade de estágios para 60, como na Figura 35, mantendo a potência de entrada em -20 dBm, a tensão de saída do circuito pode chegar a 6,67 V, o que é uma tensão suficiente para alimentar praticamente qualquer dispositivo eletrônico. Nesse caso, o tempo de carga do capacitor de 10 pF sobe significativamente para 1,25 segundos. Claramente é possível visualizar que o tempo de carregamento de um capacitor significativamente maior com um nível de tensão tão elevado, pode tornar o dispositivo inviável para a maioria das aplicações.

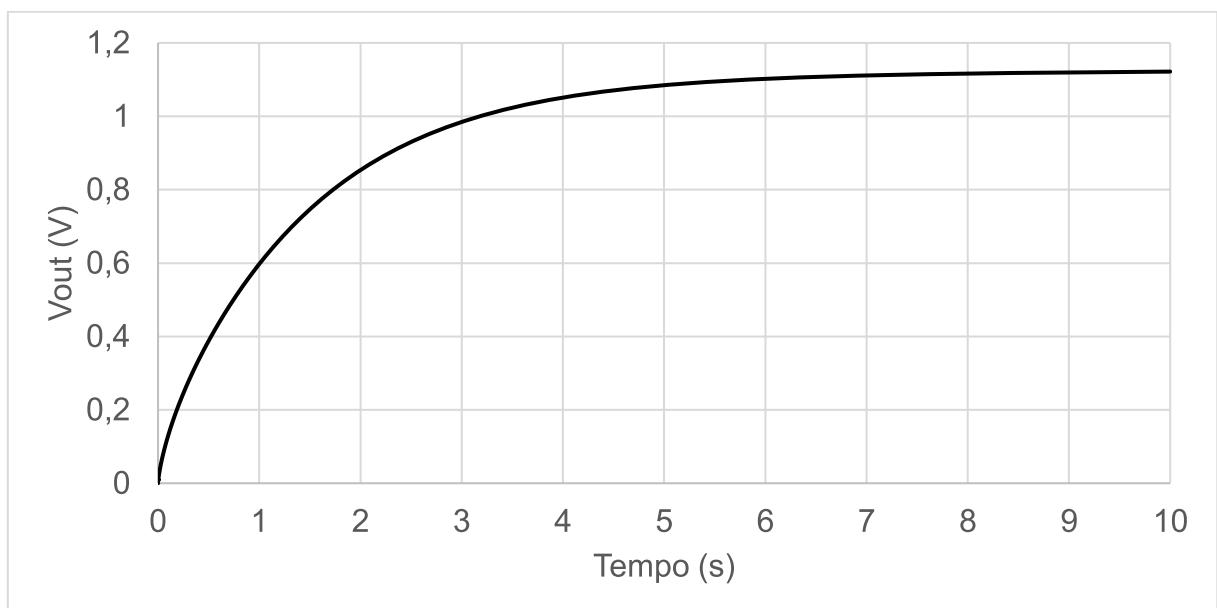
Figura 35 - Tensão de saída com 60 estágios em -20 dBm.



Fonte: Elaborado pelo autor.

Por outro lado, se mantivermos o nível de tensão de saída inicial, próximo aos 1,2 V, com 60 estágios, necessitaremos de apenas -30 dBm de potência na entrada para carregar o mesmo capacitor de 10 pF em um tempo de carga maior que 6 s, como é possível ver na Figura 36. Com isto, é possível perceber que o tempo de carga depende basicamente de dois fatores: a potência disponível na entrada e a capacidade de carga do armazenador. A quantidade de estágios influencia apenas na tensão de saída. Além disso, a quantidade de energia disponível é influenciada por vários fatores, entre eles a potência de transmissão da fonte geradora, a distância do receptor dessa fonte e o comprimento de onda.

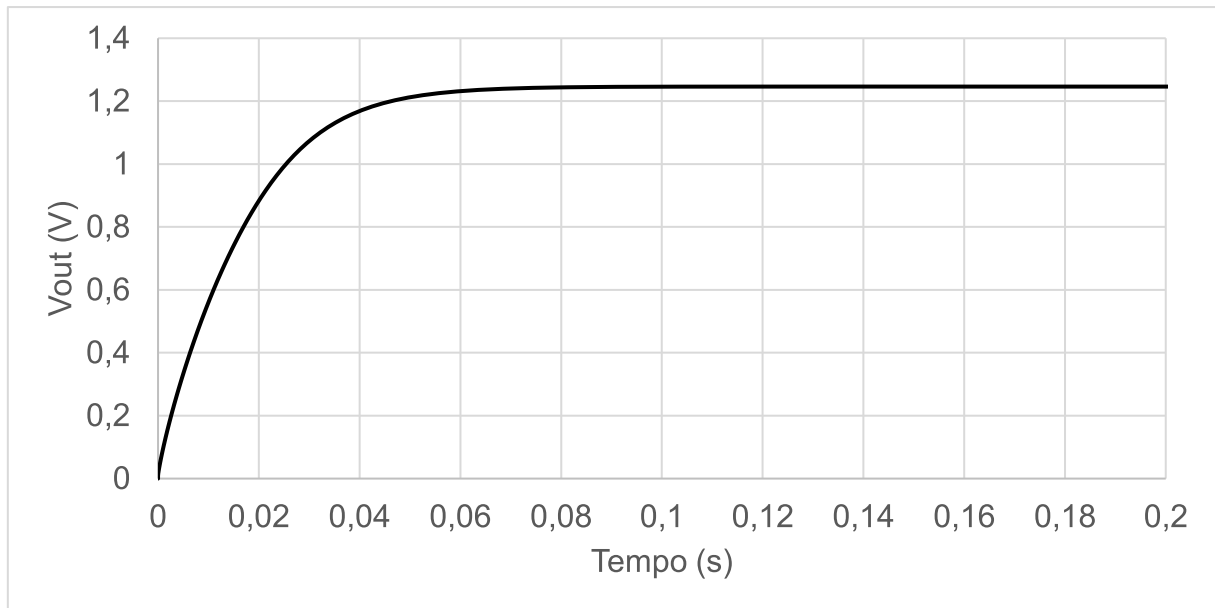
Figura 36 - Tensão de saída com 60 estágios em -30 dBm.



Fonte: Elaborado pelo autor.

A Figura 37 mostra o resultado do mesmo circuito configurado com 10 estágios, capacitor de 10 pF, -20 dBm de potência de entrada, porém com a rede de casamento de impedâncias e circuito ressonante ajustados para 1,8 GHz. Similarmente ao apresentado na Figura 34, com o circuito sintonizado em 1,8 GHz, o circuito é capaz de chegar a 1,25 V em 80 ms, isso se deve a um melhor casamento de impedâncias e, possivelmente, um circuito ressonante mais seletivo. De acordo com a Lei de Friis, apresentada na Equação 12, quanto maior a frequência da onda transmitida, maiores são as perdas na transmissão, mesmo assim, como pode-se observar nas Figuras 4 e 5, a quantidade de energia disponível para coleta é bastante similar em diversas bandas. Assim, para que chegue a mesma potência ao receptor em uma frequência maior, como nessa simulação, a potência da fonte emissora deve ser maior. Isso é importante de se considerar ao projetar o circuito transmissor para alimentar os EH.

Figura 37 - Tensão de saída em 1,8 GHz e -20 dBm.



Fonte: Elaborado pelo autor.

O tamanho dos transistores está diretamente relacionado com a quantidade de corrente que são capazes de conduzir, dessa forma, quando utilizamos transistores com dimensões mínimas, como as utilizadas até aqui, a corrente que o transistor é capaz de chavear para a saída do circuito é limitada pela largura de seu canal. Dessa forma, aumentamos o  $W$  dos transistores PMOS principais, identificados com  $P_{main}$  na Figura 16 de 350 nm para 4,9  $\mu\text{m}$ . Valores maiores de  $W$  ou  $L$  não contribuem mais para o aumento da eficiência do circuito, inclusive reduzindo-a na medida que o tamanho de  $W$  fica maior que 4,9  $\mu\text{m}$ . Com isso foi possível circular uma corrente maior pelos transistores e o rendimento geral do circuito aumentou significativamente.

Os melhores resultados encontrados neste trabalho foram obtidos utilizando transistores e capacitores com os tipos e dimensões apresentados na Tabela 1, conforme nomenclaturas apresentadas na Figura 16. A Tabela 2 apresenta a variação da resposta do mesmo circuito, quando se altera a largura do canal do transistor principal " $P_{main}$ " para a dimensão adequada. Cabe salientar que, para dimensões maiores ou menores que a indicada na Tabela 1, as respostas do circuito se tornam inferiores às apresentadas na Tabela 2.

Tabela 1 - Dimensões dos componentes usados no CI.

Componente	Tipo	Dimensões <sup>(1)</sup>	Valor
N1	nmos2vdnw	W = 350 nm	1,8 V
P <sub>main</sub>	pmosmvt2v	W = 4,9 μm	1,8 V
P <sub>aux</sub>	pmosmvt2v	W = 350 nm	1,8V
C <sub>pump</sub>	Mimcap_1p0_sin	4 μm x 4 μm (x13)	20,28 fF
C <sub>aux</sub>	Mimcap_1p0_sin	4 μm x 4 μm (x5)	20,28 fF
C <sub>Load</sub>	Mimcap_1p0_sin	4 μm x 4 μm (x1)	20,28 fF

<sup>1</sup> O "L" de todos os transistores é 350 nm.

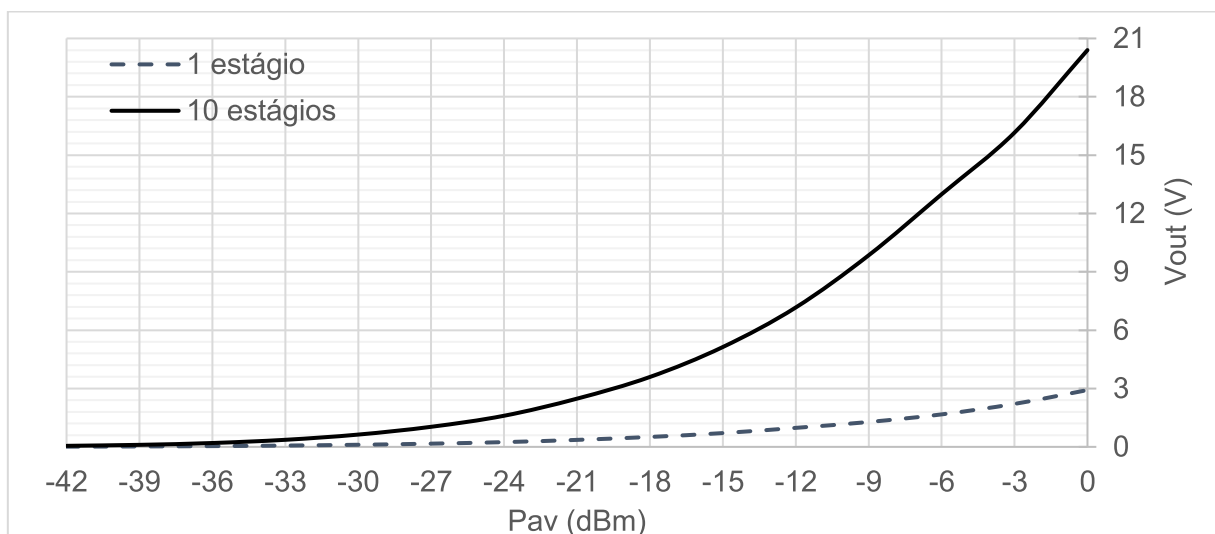
Fonte: Elaborado pelo autor.

Em comparação com as Figuras Figura 31 e Figura 32, a Figura 38 apresenta a tensão de saída para diferentes valores de potência de entrada, tanto para um estágio de retificação, quanto para 10. Percebe-se que com o transistor de condução maior, a tensão de saída desejada, de 1,2 V, é alcançada com -26 dBm em dez estágios e -10 dBm com um estágio.

Tabela 2 – Variação da resposta conforme dimensões dos transistores P<sub>main</sub>.

W do transistor P <sub>main</sub> (nm)	P <sub>av</sub> (dBm)	V <sub>out</sub> (V)	PCE (%)
350	-20	1,18	0,35
4900	-26	1,20	28,41

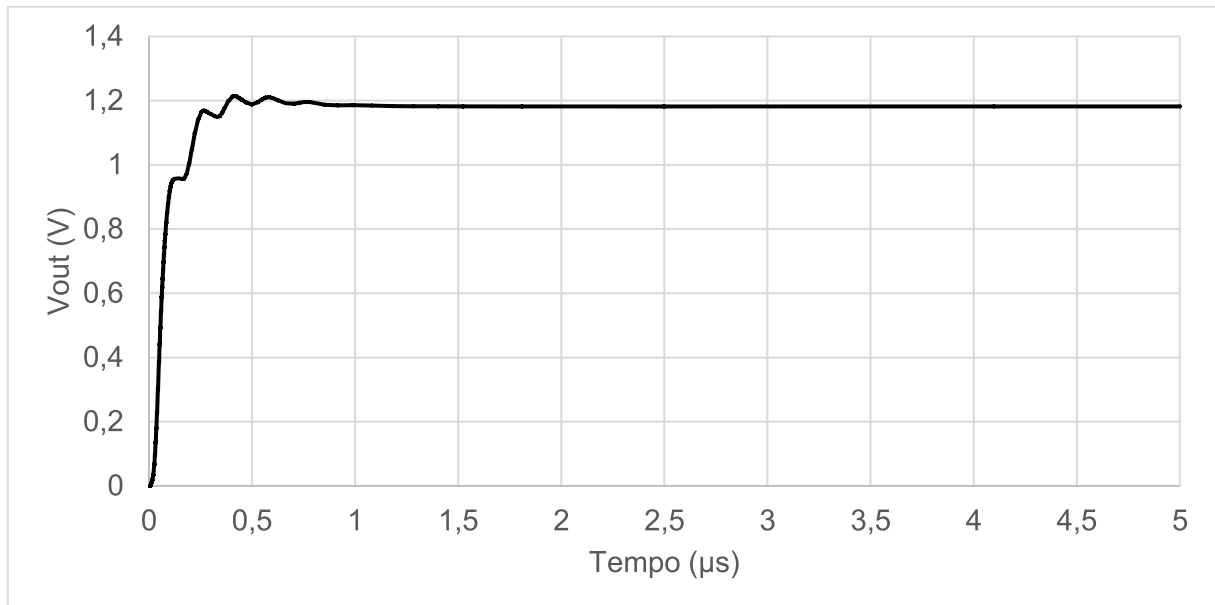
Fonte: Elaborado pelo autor.

Figura 38 – Tensão de saída para diferentes valores de P<sub>av</sub> com 1 e 10 estágios.

Fonte: Elaborado pelo autor.

Com essa modificação, outra característica que muda é a resposta do circuito no tempo. Como pode-se observar na Figura 39, em  $-10$  dBm, o circuito leva apenas 450 ns para alcançar 1,2 V com apenas um estágio de retificação.

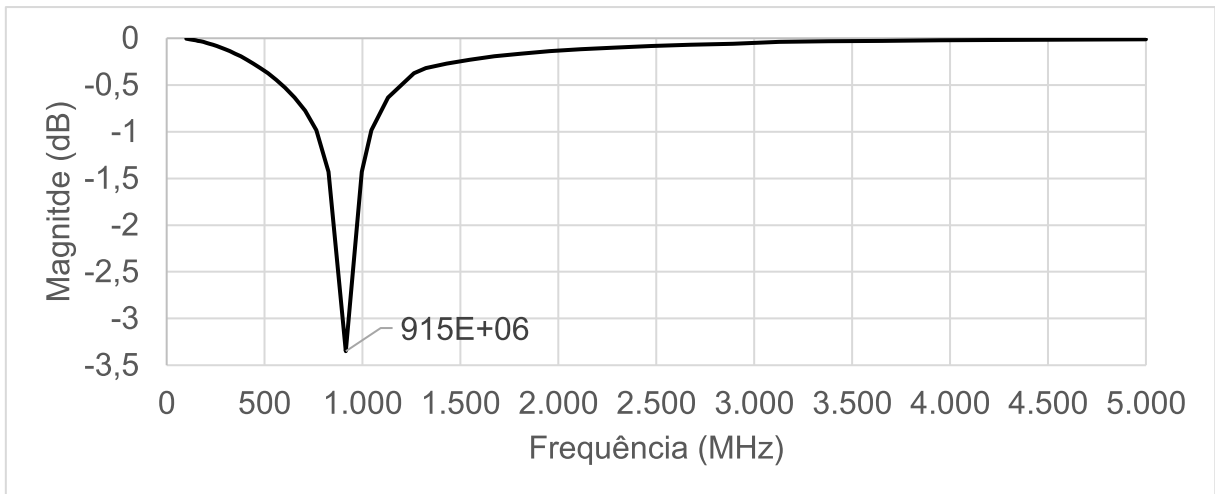
Figura 39 – Resposta no tempo com transistores maiores.



Fonte: Elaborado pelo autor.

Outro fator que pode influenciar diretamente no funcionamento do circuito é o casamento de impedâncias da antena com o circuito ressonante. Para verificar se a rede está bem casada, pode-se verificar o parâmetro S11 medido a partir da antena, ou nesse caso prático, a partir do balun. Como é possível verificar na Figura 40, a rede está bem sintonizada em 915 MHz, porém, como o parâmetro S11 ficou pouco abaixo dos  $-3$  dB, pode-se assumir que a rede de casamento pode ser ajustada para que tenha um desempenho melhor. Pode-se dizer que um circuito bem casado apresenta ao menos  $-10$  dB na frequência de interesse. Para resolver estes problemas com casamento de impedância do circuito, pois a impedância de entrada varia com a potência de entrada (MARTINS; SERDIJN, 2021), é possível utilizar circuitos de casamento de impedância sintonizáveis, pois estes circuitos são capazes de aumentar o *range* de potência de entrada que o circuito consegue converter de forma eficiente (MOHAN; MONDAL, 2021).

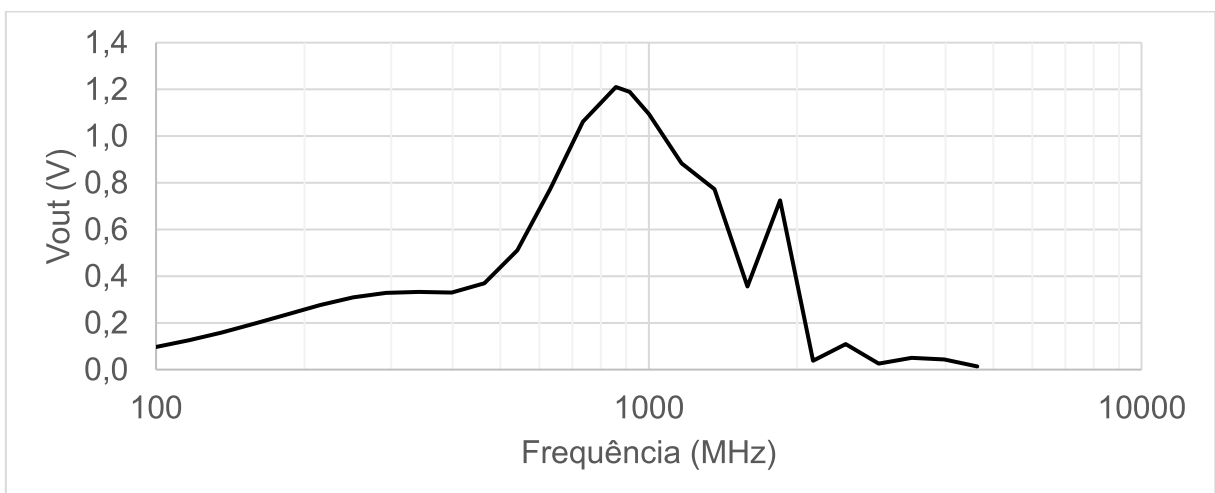
Figura 40 – Magnitude do parâmetro S11.



Fonte: Elaborado pelo autor.

Caso a frequência na entrada do circuito varie, sem que a rede seja ajustada, a tensão na saída do circuito é afetada significativamente, como pode-se verificar na Figura 41, onde se observa a máxima tensão na saída em 915 MHz, caindo rapidamente conforme a frequência do sinal de entrada é deslocada para cima ou para baixo. Como é possível notar, com um deslocamento inferior a 200 MHz para cima ou para baixo, o nível de tensão cai para níveis de tensão inferiores a 1 V. Além disso, é possível notar que nas frequências múltiplas de 915 MHz, como 1830 MHz e 2745 MHz, a antena é capaz de captar mais sinal que nas frequências intermediárias a estas. De um ponto de vista de disponibilidade de energia, isso é algo positivo, uma vez que os sinais de telefonia, internet móvel e redes de dados sem fio estão localizadas em bandas vizinhas a estas, como mostra Piñuela et al. (2013).

Figura 41 - Tensão de saída conforme frequência de entrada em -20 dBm.



Fonte: Elaborado pelo autor.

Alguns pontos são importantes de serem verificados quando se está trabalhando com dispositivos de EH. Por exemplo, para se alimentar um dispositivo escravo que utiliza um protocolo de comunicação ZigBee (SAFARIC e MALARIC, 2006), que possui uma corrente de transmissão de 30 mA e uma corrente de espera de 3  $\mu$ A, sendo o tempo de acesso a rede igual a 30 ms, tempo de transmissão igual a 30 ms e tempo de acesso ao canal de 15 ms, o dispositivo de EH necessitaria, além da energia necessária ao seu funcionamento ter as seguintes características mínimas: Um armazenador de energia capaz de manter uma corrente de 30 mA por 75 ms e um circuito retificador com a capacidade de fornecimento de corrente média superior a 3  $\mu$ A.

Com o exemplo do dispositivo Zigbee, a energia armazenada no capacitor deve ser no mínimo igual a:

$$E_{cap} > V_{circuito} \times I_{circuito} \times T_{ativo} + E_{ConsumoEH} \quad (45)$$

Sendo  $E_{cap}$  a energia armazenada no capacitor,  $V_{circuito}$  a tensão de alimentação da carga,  $I_{circuito}$  a corrente instantânea fornecida pelo capacitor,  $T_{ativo}$  o tempo em que a carga está ativa transmitindo informação e  $E_{consumoEH}$  é a energia consumida pelo *energy harvester*.

Dessa forma, considerando um dispositivo Zigbee, alimentado em 1,2 V com os parâmetros de transmissão mencionados, será necessária uma energia de 1,08 mJ, conforme a Equação 46:

$$E_{cap} > 1,20 V \times 0,03 A \times 0,03 s = 1,08 mJ$$

Assim, para definir o tamanho do capacitor, tem-se que a energia potência elétrica que o capacitor pode armazenar é dada por:

$$E_p = \frac{Q \times V}{2} = \frac{Q^2}{2 \times C} = \frac{C \times V^2}{2} \quad (46)$$

Ou seja, para um dispositivo ZigBee como o que definimos de exemplo, o capacitor mínimo seria igual a 1500  $\mu$ F, conforme equação 47, como segue:

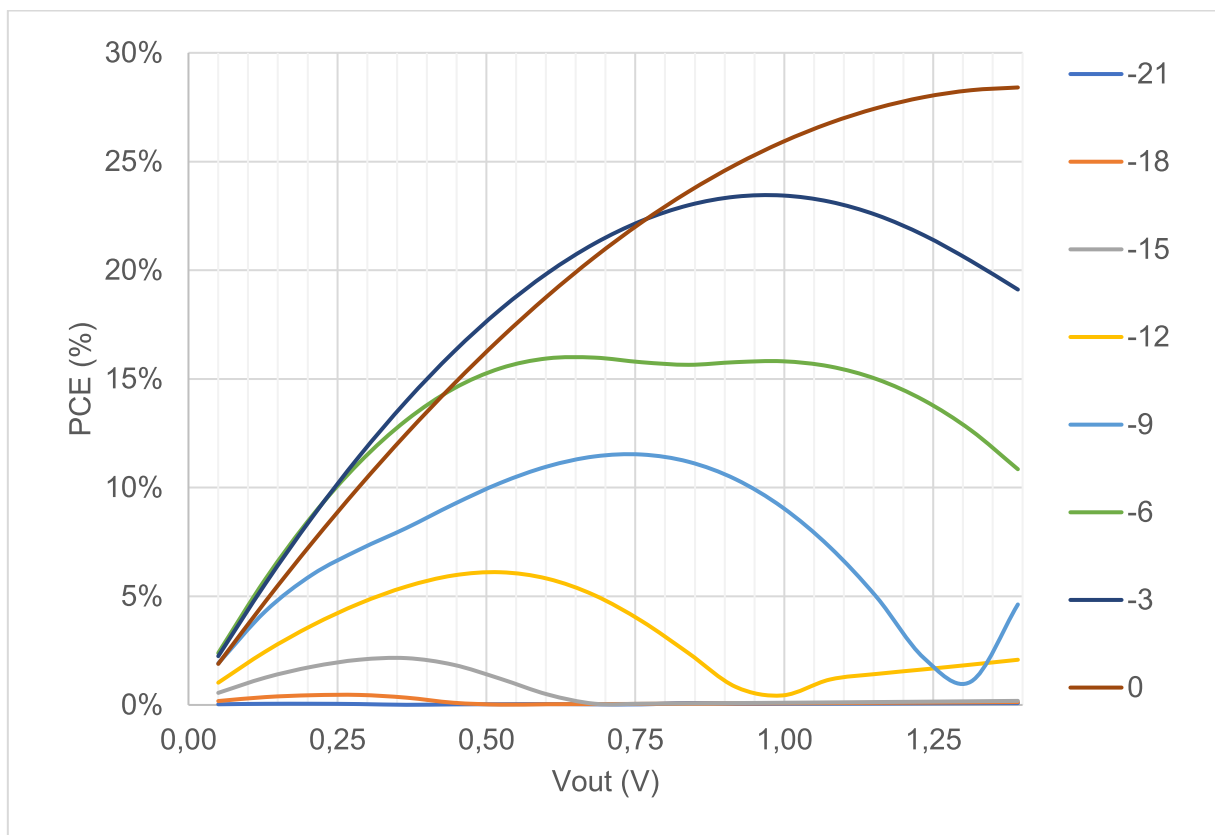
$$1,08 mJ = \frac{C \times 1,20^2 V}{2} \therefore C = \frac{2 \times 1,08 mJ}{1,20^2 V} = 1500 \mu F$$

Como pode-se perceber, o capacitor necessário para um dispositivo ZigBee é relativamente grande, com isso, o tempo para carregá-lo completamente pode ser consideravelmente grande dependendo da potência disponível ao sistema e da sua eficiência de conversão de energia (PCE). Um capacitor desta magnitude, levaria cerca de 51 minutos para que fosse carregado em 63,2%, caso a potência de entrada fosse constante e igual a -26 dBm e a eficiência de conversão de energia se mantivesse em 28,41% durante todo esse período.



A PCE, ao contrário do que se pode supor inicialmente, não depende apenas da topologia do circuito retificador, do tipo e tamanho dos transistores usados e da potência de entrada, mas também do nível de tensão na entrada e na saída do circuito (WANG *et al.*, 2017). Nesse sentido, a Figura 42 mostra a PCE do circuito quando se varia a tensão de saída e a potência na entrada do circuito apresentado na Figura 27. Para variar a tensão de saída, se utilizou uma fonte de tensão como carga. E se avaliou a potência sobre ela conforme a variação da potência de entrada do circuito e a variação de tensão sobre essa fonte usada como carga.

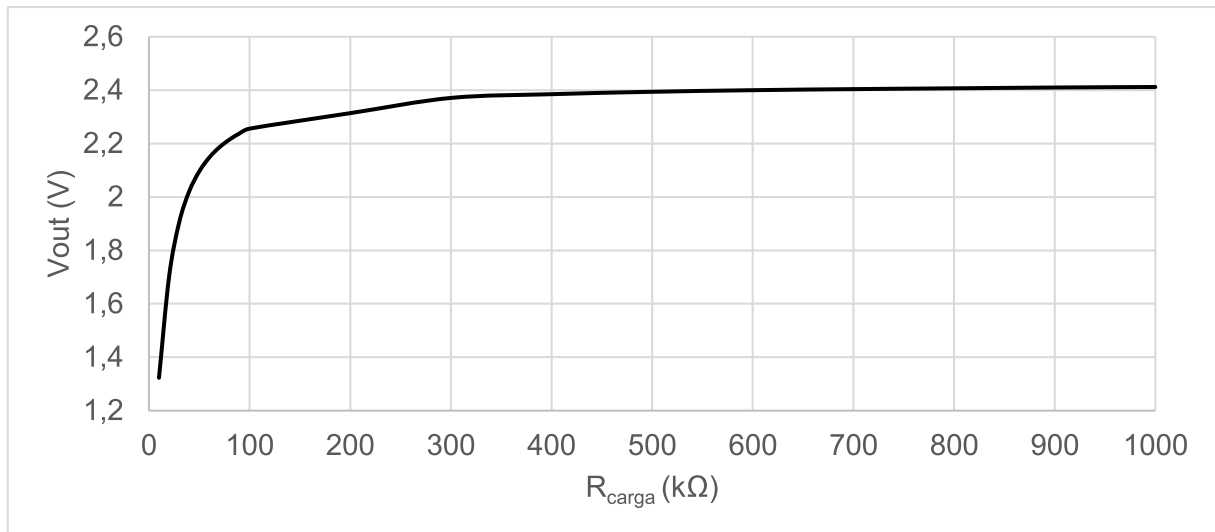
Figura 42 – Resultados de PCE para diferentes valores de  $V_{out}$  e  $P_{av}$ .



Fonte: Elaborado pelo autor.

É possível verificar que para cada valor de tensão de saída, o circuito apresenta uma potência de entrada em que a PCE é máxima, ou seja, para encontrar o ponto de trabalho mais eficiente do circuito, é necessário levar também em consideração a tensão de saída. Sem alguma forma de regulação de tensão, a saída do circuito pode sofrer interferência também da carga ôhmica que estiver acoplada a ela. A Figura 43 apresenta a resposta da saída do circuito para diferentes valores de carga resistiva com uma potência de entrada de 0 dBm.

Figura 43 – Tensão de saída para diferentes valores de carga.



Fonte: Elaborado pelo autor.

Como é possível perceber, a partir de uma carga de 500 kΩ, essa impedância deixa de ser significativa para o circuito, porém, para valores abaixo de 100 kΩ, o circuito não consegue se manter estável e o circuito apresenta uma queda de tensão sensível na saída devido à incapacidade de manter a corrente demandada pela carga.

#### 4.1 Trabalhos correlatos

Existem diversas formas de coletar energia do espectro de radiofrequência. Algumas delas buscam energia do ambiente, buscando coletar o máximo de potência disponível. Outras fazem uso de transmissores com características conhecidas e distâncias configuráveis. Em todos os casos, os circuitos para coleta de energia precisam apresentar alta eficiência de conversão de energia para que possam ser viáveis, uma vez que a energia coletada não é tão abundante.

Diversas abordagens diferentes apresentam soluções para o mesmo problema. Neste trabalho fez-se uso de algumas delas para apresentar algumas maneiras de se obter energia através do espectro RF, buscando utilizar técnicas eficazes em alguns tipos de topologias.

Mansano (2016), por exemplo, utiliza uma rede de casamento de impedância e elevação de tensão para alimentar o circuito retificador proposto, uma vez que o retificador necessita de valores mínimos de tensão para operar. Chouhan e Halonen (2015), por outro lado, apresentam uma proposta de modificação em uma topologia de retificador que elimina o efeito de  $V_{TH}$  sobre o estágio de retificação, eliminando a zona morta de condução e permitindo uma maior eficiência do circuito. Hsieh, Chou e Chiang (2015) já apresentam um sistema completo para

coleta de energia, composto por uma rede de casamento de impedância, um retificador em topologia de acoplamento cruzado de portas e um conversor CC-CC do tipo elevador de tensão, que elimina a necessidade de vários estágios de multiplicação de tensão, como nos outros dois casos. Lu *et al.* (2017) apresenta um circuito similar ao executado neste trabalho, porém sem utilizar a modificação na topologia do retificador que Chouhan e Halonen (2015) propuseram em seu trabalho. A Tabela 3 - Trabalhos correlatos. apresenta um compilado dos resultados obtidos em alguns trabalhos consultados para a elaboração deste, que podem servir de guia para trabalhos futuros na mesma área.

Tabela 3 - Trabalhos correlatos.

Referência	Freq. (MHz)	PCE (%)	P <sub>entrada</sub> (dBm)	V <sub>saída</sub> (V)	Tecnologia
(ABBASIAN; JOHNSON, 2016)	600 - 1.150	80,1	39	Omitido	SMD
(BOLOS; BELO; GEORGIADIS, 2016)	470 - 860	60	10	Omitido	SMD
(CHOUHAN; HALONEN, 2013)	915	Omitido	-1	5,5	CMOS 180 nm
(COLLADO; GEORGIADIS, 2013)	850 1.850	15	-20	Omitido	SMD
(DAI <i>et al.</i> , 2015)	900	65	-6	2,1	CMOS 65 nm
(HSIEH; CHOU; CHIANG, 2015)	900	44,1	-12	2	CMOS 180 nm
(KEYROUZ; VISSER; TIJHUIS, 2013)	900 1.800 2.450	45 46 25	-5	Omitido	Omitido
(LU <i>et al.</i> , 2017)	900	36,5	-17,7	1	CMOS 65 nm
(MANSANO, 2016)	13,56	19	-13	1,25	CMOS 180 nm
(KIM <i>et al.</i> , 2014b)	915 2.450	65 55	0	Omitido	SMD
(OKA <i>et al.</i> , 2014)	500 - 1.000 1.500 - 2.000 2.300 - 3.600	55	27	Omitido	SMD
(SONG <i>et al.</i> , 2017)	900 - 1.001 1.800 - 2.500	75	20	Omitido	SMD
(SUN, 2016)	2.450	73,9	10,4	Omitido	SMD
(SUN; GEYI, 2016)	2.450	78	295,3 $\mu\text{W}/\text{cm}^2$	Omitido	SMD
(SUN <i>et al.</i> , 2012)	2.450	83	0	1	SMD
(UDUPA; SUSHMA; CHAITHRA, 2018)	13,56	33,72	-13	1,3	CMOS 180 nm
(WANG <i>et al.</i> , 2008)	10.000	37	-10	1,92	CMOS 130 nm
(WANG <i>et al.</i> , 2017)	900	47	0	2,45	CMOS 40 nm
(XIANG <i>et al.</i> , 2019)	2.500	82,85	-15	1,62	CMOS 180 nm
(YOU <i>et al.</i> , 2011)	900	17,8	-6	2,05	CMOS 130 nm
ESTE TRABALHO	915	28,41	0	1,2	CMOS 180 nm

Fonte: Elaborado pelo autor.

A combinação dos pontos mais vantajosos de cada topologia, bem como os pontos de inovação propostos por cada trabalho podem gerar resultados bastante satisfatórios e, possivelmente, melhores que os já obtidos até hoje. Alguns desses pontos são comentados durante o texto deste trabalho e podem servir de referência para trabalhos futuros.

## 5 CONCLUSÃO

Neste trabalho, foram apresentadas maneiras de se coletar energia de ondas de RF. Circuitos, sistemas e topologias diversos foram discutidos e apresentados. Como exemplo de aplicação, desenvolveu-se um conversor capaz de coletar energia de RF e converter em energia elétrica para alimentar dispositivos IoT. O circuito proposto por Chouhan e Halonen (2013), e utilizado neste trabalho, apresentou uma supressão de  $V_{TH}$ , que resultou em conversão relativamente eficiente do sinal RF para um nível de tensão em corrente contínua. Além disso, a rede de casamento de impedância com circuito ressonante responsável por elevar a tensão de entrada do retificador, utilizada por Mansano (2016) foi de extrema utilidade para reduzir a quantidade de estágios de multiplicação de tensão utilizados.

O circuito integrado foi desenvolvido em tecnologia CMOS TSMC 180 nm. O circuito enviado para fabricação, ocupa uma área de  $450 \mu\text{m} \times 150 \mu\text{m}$  no circuito integrado. Além disso, a rede de casamento, o circuito ressonante e a antena são externos ao CI, podendo ser integrados em uma placa de circuito impresso quando o CI for entregue pela fábrica. Os objetivos iniciais para o circuito foram parcialmente atendidos, uma vez que a tensão de saída desejada, de 1,2 V, foi atingida, com potência de entrada do circuito 75% inferior ao estimado no início da pesquisa, chegando à sensibilidade de -26 dBm para a saída de tensão desejada. A eficiência de conversão de potência, inicialmente estimada entre 20% e 40% no ponto ótimo, que se esperava estar próximo à -20 dBm, ficou em cerca de 28,41% apenas em 0 dBm, apresentando eficiência acima de 10% apenas até -9 dBm.

O circuito desenvolvido é capaz alimentar dispositivos IoT através do carregamento de um dispositivo armazenador de energia, como um capacitor, que pode ser descarregado de tempo em tempo para realizar as tarefas do dispositivo IoT. Devido à baixa eficiência de conversão obtida, os tempos de carregamento deste dispositivo de armazenamento de energia podem variar de alguns minutos a algumas horas, dependendo da potência disponível na entrada do circuito.

A principal contribuição deste trabalho, porém, não é a inovação tecnológica proposta pelo sistema desenvolvido para coletar energia, mas pela narrativa técnica que orienta o desenvolvimento de sistemas de coleta de energia de RF, apresentando as principais topologias de retificadores e tipos diferentes de sistemas de coleta de energia.

## 5.1 Sugestões para trabalhos futuros

Como sugestão para trabalhos futuros, indica-se integrar um sistema de EH completo, que faça uso de um circuito ressonante para pré-elevação de tensão, alguns poucos estágios de retificação, talvez apenas um, dependendo da eficiência dele e um conversor CC-CC conectado a um regulador de tensão linear.

Sugere-se também, o desenvolvimento de um sistema de gerenciamento de energia para um circuito como este mencionado, que seja capaz de ajustar parâmetros de eficiência de energia de forma autônoma, seja capacitores ajustáveis para acertar sintonia, por ajuste de tensões de entrada ou saída do circuito retificador, ou mesmo através de um controle eficiente do conversor CC-CC.

Como neste trabalho não teremos a oportunidade de medir o circuito integrado que foi enviado para fabricação, uma sugestão de trabalho futuro, possivelmente para a mesma equipe de pesquisa, seja realizar as medições no CI, conforme discutido neste trabalho e apresentar os resultados, sugestões, problemas encontrados e próximos desafios.

## REFERÊNCIAS

- ABABNEH, Majdi M.; PEREZ, Samuel; THOMAS, Sylvia. Optimized power management circuit for RF energy harvesting system. *In: 2017, 2017 IEEE 18th Wireless and Microwave Technology Conference (WAMICON)*. [S. l.: s. n.] p. 1–4. Disponível em: <https://doi.org/10.1109/WAMICON.2017.7930238>
- ABBASIAN, Sadegh; JOHNSON, Thomas. High efficiency GaN HEMT synchronous rectifier with an octave bandwidth for wireless power applications. **IEEE MTT-S International Microwave Symposium Digest**, [S. l.], v. 2016- August, p. 4–7, 2016. Disponível em: <https://doi.org/10.1109/MWSYM.2016.7540080>
- ARRAWATIA, Mahima; BAGHINI, Maryam Shojaei; KUMAR, Girish. RF energy harvesting system from cell towers in 900MHz band. **2011 National Conference on Communications, NCC 2011**, [S. l.], p. 11–15, 2011. Disponível em: <https://doi.org/10.1109/NCC.2011.5734733>
- ASTHON, Kevin. That ' Internet of Things ' Thing. **RFID Journal**, [S. l.], p. 4986, 2010.
- BARROCA, Norberto *et al.* Antennas and circuits for ambient RF energy harvesting in wireless body area networks. **IEEE International Symposium on Personal, Indoor and Mobile Radio Communications, PIMRC**, [S. l.], p. 532–537, 2013. Disponível em: <https://doi.org/10.1109/PIMRC.2013.6666194>
- BAUER, Wolfgang; WESTFALL, Gary D.; DIAS, Helio. **Física para universitários: Eletricidade e Magnetismo**. Porto Alegre: AMGH, 2012. *E-book*.
- BEDI, Guneet *et al.* Review of Internet of Things (IoT) in Electric Power and Energy Systems. **IEEE Internet of Things Journal**, [S. l.], v. 5, n. 2, p. chapter 19 p247, 2018.
- BOLOS, Ferran; BELO, Daniel; GEORGIADIS, Apostolos. A UHF Rectifier with One Octave Bandwidth Based On a Non-Uniform Transmission Line. [S. l.], p. 23–25, 2016.
- BOZORGZADEH, Bardia; ZHIAN-TABASY, Ehsan; AFZALI-KUSHA, Ali. Low-power high-performance logic style for low-voltage CMOS technologies. *In: 2008, Proceedings of the International Conference on Microelectronics, ICM*. [S. l.: s. n.] p. 280–283. Disponível em: <https://doi.org/10.1109/ICM.2008.5393525>
- BRÖRING, Arne *et al.* Enabling IoT Ecosystems through Platform Interoperability. **IEEE Software**, [S. l.], v. 34, n. 1, p. 54–61, 2017. Disponível em: <https://doi.org/10.1109/MS.2017.2>
- CANSIZ, Mustafa; ALTINEL, Dogay; KURT, Gunes Karabulut. Efficiency in RF energy harvesting systems: A comprehensive review. **Energy**, [S. l.], v. 174, n. March, p. 292–309, 2019. Disponível em: <https://doi.org/10.1016/j.energy.2019.02.100>
- CHOUHAN, S. S.; HALONEN, K. A modified cross coupled rectifier based charge pump for

energy harvesting using RF to DC conversion. **Circuit Theory and Design (ECCTD), 2013 European Conference on**, [S. l.], n. 1, p. 1–4, 2013. Disponível em: <https://doi.org/10.1109/ECCTD.2013.6662231>

CHOUHAN, Shailesh Singh; HALONEN, Kari. Internal Vth cancellation scheme for RF to DC rectifiers used in RF energy harvesting. **2014 21st IEEE International Conference on Electronics, Circuits and Systems, ICECS 2014**, [S. l.], v. 1, n. 3, p. 235–238, 2015. Disponível em: <https://doi.org/10.1109/ICECS.2014.7049965>

CHOUHAN, Shailesh Singh; HALONEN, Kari. Voltage multiplier arrangement for heavy load conditions in RF energy harvesting. **NORCAS 2016 - 2nd IEEE NORCAS Conference**, [S. l.], 2016. Disponível em: <https://doi.org/10.1109/NORCHIP.2016.7792925>

COLLADO, Ana; GEORGIADIS, Apostolos. Conformal hybrid solar and electromagnetic (EM) energy harvesting rectenna. **IEEE Transactions on Circuits and Systems I: Regular Papers**, [S. l.], v. 60, n. 8, p. 2225–2234, 2013. Disponível em: <https://doi.org/10.1109/TCSI.2013.2239154>

DAI, Haojuan *et al.* A review and design of the on-chip rectifiers for RF energy harvesting. *In*: 2015, **2015 IEEE International Wireless Symposium, IWS 2015**. [S. l.: s. n.] p. 3–6. Disponível em: <https://doi.org/10.1109/IEEE-IWS.2015.7164642>

EL MAHBOUBI, F. *et al.* Energy-harvesting powered variable storage topology for battery-free wireless sensors. **2018 7th International Conference on Modern Circuits and Systems Technologies, MOCAS 2018**, [S. l.], p. 1–4, 2018. Disponível em: <https://doi.org/10.1109/MOCAS.2018.8376624>

FREIRE, Paulo. Pedagogia da autonomia: saberes necessários à prática educativa. 25 ed. São Paulo. Paz e Terra, 1996 (Coleção leitura), 166p. **Revista entreideias: educação, cultura e sociedade**, [S. l.], v. 13, n. 13, p. 1–92, 2009. Disponível em: <https://doi.org/10.9771/2317-1219rf.v13i13.3221>

HALLIDAY, David; RESNICK, Robert; WALKER, Jearl. **Fundamentos de Física volume 4**. 9. ed. Rio de Janeiro: LTC, 2012. *E-book*.

HSIEH, Ping-hsuan; CHOU, Chih-hsien; CHIANG, Tao. An RF Energy Harvester With 44 . 1 % PCE at Input Available Power of 12 dBm. **TRANSACTIONS ON CIRCUITS AND SYSTEMS**, [S. l.], v. 62, n. 6, p. 1528–1537, 2015.

JUNG, Minchae; JANG, Youngrok; CHOI, Sooyong. Optimal power control for wireless power transfer system: A deterministic approach. **International Conference on Ubiquitous and Future Networks, ICUFN**, [S. l.], p. 193–196, 2017. Disponível em: <https://doi.org/10.1109/ICUFN.2017.7993773>



KANSAL, Aman *et al.* Power Management in Energy Harvesting Sensor Networks. **ACM Transactions on Embedded Computing Systems**, [S. l.], v. 6, n. 4, p. 32, 2007. Disponível em: <https://doi.org/10.1145/1274858.1274870>

KAROLAK, Dean *et al.* Design comparison of low-power rectifiers dedicated to RF energy harvesting. In: 2012, **2012 19th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2012**. [S. l.: s. n.] p. 524–527. Disponível em: <https://doi.org/10.1109/ICECS.2012.6463693>

KEYROUZ, S.; VISSER, H. J.; TIJHUIS, A. G. Multi-band simultaneous radio frequency energy harvesting. **2013 7th European Conference on Antennas and Propagation, EuCAP 2013**, [S. l.], n. Eucap, p. 3058–3061, 2013.

KIM, Sangkil *et al.* Ambient RF energy-harvesting technologies for self-sustainable standalone wireless sensor platforms. **Proceedings of the IEEE**, [S. l.], v. 102, n. 11, p. 1649–1666, 2014 a. Disponível em: <https://doi.org/10.1109/JPROC.2014.2357031>

KIM, Sangkil *et al.* Ambient RF energy-harvesting technologies for self-sustainable standalone wireless sensor platforms. **Proceedings of the IEEE**, [S. l.], v. 102, n. 11, p. 1649–1666, 2014 b. Disponível em: <https://doi.org/10.1109/JPROC.2014.2357031>

LEE, Jay; KAO, Hung An; YANG, Shanhu. Service innovation and smart analytics for Industry 4.0 and big data environment. **Procedia CIRP**, [S. l.], v. 16, p. 3–8, 2014. Disponível em: <https://doi.org/10.1016/j.procir.2014.02.001>

LU, Yan *et al.* A Wide Input Range Dual-Path CMOS Rectifier for RF Energy Harvesting. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS**, [S. l.], v. 64, n. 2, p. 166–170, 2017.

MANSANO, Andre; BAGGA, Sumit; SERDIJN, Wouter. A high efficiency orthogonally switching passive charge pump rectifier for energy harvesters. **IEEE Transactions on Circuits and Systems I: Regular Papers**, [S. l.], v. 60, n. 7, p. 1959–1966, 2013. Disponível em: <https://doi.org/10.1109/TCSI.2012.2230499>

MANSANO, Andre Rodrigues. **Radio frequency energy harvesting and low power data transmission for autonomous autonomous wireless sensor nodes**. 2016. - Technische Universiteit Delft, [s. l.], 2016. Disponível em: <https://doi.org/10.4233/uuid:625d1a77-b39e-417a-9658-122676c47fb5>

MARCONI, Maria; LAKATOS, Eva. **Fundamentos de metodologia científica**. [S. l.: s. n.]. *E-book*. Disponível em: <https://doi.org/10.1590/S1517-97022003000100005>

MARTINS, Gustavo C.; SERDIJN, Wouter A. An RF Energy Harvesting and Power Management Unit Operating Over – 24 to + 15 dBm Input Range. [S. l.], v. 68, n. 3, p. 1342–

1353, 2021.

MNIF, Mohamed Mokhles; MNIF, Hassene; LOULOU, Mourad. New design of RF-DC rectifier circuit for radio frequency energy harvesting. *In: 2017, 2016 IEEE International Conference on Electronics, Circuits and Systems, ICECS 2016.* [S. l.: s. n.] p. 664–667.

Disponível em: <https://doi.org/10.1109/ICECS.2016.7841289>

MOHAN, Arun; MONDAL, Saroj. An Impedance Matching Strategy for Micro-Scale RF Energy Harvesting Systems. [S. l.], v. 68, n. 4, p. 1458–1462, 2021.

OKA, Toshiaki *et al.* Triple-band single-diode microwave rectifier using CRLH transmission line. **2014 Asia-Pacific Microwave Conference Proceedings, APMC 2014**, [S. l.], n. c, p. 1013–1015, 2014.

PENELLA-LÓPEZ, María Teresa; GASULLA-FORNER, Manuel. **Powering Autonomous Sensors: An Integral Approach with Focus on Solar and RF Energy Harvesting**. 1. ed. Dordrecht: Springer Netherlands, 2011. *E-book*. Disponível em: <https://doi.org/10.1007/978-94-007-1573-8>

PIÑUELA, Manuel; MITCHESON, Paul D.; LUCYSZYN, Stepan. Ambient RF energy harvesting in urban and semi-urban environments. **IEEE Transactions on Microwave Theory and Techniques**, [S. l.], v. 61, n. 7, p. 2715–2726, 2013. Disponível em: <https://doi.org/10.1109/TMTT.2013.2262687>

POP-VADEAN, A. *et al.* Harvesting energy an sustainable power source, replace batteries for powering WSN and devices on the IoT. *In: 2017, IOP Conference Series: Materials Science and Engineering.* [S. l.: s. n.] Disponível em: <https://doi.org/10.1088/1757-899X/200/1/012043>

POPOVIC, Zoya *et al.* Scalable RF energy harvesting. **IEEE Transactions on Microwave Theory and Techniques**, [S. l.], v. 62, n. 4, p. 1046–1056, 2014. Disponível em: <https://doi.org/10.1109/TMTT.2014.2300840>

PRIYA, Shashank; INMAN, Daniel J. **Energy harvesting technologies**. 1. ed. New York: Springer, 2009. *E-book*. Disponível em: <https://doi.org/10.1007/978-0-387-76464-1>

RAPPAPORT, T. S. **Wireless Communications: Principles and Practice**. 2. ed. Upper Saddle River: Prentice Hall, 2002. *E-book*. Disponível em: <https://doi.org/10.1002/9781119992806.fmatter>

RAZAVI, Behzad. Design of Analog CMOS Integrated Circuits. **McGraw Hill**, [S. l.], v. 6, n. 7, 2016. Disponível em: <https://doi.org/10.1111/j.1151-2916.1994.tb07040.x>

SAFARIC, Stanislav; MALARIC, Kresimir. ZigBee wireless standard. **48th International Symposium ELMAR-2006, 07-09 June 2006, Zadar, Croatia**, [S. l.], n. June, p. 7–9, 2006.

SAP NOTÍCIAS BRASIL. **Tecnologia de Internet das Coisas chega ao agronegócio - Sala de Imprensa SAP Brasil.** [s. l.], 2016. Disponível em: <https://news.sap.com/brazil/2016/03/tecnologia-de-internet-das-coisas-chega-ao-agronegocio/>. Acesso em: 5 jul. 2021.

SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007. *E-book*.

SHAMIM, Saqib *et al.* How firms in emerging economies can learn industry 4.0 by extracting knowledge from their foreign partners? A view point from strategic management perspective. **International Conference on Advanced Mechatronic Systems, ICAMechS**, [S. l.], v. 2019-Augus, p. 390–395, 2019. Disponível em: <https://doi.org/10.1109/ICAMechS.2019.8861622>

SONG, Chaoyun *et al.* Matching network elimination in broadband rectennas for high-efficiency wireless power transfer and energy harvesting. **IEEE Transactions on Industrial Electronics**, [S. l.], v. 64, n. 5, p. 3950–3961, 2017. Disponível em: <https://doi.org/10.1109/TIE.2016.2645505>

SUN, Hucheng *et al.* Design of a high-efficiency 2.45-GHz rectenna for low-input-power energy harvesting. **IEEE Antennas and Wireless Propagation Letters**, [S. l.], v. 11, p. 929–932, 2012. Disponível em: <https://doi.org/10.1109/LAWP.2012.2212232>

SUN, Hucheng. An Enhanced Rectenna Using Differentially-Fed Rectifier for Wireless Power Transmission. **IEEE Antennas and Wireless Propagation Letters**, [S. l.], v. 15, p. 32–35, 2016. Disponível em: <https://doi.org/10.1109/LAWP.2015.2427197>

SUN, Hucheng; GEYI, Wen. A New Rectenna with All-Polarization-Receiving Capability for Wireless Power Transmission. **IEEE Antennas and Wireless Propagation Letters**, [S. l.], v. 15, p. 814–817, 2016. Disponível em: <https://doi.org/10.1109/LAWP.2015.2476345>

TESLA, Nikola. N. Tesla. System of Transmission of Electrical Energy. [S. l.], p. 1–6, 1900. Disponível em: <https://patentimages.storage.googleapis.com/62/90/92/45a5932052a940/US645576.pdf>

TSMC. **Taiwan Semiconductor Manufacturing Company Limited 2014**. [s. l.], 2021. Disponível em: <http://www.tsmc.com/english/default.htm>. Acesso em: 5 jul. 2021.

UDUPA, Sharanya S.; SUSHMA, P. S.; CHAITHRA. An orthogonally switching charge pump rectifier for RF energy harvester. *In*: 2018, **RTEICT 2017 - 2nd IEEE International Conference on Recent Trends in Electronics, Information and Communication Technology, Proceedings**. [S. l.: s. n.] p. 447–450. Disponível em: <https://doi.org/10.1109/RTEICT.2017.8256636>

VOINIGESCU, Sorin. **High-frequency Integrated Circuits**. 1. ed. New York: cambridge

university press, 2013. *E-book*.

WANG, Jialue *et al.* A 900 MHz RF energy harvesting system in 40 nm CMOS technology with efficiency peaking at 47% and higher than 30% over a 22dB wide input power range. **ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference**, [S. l.], p. 299–302, 2017. Disponível em: <https://doi.org/10.1109/ESSCIRC.2017.8094585>

WANG, Xi Ning *et al.* RF modeling of integrated RF CMOS Schottky diodes for rectifier designs. In: 2008, **International Conference on Solid-State and Integrated Circuits Technology Proceedings, ICSICT**. [S. l.: s. n.] p. 305–308. Disponível em: <https://doi.org/10.1109/ICSICT.2008.4734524>

XIANG, Zihao *et al.* Design and analysis of a PMOS RF-DC conversion circuit at UHF for ambient energy harvesting. **2019 IEEE/CIC International Conference on Communications Workshops in China, ICC China Workshops 2019**, [S. l.], p. 59–64, 2019. Disponível em: <https://doi.org/10.1109/ICCChinaW.2019.8849957>

YOU, Kwangrok *et al.* 900 MHz CMOS RF-to-DC Converter Using a Cross-Coupled Charge Pump for Energy Harvesting. **2011 IEEE International Symposium on Radio-Frequency Integration Technology**, [S. l.], p. 149–152, 2011. Disponível em: <https://doi.org/10.1109/RFIT.2011.6141795>

ZULKIFLI, Farah Fatin *et al.* Optimization of RF-DC converter in micro energy harvester using voltage boosting network and bulk modulation technique for biomedical devices. **RSM 2015 - 2015 IEEE Regional Symposium on Micro and Nano Electronics, Proceedings**, [S. l.], p. 48–51, 2015. Disponível em: <https://doi.org/10.1109/RSM.2015.7354975>