

**UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
NÍVEL MESTRADO**

MARNIO LUCIO SOARES CERQUEIRA

**MAPEAMENTO ESTRATÉGICO DOS MATERIAIS UTILIZADOS NO
ENCAPSULAMENTO DE SEMICONDUTORES**

SÃO LEOPOLDO

2015

MARNIO LUCIO SOARES CERQUEIRA

**MAPEAMENTO ESTRATÉGICO DOS MATERIAIS UTILIZADOS NO
ENCAPSULAMENTO DE SEMICONDUTORES**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica, pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos - UNISINOS

Orientadora: Prof.^a Dr.^a. Tatiana Louise Ávila de Campos Rocha

São Leopoldo

2015

C417m Cerqueira, Marnio Lucio Soares
Mapeamento estratégico dos materiais utilizados no
encapsulamento de semicondutores / Marnio Lucio Soares
Cerqueira. – 2015.
100 f. :il. color. ; 30cm.

Dissertação (mestre em Engenharia Elétrica) -- Universidade
do Vale do Rio dos Sinos. Programa de Pós-Graduação em
Engenharia Elétrica, São Leopoldo, RS, 2015.
Orientadora: Profa. Dra. Tatiana Louise Ávila de Campos
Rocha.

1. Engenharia Elétrica. 2. Encapsulamento. 3.
Semicondutores. 4. Mapeamento estratégico. I. Título. II.
Rocha, Tatiana Louise Ávila de Campos.

CDU 621.3

Catálogo na Publicação:
Bibliotecário Eliete Mari Doncato Brasil - CRB 10/1184

MARNIO LUCIO SOARES CERQUEIRA

**MAPEAMENTO ESTRATÉGICO DOS MATERIAIS UTILIZADOS NO
ENCAPSULAMENTO DE SEMICONDUTORES**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica, pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos - UNISINOS

Aprovado em 25 de novembro de 2015.

BANCA EXAMINADORA

Prof. Dr. Carlos Alberto Mendes Moraes – Universidade do Vale do Rio dos Sinos

Prof.^a Dra. Feliciane Andrade Brehm – Universidade do Vale do Rio dos Sinos

Prof. Dr. Willyan Hasenkamp Carreira – Universidade do Vale do Rio dos Sinos

Orientadora: Prof.^a Dra. Tatiana Louise Ávila de Campos Rocha

Coordenador PPG em Engenharia Elétrica: Prof. Dr. Eduardo Luis Rhod

Dedico este trabalho à minha mãe, Eleide Soares Cerqueira, que sempre me fez acreditar na realização dos meus sonhos e trabalhou muito para que eu pudesse realiza-los.

AGRADECIMENTOS

Agradeço aos meus familiares pelo carinho e apoio recebido durante a realização deste trabalho.

Agradeço imensamente à Professora Tatiana Louise de Campos Ávila Rocha pela orientação e confiança neste trabalho. Obrigado também pelo apoio, incentivo, paciência e amizade.

Aos membros da banca examinadora, Professores Carlos Moraes, Feliciane Andrade Brehm e Willyan Hasenkamp pelas valiosas contribuições à conclusão deste trabalho e desta etapa de aprendizado.

Aos professores do Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos, em especial aos Professores Celso Peter e Eduardo Rhod.

À HT Micron Semicondutores e a Universidade do Vale do Rio dos Sinos por me proporcionarem, via PADIS – Programa de Apoio ao Desenvolvimento da Indústria de Semicondutores, a bolsa de estudos que viabilizou meu ingresso no Programa de Pós-Graduação em Engenharia Elétrica.

Aos profissionais da HT Micron Semicondutores que contribuíram para o desenvolvimento desta pesquisa, pelo apoio e oportunidade de conciliar os estudos com a atuação profissional. Especialmente aos colegas Tiago de Freitas Machado, Rosana Casais, Leticia Camargo Padilha e Paulo Ricardo Dupont da Silva.

*Hoje me sinto mais forte
Mais feliz, quem sabe
Só levo a certeza
De que muito pouco eu sei
Ou nada sei. (SATER, 2015).*

“Só sei que nada sei [...]”. (SÓCRATES, 2015).

RESUMO

Em 2013, o Brasil foi o segundo maior consumidor de equipamentos eletrônicos do planeta. Neste período, os gastos do Brasil com eletrônicos superaram potências econômicas como o Japão, a Alemanha, a Rússia e os Estados Unidos. É importante observar que os três itens mais importados do setor, em 2013, foram: componentes para telecomunicações, semicondutores e componentes para informática. No que se refere aos semicondutores, o Brasil importou 4,5 bilhões de dólares no ano de 2012 e, em 2013, esta importação foi de quase 5 bilhões de dólares, gerando um aumento de 10% no déficit da balança comercial. Com a finalidade de tentar minimizar o déficit na balança comercial e incentivar o desenvolvimento da cadeia produtiva de semicondutores, o governo brasileiro adotou uma política de Estado para incentivar o desenvolvimento deste segmento industrial criando o Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores, o PADIS. Este programa foi criado em 2007 com a abordagem de proporcionar benefícios fiscais, apontando alternativas de investimentos. Hoje, no Brasil, o encapsulamento de semicondutores é realizado por duas empresas, porém 100% das matérias primas empregadas são importadas. Como barreira futura, e, portanto, uma das áreas que deve ser estudada como forma de aumentar a competitividade, destaca-se a área de desenvolvimento de novos materiais para a utilização na fabricação de produtos eletrônicos encapsulados. Neste trabalho os materiais utilizados no encapsulamento de semicondutores do tipo BGA, do inglês *Ball Grid Array*, ou matriz de esferas, foram mapeados. Estes serão divididos em materiais diretos (que fazem parte da estrutura do produto encapsulado) e materiais indiretos (que auxiliam no processo de encapsulamento). O objetivo da pesquisa foi mapear e identificar os materiais diretos utilizados em uma indústria de encapsulamento de semicondutores do tipo BGA para servir de base ao desenvolvimento de materiais advindos de fontes fornecedoras alternativas à cadeia hoje existente. Com uma metodologia baseada na matriz de priorização, ao final deste trabalho foi possível estabelecer uma relação de prioridade para os materiais diretos utilizados no encapsulamento de semicondutores.

Palavras-chave: Encapsulamento. Semicondutores. Materiais. Mapeamento.

ABSTRACT

In 2013, Brazil was the second largest consumer of electronic equipment in the world. During that period, expenses with electronics in Brazil exceeded those of economic powers such as Japan, Germany, Russia and the United States. On top of the list of imported products for the electronic industry in 2013 were the following products: components for telecommunications, semiconductors and components for the IT industry. Regarding semiconductors, Brazil imported 4.5 billion dollars in 2012 and almost 5 billion dollars in 2014, resulting in a 10% increase in the trade balance deficit. In order to try to minimize the trade balance deficit and encourage the development of the semiconductor production chain, the Brazilian government has adopted a State policy to encourage the development of this industry by establishing the Program for the Support of Technology Development in the Semiconductor Industry (PADIS). This program, which was established in 2007, was designed to provide tax incentives and thus create investment alternatives. Today, in Brazil, semiconductor packaging is made by two companies, but 100% of the raw materials are imported. A future hurdle and, therefore, one of the areas that should be analyzed in order to increase productivity is the development of new materials for the manufacturing of packaged electronic products. This study conducted a mapping of the materials used to package BGA (Ball Grid Array) semiconductors. These materials are divided into direct materials (that are part of the structure of the packaged product) and indirect materials (that aid the packaging process). The goal of the research was to map and identify the direct materials used in the BGA semiconductor packaging industry so that this information could lay the foundation for the development of materials that could be procured from supplying sources other than the currently existing chain. The method used in this research was based on the prioritization matrix and we were able to establish a priority ranking for the direct materials used in semiconductor packaging.

Key-words: Packaging. Semiconductors. Materials. Mapping.

LISTA DE FIGURAS

Figura 1 - Faturamento da Indústria de Semicondutores (em bilhões de dólares)	18
Figura 2 - Ecossistema microeletrônico	22
Figura 3 - O problema central da Seleção de Materiais: a integração entre Função, Material, Processamento e Forma	25
Figura 4 - Dopagem de silício com átomo de fósforo (tipo n)	32
Figura 5 - Dopagem de silício com átomo de índio (tipo p)	32
Figura 6 - Uso de semicondutor (1975 a 1985)	33
Figura 7 - Lei de Moore	34
Figura 8 - Átomo de silício	34
Figura 9 - Cilindros formados por silício (lingotes)	36
Figura 10 - Esquema simplificado das etapas do processo para produção de padrões de SiO ₂ vítreo sobre um <i>wafer</i> de silício	37
Figura 11 - Esquema simplificado das etapas do processo de litografia para produção de padrões metálicos sobre um <i>wafer</i> de silício	38
Figura 12 - Cadeia produtiva de semicondutores	39
Figura 13 - Tipos de encapsulamento	42
Figura 14 - Encapsulamentos PTH e SMT típicos	43
Figura 15 - Tecnologias avançadas de encapsulamentos	44
Figura 16 - Etapas do processo de fabricação e encapsulamento típicos	45
Figura 17 - Visão superior e lateral de wafer montado sobre um tape e frame para corte	47
Figura 18 - Processo de <i>wafer dicing</i>	48
Figura 19 - Etapas do processo de moldagem	51
Figura 20 - Método de alimentação de EMC no processo de moldagem por transferência	52
Figura 21 - Método de alimentação de EMC no processo multi-êmbolo	52
Figura 22 - Materiais utilizados no encapsulamento de semicondutores	56
Figura 23 - Elementos utilizados no encapsulamento de semicondutores	58
Figura 24 - Composição típica de um EMC	64
Figura 25 - Exemplo de EMC em forma de pelete e pó	64
Figura 26 - Fluxograma das etapas da realização do trabalho	70
Figura 27 - Entrada do PCB no encapsulamento de semicondutores	74
Figura 28 - Entrada do fio de ouro no encapsulamento de semicondutores	76

Figura 29 - Entrada do EMC no encapsulamento de semicondutores	77
Figura 30 - Entrada da cola de chip no encapsulamento de semicondutores	78
Figura 31 - Entrada da esfera de solda no encapsulamento de semicondutores.....	80
Figura 32 - Entrada do fluxo no encapsulamento de semicondutores.....	81

LISTA DE FOTOGRAFIAS

Fotografia 1 - Wafer	36
Fotografia 2 - Chip encapsulado	41
Fotografia 3 - Lâminas de corte (blades).....	47

LISTA DE GRÁFICOS

Gráfico 1 - Custos relativos dos materiais diretos	82
Gráfico 2 - Representatividade dos materiais diretos na composição do preço unitário do encapsulamento	85

LISTA DE QUADROS

Quadro 1 - Classificação dos materiais e suas características	25
Quadro 2 - Siglas dos tipos de encapsulamento	42
Quadro 3 - Siglas dos encapsulamentos PTH e SMT típicos.....	43
Quadro 4 - Constituintes típicos de um laminado de FR-4	61
Quadro 5 - Classificação do fluxo quanto à sua composição química	67
Quadro 6 - Adaptação da Matriz de Priorização para definição das etapas do cálculo do grau de importância.....	69
Quadro 7 - Adaptação do problema central da seleção de materiais para definição dos tópicos de análise	70
Quadro 8 - Cálculo do Grau de Importância.....	88

LISTA DE TABELAS

Tabela 1 - Propriedades térmicas e elétricas dos materiais na soldagem de fios	63
Tabela 2 - Composição do PCB	75
Tabela 3 - Composição do EMC	77
Tabela 4 - Composição da cola de chip	78
Tabela 5 - Composição da esfera de solda	79
Tabela 6 - Composição do fluxo	80
Tabela 7 - Volume comprado	81
Tabela 8 - Pontuação dos custos dos materiais diretos	83
Tabela 9 - Representatividade na composição do preço unitário: encapsulamento BGA	84
Tabela 10 - Representatividade na composição do preço unitário do encapsulamento BGA sem o valor do wafer.....	84
Tabela 11 - Classificação dos materiais diretos na composição do preço unitário do encapsulamento	86
Tabela 12 - Fornecedores dos materiais diretos	86
Tabela 13 - Facilidade de fabricação	88
Tabela 14 - Cálculo do Grau de Importância.....	89
Tabela 15 - Materiais diretos e Grau de Importância	91

LISTA DE SIGLAS

µm/s	Micrometros por segundo
Ag	Prata
Al	Alumínio
ATM	<i>Assembly & Test Manufacturing</i>
Au	Ouro
BGA	<i>Ball Grid Array</i>
Bi	Bismuto
BNDES	Banco Nacional de Desenvolvimento Econômico e Social
Cd	Cádmio
CI	Circuito Integrado (<i>Chip</i> ou <i>die</i>)
CSP	<i>Chip Scale Package</i>
CTE	<i>Coefficient of Thermal Expansion</i>
Cu	Cobre
DICY	Dicianodamina
DIP	<i>Dual In Package</i>
EMC	<i>Epoxy Molding Compound</i>
ESD	<i>Electrostatic Discharge</i>
FR	<i>Flame resistant</i>
In	Índio
KHz	Quilohertz, unidade de medida da frequência
Km/h	Quilômetros por hora
m	massa
mm	Milímetro
MSL	<i>Moisture sensitivy level</i>
°C	Graus Celsius
Pb	Chumbo
PCI	Placa de circuito impresso
Pd	Paládio
PGA	<i>Pin Grid Array</i>
PTH	<i>Pin Trough Hole</i>
q	carga
QFP	<i>Quad Flat Package</i>
RF	Radiofrequência
rpm	Rotações por minuto
s	Segundos
Sb	Antimônio
Si	Silício
SiO ₂	Dióxido de silício
SIP	<i>System in Package</i>
SMT	<i>Surface Mount Technology</i>
Sn	Estanho

SOP	<i>System Outline Package</i>
TBBPA	Tetrabromobisfenol
T_m	<i>Melt Temperature</i>
TSOP	<i>Thin Small Outline Package</i>
TSV	<i>Through Silicon Vias</i>

SUMÁRIO

1 INTRODUÇÃO	18
1.1 Objetivo Geral.....	20
1.2 Objetivos Específicos	20
1.3 Justificativa.....	21
1.4 Estrutura da Pesquisa.....	23
2 REVISÃO BIBLIOGRÁFICA.....	24
2.1 Mapeamento e Seleção de Materiais	24
2.2 Matriz de Priorização.....	27
2.3 Breve História da Microeletrônica	28
2.4 Semicondutores	31
2.5 Silício.....	34
2.6 Fabricação de <i>Chips</i>	35
2.7 Encapsulamento.....	40
2.8 Etapas do Processo de Encapsulamento	44
2.8.1 Polimento das Lâminas	45
2.8.2 Serra das Lâminas	46
2.8.3 Colagem de <i>Chip</i>	49
2.8.4 Soldagem de Fios	50
2.8.5 Moldagem.....	51
2.8.6 Aplicação de Esferas.....	53
2.8.7 Separação	53
2.8.8 Teste	54
2.8.9 Carimbo.....	54
2.9 Tipos de Materiais Utilizados no Encapsulamento de Semicondutores	55
2.9.1 Metais.....	58
2.9.2 Polímeros	59
2.10 Materiais Utilizados no Encapsulamento de Semicondutores do Tipo BGA....	60
2.10.1 Placa de Circuito Impresso.....	60
2.10.2 Fio de ligação	62
2.10.3 Composto de Epóxi para Moldagem	63
2.10.4 Cola de Chip.....	65
2.10.5 Esfera de Solda.....	65

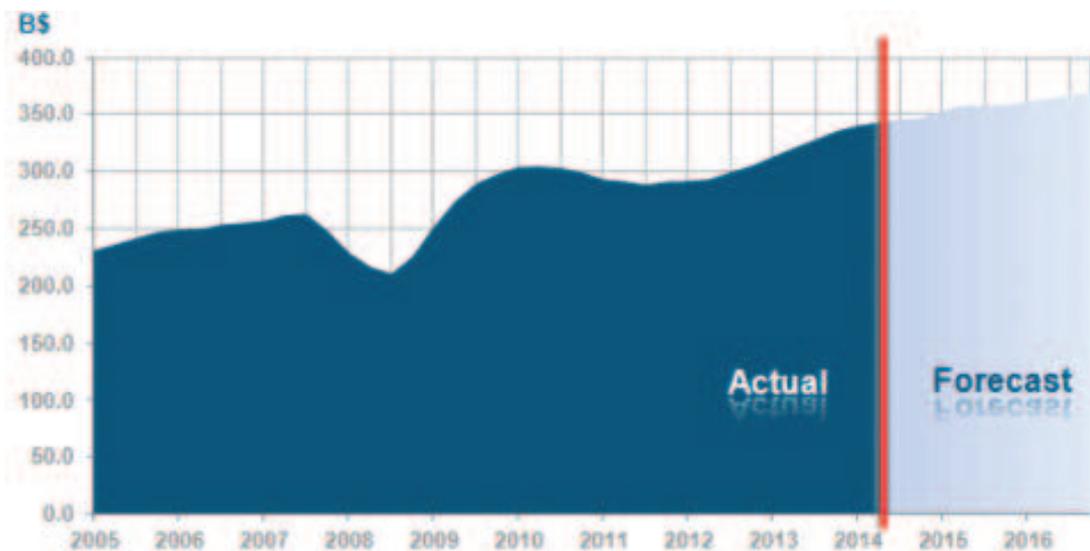
2.10.6 Fluxo.....	67
3 MATERIAIS E METODOLOGIA	69
3.1 Volume Comprado	71
3.2 Custo do Produto	71
3.3 Representatividade na Composição do Preço Unitário	72
3.4 Quantidade de Fornecedores	72
3.5 Facilidade de Fabricação.....	72
3.6 Grau de Importância.....	73
4 RESULTADOS E DISCUSSÕES	74
4.1 Mapeamento dos Materiais.....	74
4.1.1 PCB.....	74
4.1.2 Fio de ouro	75
4.1.3 EMC	76
4.1.4 Cola de chip	78
4.1.5 Esfera de Solda.....	79
4.1.6 Fluxo.....	80
4.2 Volume Comprado	81
4.3 Custo do Material Direto	82
4.4 Representatividade na Composição do Preço Unitário do Produto	83
4.5 Fornecedores.....	86
4.6 Facilidade de Fabricação.....	87
4.7 Grau de Importância.....	88
5 CONSIDERAÇÕES FINAIS	91
5.1 Sugestões para Trabalhos Futuros	92
REFERÊNCIAS.....	93
GLOSSÁRIO.....	99

1 INTRODUÇÃO

Os seres humanos são cada vez mais dependentes da eletrônica, seja no telefone celular (que hoje tem múltiplas funções), no computador pessoal, na televisão, no carro, no trabalho, nos eletrodomésticos ou nas transações comerciais. A tendência é que o uso da eletrônica esteja cada vez mais presente em nosso cotidiano. Os *chips* estão cada vez mais presentes na nossa vida. Ou seja, o mercado de microeletrônica ou semicondutores, apesar das oscilações sazonais, irá crescer ainda mais.

Projeta-se para o ano de 2015, que o mercado de componentes eletrônicos no mundo movimentará o equivalente a 350 bilhões de dólares, Figura 1, segundo a organização não governamental de estatísticas de mercado de semicondutores no mundo, a *World Semiconductor Trade Statistics* (WSTS) (2015). Este mesmo número foi estimado em menos de 20 bilhões de dólares em 1985, segundo dados da empresa *Techsearch International Inc.* que atua no mercado de encapsulamento de semicondutores desde o ano de 1987, demonstrando um crescimento muito grande deste mercado em 20 anos.

Figura 1 - Faturamento da Indústria de Semicondutores (em bilhões de dólares)



Fonte: WSTS (2015).

Dentre os componentes eletrônicos, o maior valor agregado e tecnologia empregada são os semicondutores, onde milhares de circuitos são fabricados em lâminas de silício. Posteriormente são realizadas as interconexões utilizando fios de

ouro, cobre ou alumínio e malhas metálicas ou substratos de resina e fibra de vidro que é protegido por plástico, em geral epóxi. Esse processo é chamado de encapsulamento. Os tipos de encapsulamentos são os mais variados guiados pelas inovações tecnológicas e criação de novos processos, possibilitando mais velocidade de processamento interno bem como aumento de portas de entradas e saídas, redução do consumo de energia e tamanho físico nos mais diferentes formatos de acordo com sua aplicação. (NASSIF, 2002).

Segundo a Associação Brasileira da Indústria Elétrica e Eletrônica (ABINEE) (2014), o Brasil, apareceu como o segundo maior consumidor de equipamentos eletrônicos do planeta. O Brasil também ficou na segunda posição nas intenções de compras de novos aparelhos durante 2013. Esta pesquisa foi realizada nos meses de setembro e outubro de 2012, tendo sido entrevistadas 11.000 pessoas em 11 países. O resultado do estudo revelou que os brasileiros gastaram em média US\$ 1.080,00 (R\$ 2.130,00) em 2012 e que pretendiam comprar US\$ 1.323,00 (R\$ 2.610,00) em eletrônicos no ano de 2013, o que equivale a um aumento de 22,5%. Tais valores ficam atrás apenas dos apresentados pelos chineses, os quais são US\$ 1.251,00 (R\$ 2.470,00) e US\$ 1.489,00 (R\$ 2.940,00), respectivamente. Os gastos do país com eletrônicos superaram grandes potências como o Japão (4º colocado), a Alemanha (7ª posição) e até os Estados Unidos, país que figurou apenas como 10º maior consumidor destes tipos de equipamentos eletrônicos. A terceira colocação ficou com a Rússia.

Entretanto, todas essas divisas não ficaram no Brasil. De acordo com a ABINEE (2014), o saldo na nossa balança comercial entre 2012 e 2013 foi de menos de 64 bilhões de dólares, sendo US\$ 30 bilhões em 2012 e US\$ 33 bilhões em 2013. Como o consumo brasileiro tende a aumentar, estima-se que o déficit do Brasil será ainda maior nos próximos anos. É importante observar que os três itens mais importados do setor foram, em 2013: componentes para telecomunicações (US\$ 6,2 bilhões), semicondutores (US\$ 4,9 bilhões) e componentes para informática (US\$ 3,0 bilhões) seguidos por instrumentos de medida (US\$ 1,7 bilhões) e eletrônica embarcada (US\$ 1,6 bilhões). No que se refere aos semicondutores, o Brasil importou 4,5 bilhões de dólares no ano de 2012 e, em 2013, esta importação foi de quase 5 bilhões de dólares, gerando um aumento de 10% no déficit da balança comercial.

Com a finalidade de tentar minimizar o déficit na balança comercial e incentivar o desenvolvimento da cadeia produtiva de semicondutores, o governo brasileiro adotou uma política de estado para incentivar o desenvolvimento deste segmento industrial criando o Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores (PADIS). Este programa foi criado em 2007 com a abordagem de proporcionar benefícios fiscais, buscando alternativas de investimentos que oportunizem o desenvolvimento da indústria de componentes eletrônicos no Brasil.

Existem duas empresas realizando o encapsulamento no Brasil, entretanto as matérias primas utilizadas por elas em seus processos produtivos são 100% importadas. Como barreira futura, e, portanto, uma das áreas que deve ser estudada como forma de aumentar a competitividade, destaca-se a área de desenvolvimento de novos materiais para a utilização na fabricação de produtos eletrônicos encapsulados.

1.1 Objetivo Geral

Mapear e identificar os principais materiais utilizados em uma indústria de encapsulamento de semicondutores, de componentes do tipo *Ball Grid Array* (BGA), para desenvolvimento destes com conteúdo nacional.

1.2 Objetivos Específicos

- mapear os elementos e matérias primas que fazem parte da composição dos materiais diretos utilizados no encapsulamento de semicondutores;
- determinar o volume comprado dos materiais diretos;
- determinar os custos dos materiais diretos;
- determinar a representatividade de cada material direto na composição do preço unitário do produto encapsulado;
- listar os fornecedores de cada material direto;
- determinar a facilidade de fabricação de cada material de acordo com metodologia estabelecida neste trabalho;
- determinar, de acordo com a metodologia proposta, o grau de importância dos materiais diretos utilizados no encapsulamento de semicondutores.

1.3 Justificativa

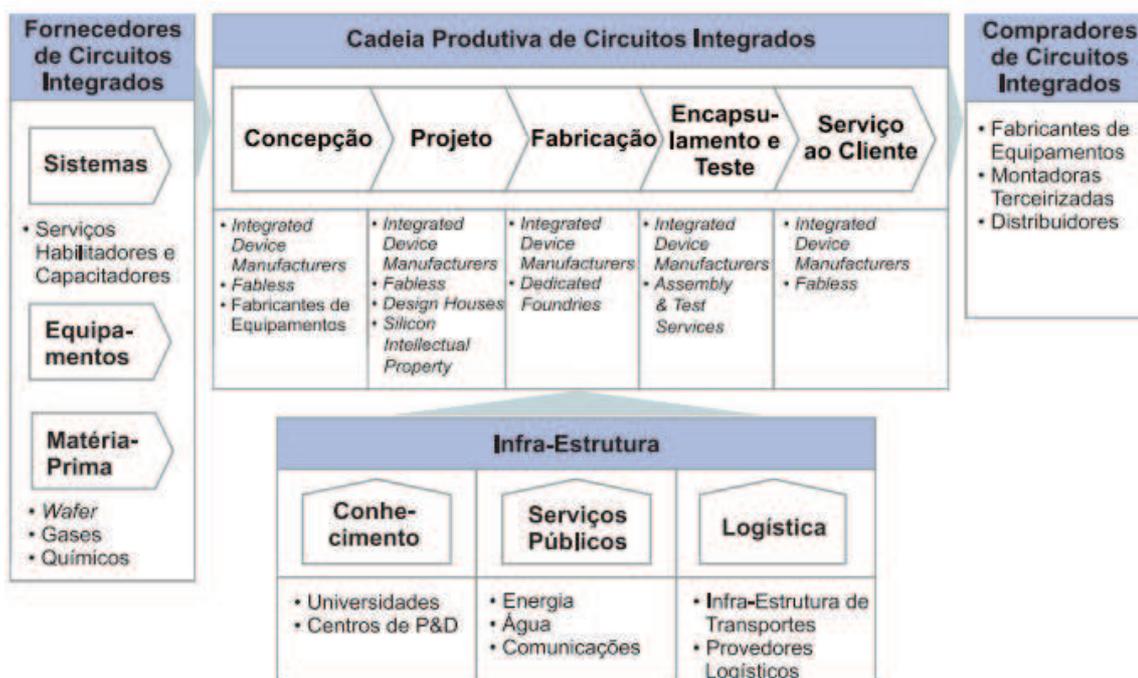
A fabricação de circuitos integrados no Brasil exercerá um impacto positivo na balança comercial do complexo eletrônico. Além da substituição de importações desses componentes, parte significativa da produção deverá ser exportada, já que a escala mínima que torna um projeto de fabricação no país viável deve obrigatoriamente contemplar a comercialização desses semicondutores no mercado internacional. Não é demais lembrar que é no segmento de componentes que se apresenta de forma mais expressiva e persistente o déficit comercial do complexo eletrônico. (GUTIERREZ, 2004).

Os fabricantes de circuitos integrados, ou ecossistema eletrônico, podem ser classificados segundo o seu tipo de negócio ou forma de atuação na cadeia de valor como segue:

- a) os fabricantes integrados, cuja atividade vai da concepção e projeto do componente até a entrega ao consumidor do produto, o qual leva a sua marca, e são denominados internacionalmente *integrated device manufacturers*;
- b) as empresas sem fábrica (*fabless*), que realizam o projeto do produto e são as detentoras da marca e do mercado junto aos clientes – fabricantes de bens finais –, terceirizando a etapa de fabricação do componente às fundições especializadas (*dedicated foundries*);
- c) as fundições especializadas (*dedicated foundries*), que realizam unicamente o processamento físico-químico dos produtos;
- d) os encapsuladores, dedicados à etapa de *back-end*;
- e) as empresas de projeto (*design houses*) independentes, remuneradas pelos fabricantes integrados por tarefa realizada; e
- f) as empresas de propriedade intelectual (IP), que desenvolvem células específicas de projeto e as licenciam a terceiros, sendo remuneradas por meio de pagamento de royalties. (GUTIERREZ, 2004).

Na Figura 2 estão resumidas as informações apresentadas anteriormente e todo o ecossistema microeletrônico.

Figura 2 - Ecossistema microeletrônico



Fonte: Gutierrez (2004).

Já existem duas empresas encapsulando semicondutores no Brasil, a HT Micron Semicondutores Ltda e a Smart Modular Technologies, e outras avaliando a possibilidade de entrar nesse segmento. Considerando que das etapas de fabricação do ecossistema microeletrônico (Figura 2) e que os processos de encapsulamento e teste são os menos complexos nessa cadeia, verificar se existe a possibilidade de adensamento da cadeia local mediante o fornecimento dos insumos torna-se relevante e útil. Porém, como os volumes ainda não são elevados, os materiais possuem requisitos específicos e o setor ainda não é conhecido pelas empresas brasileiras. Justifica-se assim a realização de um estudo sistemático para identificar os principais insumos diretos e indiretos, seus volumes, requisitos, dificuldades e eventual possibilidade de fornecimento local.

Outro fator que ajuda a justificar o trabalho é a carência na produção científica no Brasil para o tema abordado, especialmente no que se refere ao mapeamento e seleção de materiais utilizados na indústria de semicondutores. O levantamento bibliográfico quantitativo, realizado para este trabalho demonstrou que há quase inexistência de publicações no Brasil que abordam este tema. Estes fatos

demonstram a necessidade que o Brasil possui em adquirir mais conhecimento nesta área.

1.4 Estrutura da Pesquisa

O primeiro capítulo deste trabalho aborda o consumo mundial e brasileiro de equipamentos eletrônicos, o papel do Brasil no Ecosistema Microeletrônico, os incentivos federais para o desenvolvimento desta cadeia produtiva no Brasil e uma projeção do consumo destes equipamentos. Também são abordados neste capítulo o objetivo geral, os objetivos específicos e a justificativa para a realização deste trabalho.

O capítulo 2 tem a finalidade de apresentar a revisão bibliográfica sobre a história da microeletrônica e a fabricação de *chips*, onde são abordados o desenvolvimento deste segmento no decorrer dos anos. Também é apresentada uma revisão sobre o processo de encapsulamento de semicondutores, etapas deste processo produtivo e os materiais utilizados.

O capítulo 3 apresenta a metodologia proposta para o desenvolvimento do trabalho, sobre os materiais utilizados para realizar o mapeamento estratégico de materiais na indústria do encapsulamento de semicondutores.

O capítulo 4 apresenta os resultados do mapeamento estratégico e análise dos dados levantados, e por fim, o capítulo 5, apresenta a conclusão do trabalho.

2 REVISÃO BIBLIOGRÁFICA

Este capítulo aborda a história da microeletrônica, a fabricação e o encapsulamento de *chips*, os tipos de materiais (metais e polímeros) utilizados no encapsulamento de semicondutores e as etapas (polimento das lâminas, serra das lâminas, solda de *chips*, solda de fios, moldagem, aplicação de esferas de solda ou conformação dos pinos e teste) deste processo. Além disso, literatura relacionada ao mapeamento e seleção de materiais também foi avaliada.

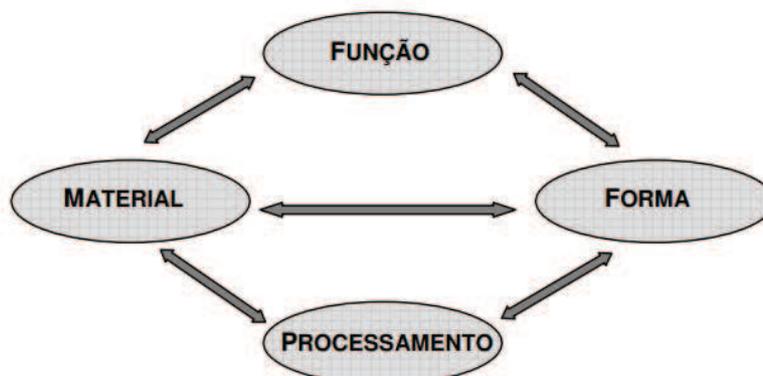
2.1 Mapeamento e Seleção de Materiais

O aumento da competitividade no mercado mundial aumentou a importância da seleção de materiais. As pressões exercidas por esta competitividade aumentaram o nível da automatização da manufatura a ponto de os custos dos materiais compreenderem 50%, ou mais, do custo na maioria dos produtos. A grande atividade da ciência dos materiais no mundo todo criou uma variedade de materiais novos, assim, a quantidade de materiais disponíveis é muito maior do que antes. (DIETER, 1997, v. 20). Isso apresenta a oportunidade para a inovação tecnológica no que tange o desenvolvimento e fornecimento de materiais com maior desempenho a um custo mais baixo.

De acordo com Silva (2005), na grande maioria dos projetos, a consideração prevalecente está, normalmente, vinculada ao fator econômico, apontado pelo empresário fabricante, onde é questionado qual será o custo do produto acabado. Neste tipo de solicitação, um material pode ser encontrado, atendendo a certo conjunto de propriedades exigidas, mas pode ser proibitivamente caro em relação ao preço lançado no mercado.

Ashby (2012) estabelece que o processo de seleção de materiais está centrado na interação entre material, função, forma e processamento, já que a função define a escolha do material, assim como a forma é escolhida para que um material realize uma função. Por sua vez, o processamento depende do material e influencia na escolha da forma para que se realize uma função. Essas interações se realizam em dois sentidos, uma vez que a especificação da forma restringe a escolha dos materiais e dos processos disponíveis para fabricar um objeto com aquela forma. A Figura 3 explicita isto.

Figura 3 - O problema central da Seleção de Materiais: a integração entre Função, Material, Processamento e Forma



Fonte: Adaptado de Ashby (2012).

Segundo Ljungberg (2007, v. 28), estima-se que há mais de 100.000 tipos diferentes de materiais comerciais no mercado, incluindo todas as variantes na composição dos materiais. O fato é que não somente os métodos objetivos para seleção dos materiais, mas também subjetivos têm de ser considerados, o que torna a seleção mais complexa. Os materiais estruturais para os produtos podem ser divididos em seis grupos: cerâmicos, compósitos, metais, poliméricos sintéticos, materiais orgânicos naturais e materiais inorgânicos naturais. Estes grupos cobrem provavelmente mais de 99% de todos os materiais usados na Engenharia Mecânica, Civil, Elétrica e no Design. No Quadro 1 tem-se a descrição dos grupos de materiais e suas características.

Quadro 1 - Classificação dos materiais e suas características

Material	Características
Cerâmicos	Os cerâmicos são frequentemente mais duráveis, duros, resistentes a altas temperaturas e à corrosão, mas também frágeis. A matéria-prima é geralmente argila para a cerâmica industrial e óxidos, nitritos ou carbetos puros para cerâmicas avançadas. As cerâmicas são raramente recicladas em produtos novos devido à necessidade de moer e de requeimar, o que se torna mais caro e requer mais energia do que produzir produtos de matéria-prima nova.

Compósitos	Têm se tornado cada vez mais populares durante os últimos anos, especialmente na forma de fibras cerâmicas misturadas com uma resina plástica. Os compósitos, em geral, não são renováveis e os problemas para separar os diferentes materiais usados nos compósitos tornam estes materiais geralmente não-sustentáveis.
Metais	São tipicamente baratos e fáceis de reciclar em novos produtos por refusão. A proteção contra a corrosão necessita frequentemente de tratamentos químicos e pinturas.
Orgânicos Naturais	Os materiais orgânicos naturais, como a madeira e o algodão, são sempre materiais populares de várias formas. A reciclagem pode facilmente ser feita na forma de reciclagem de energia, por exemplo, na forma de plantas de energias térmicas por aquecimento. Estes materiais são tipicamente renováveis.
Polímeros	Os polímeros ou os plásticos e a borracha são feitos geralmente do petróleo. Muitos polímeros, no entanto, podem ser feitos de materiais orgânicos naturais, como a madeira. Um problema da reciclagem dos plásticos é determinar de que tipo de polímero o produto é feito. Os plásticos termorrígidos e a borracha são exemplos de polímeros que não podem ser refundidos, o que significa que a deposição ou uso como material de enchimento ou a dissociação química é recomendada para reciclagem.

Fonte: Adaptado de Ljungberg (2007, v. 28).

A seleção de materiais pode ser feita de maneiras diferentes, mas os princípios são semelhantes. Para Ljungberg (2007, v. 28), a seleção de materiais deve considerar, principalmente, os seguintes aspectos: métodos de produção, demandas estruturais e de função, de mercado ou demanda de usuários, forma, preço, impacto ambiental e tempo de vida.

De acordo com Ferrante (2002), o processo de seleção de materiais deve ser considerado uma tarefa multidisciplinar, para ela são necessários conhecimentos e informações de várias áreas de uma empresa. Entretanto, segundo Silva (2005), uma das dificuldades da seleção de materiais é a literatura técnica, que deveria oferecer uma perspectiva de conjunto e adaptação interdisciplinar, porém privilegia o tratamento de metais. A correta seleção de materiais deve ser realizada de forma

sistemática, em tempo adequado, possibilitando redução de custos e minimização de erros.

2.2 Matriz de Priorização

A matriz de priorização, ou Matriz GUT (Gravidade x Urgência x Tendência), é um diagrama usado para priorizar (dar importância relativa) a algo através de um ou mais critérios. (KNEPER; TREGOE, 1981).

De acordo com Oliveira (1992), a Matriz de Priorização de GUT foi proposta por Charles H. Kepner e Benjamin B. Tregoe, em 1981, como uma das ferramentas utilizadas na solução de problemas. É uma ferramenta da Qualidade usada para definir prioridades dadas às diversas alternativas de ação. O objetivo desta ferramenta é priorizar as ações de forma racional, levando em consideração a gravidade, a urgência e a tendência do fenômeno, permitindo escolher a tomada de ação menos prejudicial:

- a) gravidade: a intensidade, profundidade dos danos que o problema pode causar se não se atuar sobre ele;
- b) urgência: o tempo para a eclosão dos danos ou resultados indesejáveis se não se atuar sobre o problema;
- c) tendência: o desenvolvimento que o problema terá na ausência de ação.

Segundo Colenghi (1997), a aplicação da Matriz de priorização deve seguir quatro etapas:

- a) listar os problemas ou os pontos de análise;
- b) pontuar cada tópico;
- c) classificar os problemas;
- d) tomar decisões estratégicas.

Na primeira etapa é necessário listar todos os problemas e aspectos relacionados às atividades que deseja analisar. Deve-se listar quais são os principais problemas e pontos de análise. Na segunda etapa é dada a pontuação para cada problema ou ponto de análise. As notas são aplicadas de acordo com os

critérios estabelecidos. Ao final da pontuação, é identificado o número que mostrará o grau de prioridade dos pontos de análise. Para isso, deve-se multiplicar os quocientes Gravidade x Urgência x Tendência (GxUxT), sendo o ponto de análise que obtiver o maior resultado, a principal prioridade a ser corrigido e/ou trabalhado. Na terceira etapa deve-se classificar os pontos de análise de acordo com a pontuação estabelecida na segunda etapa e, por fim, na quarta etapa, as decisões estratégicas são traçadas. (COLENGHI, 1997).

Cristofari Junior (2008) utilizou a matriz GUT para definir a priorização das oportunidades de melhorias na metodologia proposta em sua dissertação. Ele nos relata que primeiramente foi realizada uma breve apresentação das matérias primas consideradas como oportunidades de melhoria, com o objetivo de nivelar o conhecimento das matérias primas. Depois foram definidos os pesos para as alternativas de melhorias cuja ponderação foi realizada utilizando-se uma escala geométrica com valores 0, 1, 3 e 9. Conhecidos os pesos, foi possível determinar a importância das alternativas de melhoria.

Para o propósito deste trabalho entendeu-se que a união e a adaptação destas duas técnicas, a matriz de priorização e a interação entre função, material, processamento e forma, ajudaria na elaboração da metodologia para o mapeamento e identificação dos materiais utilizados em uma indústria de encapsulamento de semicondutores, de componentes do tipo BGA, para desenvolvimento destes com conteúdo nacional.

2.3 Breve História da Microeletrônica

Dado o papel onipresente da eletrônica na vida moderna, talvez seja surpresa que o próprio elétron foi *descoberto* apenas no final do século XIX. Em 1897, o professor J. J. Thomson da Cambridge University, na Inglaterra, mostrou que os raios catódicos em um dispositivo equivalente a uma versão primitiva do tubo de televisão eram feixes de partículas carregadas negativamente. Ele chamou estas partículas de corpúsculos. Variando as intensidades dos campos elétrico e magnético através dos quais os corpúsculos viajavam, ele conseguiu medir a razão entre a massa m e a carga q . Thomson também afirmou ousadamente que seus corpúsculos eram um constituinte básico de toda a matéria, e que eles eram mais de 1.000 vezes mais leves que o átomo mais leve conhecido. Thomson estava certo

nas duas contas. (A massa do elétron é aproximadamente $1/1.836,15$ da massa do hidrogênio.) Como resultado de sua medida de m/q , combinada com suas afirmações ousadas e precisas, Thomson é lembrado como o descobridor do elétron. (SHACKELFORD, 2008).

Segundo Swart (2014), a ideia de um circuito integrado foi levantada por Geoffrey WA Dummer (1909-2002), um cientista que trabalhava para o Royal Radar Establishment (do Ministério da Defesa Britânico). Geoffrey Dummer publicou a ideia em 7 de maio de 1952 no *Symposium on Progress in Quality Electronic Components* em Washington, D.C. Ele deu muitas palestras públicas para propagar suas ideias.

Em 1958, um engenheiro da Texas Instruments, Jack Kilby, na época com 34 anos, propôs uma maneira de fabricar todos os componentes do circuito numa única pastilha de silício. Em vez de usar circuitos soldados um a um, Jack Kilby sugeriu fabricar os diversos componentes de um circuito, inclusive capacitores e resistores, simultaneamente ao invés de fabricá-los separadamente e depois uni-los por meio de soldas. A tendência, com o tempo, foi manter a área do chip e diminuir o tamanho dos componentes, que, empilhados em dez camadas de material, podem medir 10 milionésimos de milímetro cada uma. (SWART, 2014).

Mas, em 1958, não era apenas a *Texas Instruments*, que estava interessada em circuitos integrados de silício. Outra companhia, a *Fairchild Semiconductor*, instalada num vale ao sul da baía de São Francisco, na Califórnia, então uma aprazível área agrícola, também fazia pesquisas semelhantes. Um de seus diretores, o físico Robert Noyce, então com 31 anos, tivera a mesma ideia de Kilby, com a diferença de alguns meses. Entre o tempo que durou a pesquisa e o aparecimento das primeiras peças, já na década de 60, Jack Kilby e Robert Noyce repartiram as honras de serem os inventores dos *chips*. O local onde funcionava a Fairchild acabaria invadido por gigantes da microeletrônica, tornando-se conhecido como Vale do Silício. (SWART, 2014).

De acordo com Shackelford (2008), o circuito integrado foi inventado por Jack Kilby, da Texas Instruments e Robert Noyce, da Fairchild Semiconductor trabalhando independentemente um do outro. Kilby registrou suas ideias iniciais sobre o circuito integrado em julho de 1958 e demonstrou com sucesso o primeiro circuito integrado em função em 12 de setembro de 1958. Em seu pedido de patente de 6 de fevereiro de 1959, Jack Kilby (apud SHACKELFORD, 2008, p. 409-410, grifo

do autor), descreveu o seu novo dispositivo como “*a body of semiconductor material ... where in all the components of the electronic circuit are completely integrated.*”

Uma marcante evolução do circuito integrado remonta a 1949, quando o engenheiro alemão Werner Jacobi (Siemens AG) entregou uma patente que mostrou o arranjo de cinco transístores em um semicondutor. A utilização comercial de sua patente não foi relatada.

A ideia de precursor do circuito integrado (CI) foi a criação de pequenos quadrados de cerâmica (pastilhas), cada um contendo um único componente miniaturizado. Esta ideia, que parecia muito promissora em 1957, foi proposta para o Exército dos Estados Unidos por Jack Kilby. No entanto, quando o projeto foi ganhando força, Jack Kilby veio em 1958 com um design novo e revolucionário: o circuito integrado.

Alguns fatos que marcaram a história dos semicondutores são:

- a) 1906 – Criação da válvula – Vacuum Tube (Triodo – Eletrônica) Lee De Forest;
- b) 1947 – Descobrimto do Transistor por John Bardeen, Walter Brattain e William Shockley;
- c) 1948 a 1956 – o número de transistores nos equipamentos eletrônicos aumenta vertiginosamente;
- d) 1952 – Bell Labs licencia a patente para outras empresas: Texas, Sony;
- e) 1955 – William Shockley deixa a Bell e cria a empresa Shockley Semicond, no Vale do Silício;
- f) 1956 – John Bardeen, Walter Brattain e William Shockley ganham o Prêmio Nobel de Física *for their research on semiconductors and their discovery of the transistor effect*;
- g) 1957 – Robert Noyce, G Moore e outros, deixam a Shockley e criam a Fairchild;
- h) 1958 – Jack Kilby demonstra o conceito de integração (julho);
- i) 1958 – Robert Noyce faz a Proposta de Integração (dezembro);
- j) 1959 – Na Fairchild, Roberto Noyce cria o 1º Processo Planar para Circuitos Integrados (CI's);
- k) 1961 – A Fairchild cria o 1º CI com 4 transistores;
- l) 1962 – Início da comercialização dos Primeiros CI's Comerciais;

- m) 1964 – CI com 5 transistores, Fairchild;
- n) 1965 – CI com 24 transistores, Fairchild;
- o) 1968 – Noyce, Moore and Groove criam a Intel;
- p) 1968 – Multiplicam-se as empresas no Valde do Silício;
- q) 1970 – CI com 256 transistores, Fairchild;
- r) 1970 – CI com 1024 transistores, Intel;
- s) 2001 – CI com 256Mbit DRAM, Toshiba;
- t) Idade do transistor = 63 anos;
- u) Idade dos CI's Comerciais = 49 anos.

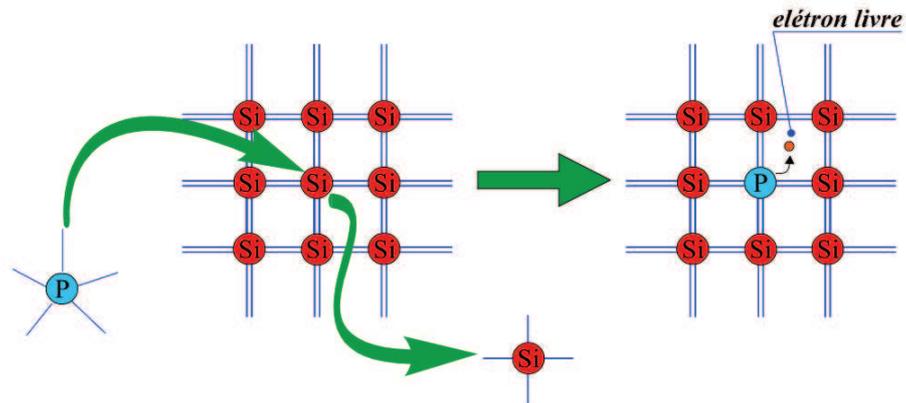
2.4 Semicondutores

Os semicondutores possuem propriedades elétricas que são intermediárias entre aquelas exibidas pelos condutores elétricos (os metais e as ligas metálicas) e os isolantes (as cerâmicas e os polímeros). Além disso, as características elétricas desses materiais são extremamente sensíveis à presença de mínimas concentrações de átomos de impurezas, cujas concentrações podem ser controladas em regiões muito pequenas do material. Os semicondutores tornaram possível o advento dos circuitos integrados, os quais revolucionaram totalmente as indústrias de produtos eletrônicos e de computadores (para não mencionar as nossas vidas) ao longo das três últimas décadas. (CALLISTER, 2010).

O material semicondutor é um material não metálico que possui uma banda de valência preenchida a 0 K e um espaçamento entre as bandas de energia relativamente estreito. A condutividade elétrica à temperatura ambiente varia entre aproximadamente 10^{-6} a 10^4 ($\Omega \cdot m$)⁻¹. Existem dois tipos de materiais semicondutores. Os do tipo *n* e os do tipo *p*. (CALLISTER, 2010).

No semicondutor do tipo *n*, Figura 4, são inseridos na rede cristalina átomos que contêm excesso de um elétron de valência em relação aos átomos da rede. Com a inserção de vários átomos de impurezas, os elétrons livres passam a transitar livremente pelo material, tornando o material isolante em material com certo nível de condutividade. A isto chama-se dopagem, que é o processo de inclusão de impurezas, ou dopantes, ao material semicondutor. (SHACKELFORD, 2008).

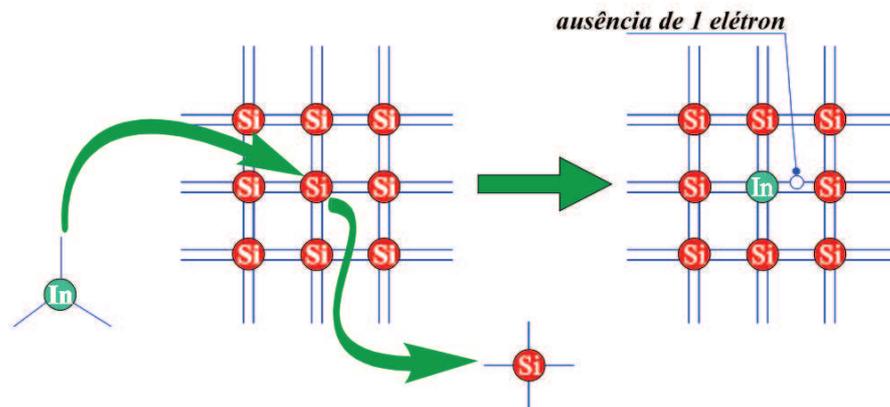
Figura 4 - Dopagem de silício com átomo de fósforo (tipo n)



Fonte: Wendling (2011).

No material semiconductor do tipo p , Figura 5, verifica-se a ausência do segundo elétron que comporia o par necessário à formação de uma das ligações com o átomo. Essa ausência de elétron de ligação é denominada lacuna. O movimento de elétrons de valência ocorre do pólo negativo para o pólo positivo. As lacunas em um semiconductor se comportam como cargas positivas que podem transitar em um cristal submetido a uma tensão externa aplicada. (WENDLING, 2011).

Figura 5 - Dopagem de silício com átomo de índio (tipo p)



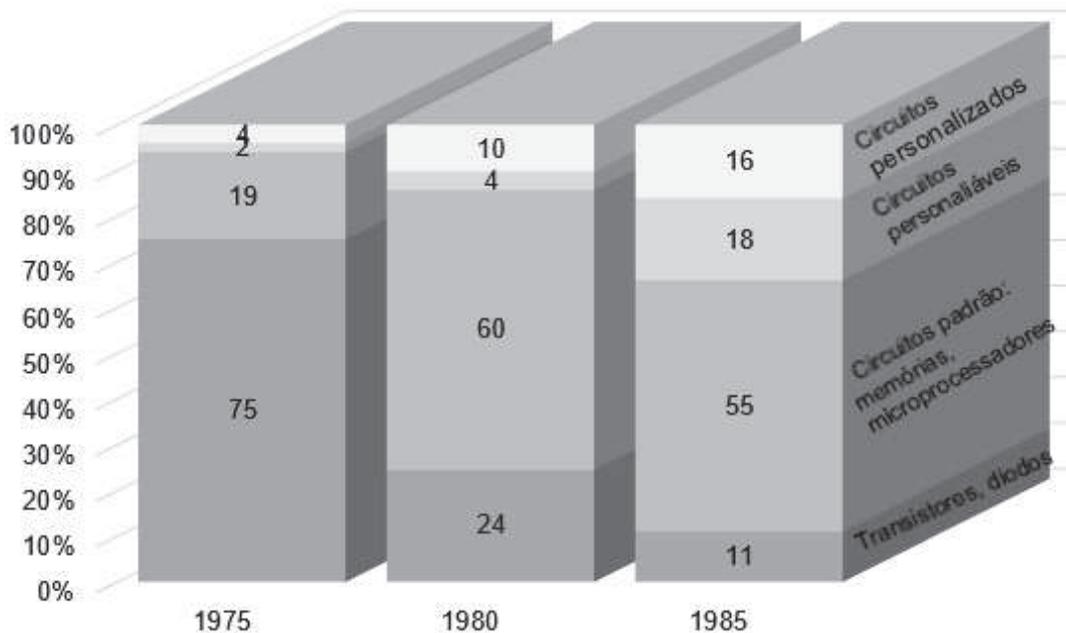
Fonte: Wendling (2011).

O material semiconductor do tipo n é o semiconductor para o qual os elétrons são os portadores de carga predominantes, responsáveis pela condução elétrica. Normalmente, são átomos de impurezas doadores de elétrons, Figura 4, que dão origem ao excesso de elétrons. Já o material semiconductor do tipo p é o semiconductor para o qual os portadores de carga predominantes, responsáveis pela

condução elétrica, são lacunas, Figura 5. Em geral, são átomos de impurezas receptores de elétrons que dão origem ao excesso de buracos. (CALLISTER, 2010).

De acordo com Shackelford (2008), os dispositivos semicondutores revolucionaram a vida moderna, possibilitando a miniaturização dos circuitos eletrônicos. A substituição de elementos tradicionais, em grande escala, com diodos e transistores, como equivalentes discretos em estado sólido, iniciou esta revolução. O desenvolvimento de microcircuitos integrados acelerou essa revolução. O rápido ritmo em que os *chips* substituíram elementos discretos é indicado na Figura 6.

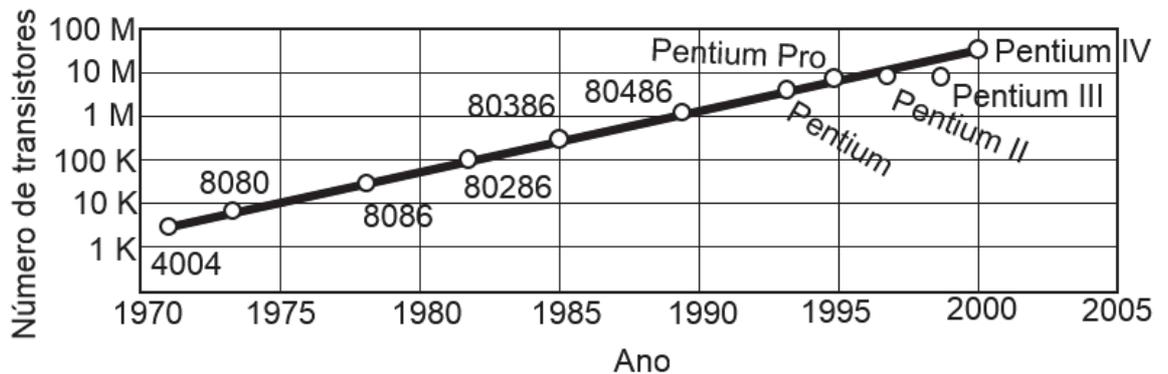
Figura 6 - Uso de semicondutor (1975 a 1985)



Fonte: Adaptado de Shackelford (2008).

A miniaturização constante dos dispositivos eletrônicos foi liderada pelo setor aeroespacial, para o qual os computadores e circuitos tinham de ser pequenos e com pouco consumo de energia. A redução constante e dramática no custo, que acompanhou esses desenvolvimentos, levou à passagem das aplicações para a produção e o controle industrial, além de aparelhos eletrônicos para os consumidores. Esse ritmo de miniaturização constante tornou-se bastante conhecido como Lei de Moore, por causa de Gordon Moore, co-fundador da Intel Corporation, que previu essa capacidade nos primórdios da tecnologia dos circuitos integrados. (SHACKELFORD, 2008).

Figura 7 - Lei de Moore

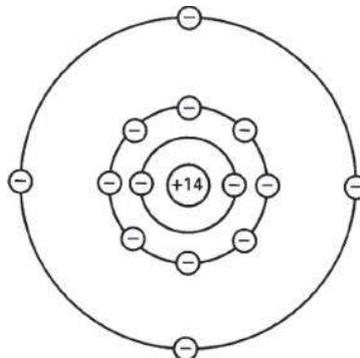


Fonte: Adaptado de Shackelford (2008).

2.5 Silício

Segundo Tummala (2001), o silício, Figura 8, é o material semicondutor mais utilizado na indústria microeletrônica devido às suas propriedades e também porque pode ser facilmente extraído da natureza devido a abundância de sílica (SiO_2).

Figura 8 - Átomo de silício



Fonte: Adaptado de Tummala (2001).

O átomo de Si é composto de um núcleo com 14 elétrons girando em torno dele em um sistema, o que pode ser comparado com o sol e os planetas movendo-se em sua órbita. Os elétrons têm carga negativa e o núcleo do Si tem uma carga positiva, que compensa a carga nesses 14 elétrons, de modo que o átomo de Si é eletricamente neutro. Os elétrons movem-se em órbitas ao redor do seu próprio núcleo. Um átomo que tem oito elétrons em sua órbita mais externa, ou a camada mais externa, é relativamente estável, que adquire por meio do compartilhamento de cada um dos quatro átomos adjacentes em ligações covalentes. O átomo de silício tem quatro elétrons em sua camada mais externa e que exige quatro elétrons

adicionais para se tornar estável este comportamento faz com que ele seja facilmente dopado para aumentar a sua condutividade elétrica a fim de criar materiais do tipo n ou material tipo p, que são utilizados na fabricação de vários dispositivos microeletrônicos. (TUMMALA, 2001).

2.6 Fabricação de *Chips*

Na microeletrônica, o *chip*, também conhecido como circuito integrado (CI), é a integração de uma grande quantidade de transistores fabricados pelo processo de fotolitografia (técnica utilizada na fabricação de dispositivos microeletrônicos) em um monocristal de silício. Os avanços da tecnologia proporcionam a fabricação de *chips* com melhor desempenho, ou seja, mais capacidade de executar, em menos tempo, mais funções com dispositivos cada vez menores. (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 2001a).

A fabricação dos *chips* se inicia em modernos centros tecnológicos especializados. Nos laboratórios desses centros, uma determinada quantidade de cristal de silício é colocada em uma haste e, posteriormente, inserida em silício fundido submetido a uma temperatura em torno dos 1.410°C. A haste é então retirada e girada ao mesmo tempo, ao esfriar solidifica-se em forma cristalina. (MALONE, 1995).

Um cristal grande de silício é produzido puxando-se um pequeno cristal *semente* de um cadinho contendo silício derretido. O ponto de fusão do silício, 1.414 °C, exige um cadinho feito de vidro de SiO₂ de alta pureza. O calor é fornecido por espiras de aquecimento indutivo por radiofrequência (RF). O cristal semente é inserido na mistura e retirado lentamente. Seu crescimento ocorre à medida que o silício líquido se resfria próximo ao cristal semente, com os átomos individuais se empilhando sobre os átomos da semente. Camadas sucessivas de planos atômicos são acrescentadas à interface líquido-sólido. A taxa de crescimento total é de aproximadamente 10 µm/s. Os grandes cristais resultantes podem ser chamados de lingotes (Figura 9). A esse processo, dá-se o nome de Czochralski ou Teal-Little. (SHACKELFORD, 2008).

O diâmetro dos lingotes varia de acordo com o avanço da tecnologia, mas em geral possui entre 200 e 300 milímetros. O mesmo vale para o seu comprimento: de 1 a 2 metros. É importante frisar que esses cilindros precisam ser formados de silício

puro. O processo de purificação desse material é complexo, o que encarece ainda mais a fabricação. (SHACKELFORD, 2008).

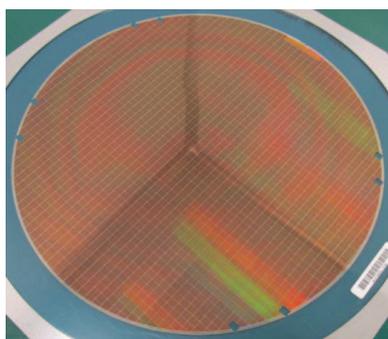
Figura 9 - Cilindros formados por silício (lingotes)



Fonte: Lingotes... (2015).

De acordo com Lau e Mayer (1990), uma vez concluída essa etapa, o cilindro é *fatiado*, isto é, cortado em várias partes. Cada uma dessas divisões recebe o nome de *wafer*, Fotografia 1. Cada *fatia* é polida até ficar perfeita, sem variações, manchas, diferenças de brilho ou qualquer irregularidade em sua composição. Sua espessura, geralmente é menor que 1 milímetro. Em uma etapa mais adiante, cada *wafer* será dividido em vários *quadrinhos* (ou *dies*), que posteriormente serão separados e formarão os circuitos integrados.

Fotografia 1 - Wafer

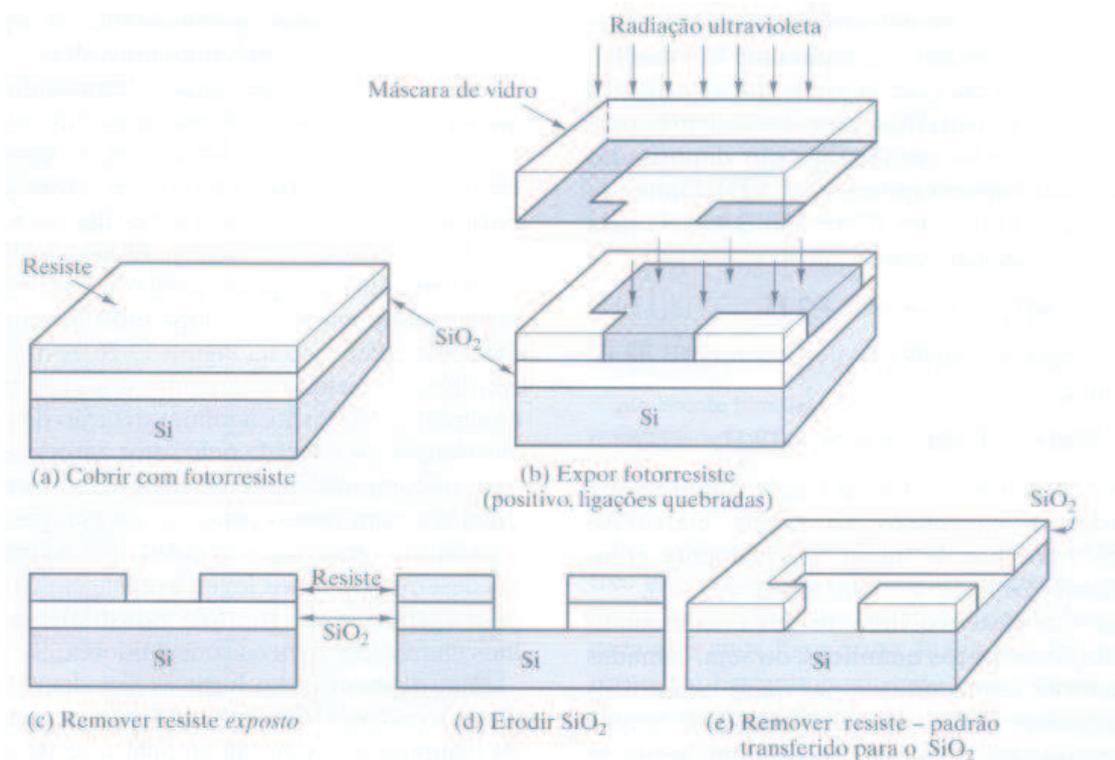


Fonte: Registrada pelo autor.

No passo seguinte, a superfície do *wafer* passa por um processo de oxidação, onde a atmosfera gasosa, especialmente o oxigênio, e temperatura elevada forma uma camada de dióxido de silício. Essa camada servirá de base para a construção de milhares e milhares de transistores, em poucas palavras, minúsculos

componentes capazes de *amplificar* ou *chavear* sinais elétricos, além de outras funções relacionadas. (LAU; MAYER, 1990).

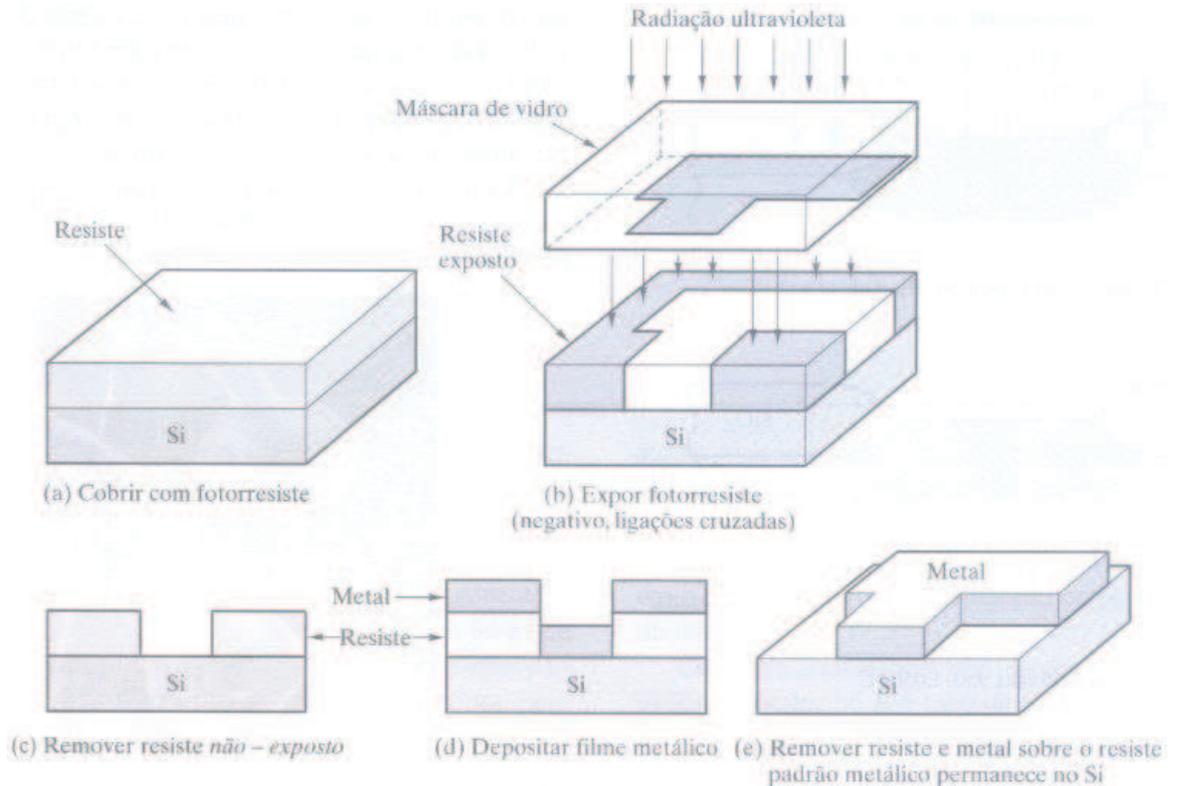
Figura 10 - Esquema simplificado das etapas do processo para produção de padrões de SiO_2 vítreo sobre um *wafer* de silício



Fonte: Lau e Mayer (1990).

Na próxima etapa, os *wafers* passam por um processo onde recebem uma camada de material fotossensível, isto é, que reage à luz. Nessa etapa, cada um dos blocos, que se transformará em circuito integrado, recebe luz ultravioleta em certos pontos e em determinadas intensidades. Com isso, tem-se pontos cobertos com camada fotossensível e pontos cobertos com dióxido de silício. A camada fotossensível restante protege o dióxido de silício. As partes deste último que não estiverem protegidas pela camada fotossensível são então removidas através de outro procedimento. No próximo passo, a camada fotossensível é removida. O óxido que sobra então é utilizado como máscara para as dopagens e consequente fabricação dos transistores, procedimento esse que continua sendo feito a partir de aplicação de mais materiais e exposição à luz ultravioleta (Figuras 10 e 11).

Figura 11 - Esquema simplificado das etapas do processo de litografia para produção de padrões metálicos sobre um *wafer* de silício

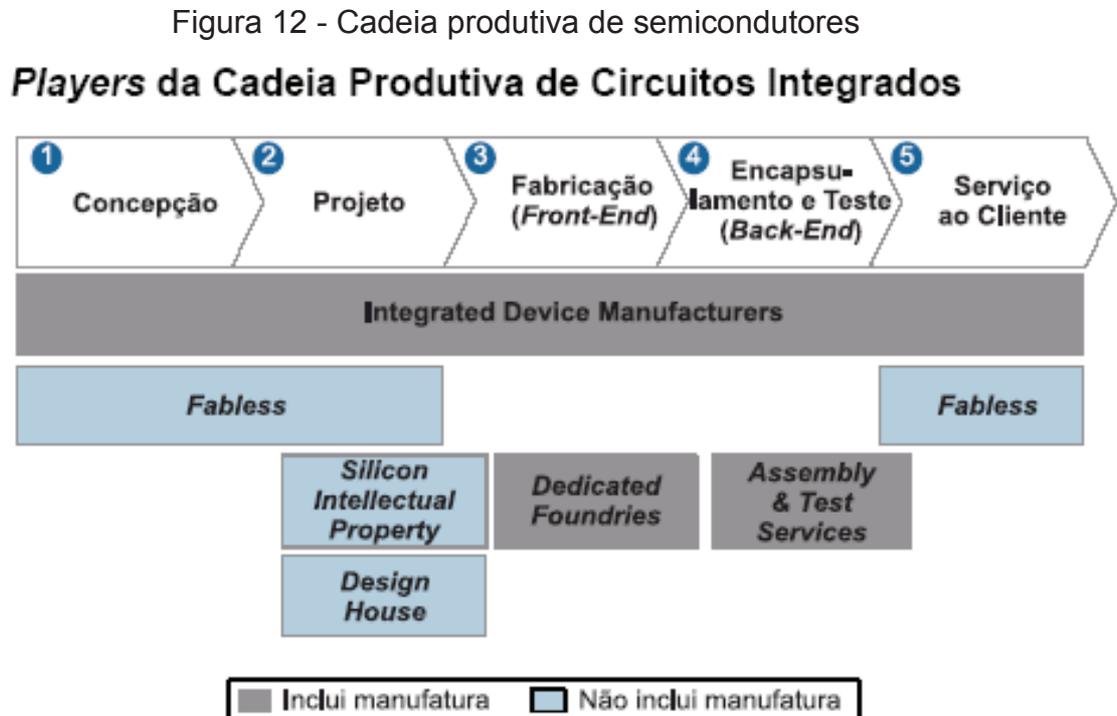


Fonte: Lau e Mayer (1990).

É importante frisar que um único circuito integrado pode conter milhões de transistores. Assim como acontece com circuito integrado, esses transistores são divididos e organizados em agrupamentos, onde cada grupo é responsável por uma função. Uma vez terminada a fabricação e conexão dos transistores, os *wafers* são *cortados* em um formato que lembra pequenos quadrados ou pastilhas. Cada unidade se transformará em um circuito integrado. Como os *wafers* são redondos, o que sobra da borda não pode virar um circuito integrado, então esse material é descartado, assim como qualquer unidade que apresentar defeito ou anormalidade. É importante ressaltar que cada *wafers* dá origem a centenas de circuitos integrados, portanto, todo o processo de fabricação é realizado com base em uma série de cuidados. Além disso, as máquinas responsáveis pela produção precisam estar perfeitamente ajustadas para seguir as instruções dos projetos dos *chips* que estão sendo fabricados.

De acordo com Nassif (2002), o ciclo de vida de um *chip* pode ser dividido em 5 etapas: Concepção, Projeto (*Design*), Fabricação de lâmina (ou *Frontend*),

Encapsulamento e Teste (*Backend*) e o Serviço ao Cliente, conforme ilustrado na Figura 12.



Fonte: Nassif (2002).

A etapa de Concepção destina-se a definir as funcionalidades requeridas dos *chips* para novos tipos de aplicação. O resultado da etapa de concepção é uma especificação funcional do *chip*.

A etapa de Projeto, ou *Design*, destina-se à criação do *chip*, em seu sentido lógico e elétrico, estabelecendo como as funções definidas na etapa de concepção devem ser organizadas em forma de componentes eletrônicos básicos sobre o material semicondutor. O resultado da etapa de projeto é um conjunto de desenhos geométricos que combinados em suas diversas camadas definem o circuito eletrônico que executa a função pré-definida. Esses desenhos, transformados em máscaras de vidro são enviados ao processo de produção do *chip*, remontando, geralmente, à larga escala de produção.

A etapa de Fabricação, ou *Frontend*, dedica-se à fabricação do cerne de um *chip*, ou seja, da impressão sobre o material semicondutor das partes que formarão os componentes básicos que executarão as funcionalidades projetadas e arquitetadas nas etapas anteriores. Essa etapa exige os maiores investimentos de

toda a cadeia. Os equipamentos de fabricação são extremamente caros devido à precisão e alta tecnologia embarcada. O ambiente de produção precisa ser altamente controlado e limpo tornando as fábricas investimentos bilionários. O resultado da etapa de *frontend* é o *wafer*, ou lâmina de silício, com os *chips* impressos.

A etapa de Encapsulamento e Teste, ou *Backend*, é responsável pelo encapsulamento do *chip*, ou seja, pela separação de cada *chip* do *wafer*, pela montagem de todas as interconexões externas necessárias para seu funcionamento e pelo recobrimento do *chip* com material cerâmico ou plástico, para proteção. O resultado dessa etapa é o *chip* individualizado e testado, pronto para uso. Tanto as fábricas bem como os equipamentos de produção para a etapa de encapsulamento são menos sofisticados que no *Frontend*, tornando os investimentos pelo menos 10 vezes menores.

Por fim, a etapa de Serviço ao Cliente estabelece as atividades de pós-vendas necessários em qualquer cadeia de produção.

As etapas de Concepção, Projeto e Serviço ao Cliente são denominadas *Fabless*, o que significa que podem ser desenvolvidos sem a necessidade de uma instalação industrial. As atividades de *Frontend* e *Backend* necessitam do suporte de instalações industriais dedicadas.

O mercado global de semicondutores, segundo a Gartner, atingiu 315 bilhões de dólares em 2013, cerca de 18% desse mercado, ou 57 bilhões de dólares, se referem ao Encapsulamento e Teste, ou *Backend*.

2.7 Encapsulamento

Nos últimos anos a importância do encapsulamento dos *chips* semicondutores tem se tornado muito maior do que era originalmente, quando os *chips* começaram a ser fabricados, na década de 1960.

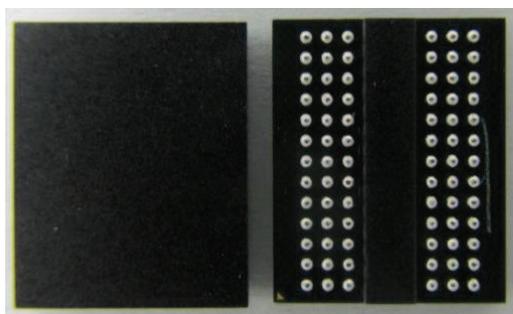
De acordo com Peter (2014), o encapsulamento do *chip* tem como função:

- a) fornecer uma estrutura física para suportar o *chip*;
- b) proteger o *chip* do ambiente;
- c) realizar a conexão elétrica de sinais e energia entre o *chip* e a placa de circuito impresso;

- d) dissipação térmica, remover o calor gerado pelo *chip* para o ambiente e
- e) permitir a integração e testabilidade dos *chips*.

O encapsulamento, Fotografia 2, é o invólucro protetor de um circuito integrado. O invólucro possui terminais de metal ou *pinos*, que são resistentes o suficiente para conectar elétrica e mecanicamente o frágil *chip* de silício a uma placa de circuito impresso. Esta conexão pode ser feita através de solda ou por força mecânica aplicada por molas ou por um soquete. A maioria das placas de circuito impresso modernas usam tecnologia de montagem superficial, embora anteriormente fosse comum inserir os pinos em orifícios abertos na placa. Como encapsulamentos menores são mais baratos e mais seguros, a maioria dos encapsulamentos modernos são pequenos demais para instalação manual por seres humanos. Os microprocessadores modernos podem ter mais de 1.000 pinos, de modo que a tecnologia de fabricação e instalação do encapsulamento deve ser muito confiável. (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 2001b).

Fotografia 2 - Chip encapsulado



Fonte: Registrada pelo autor.

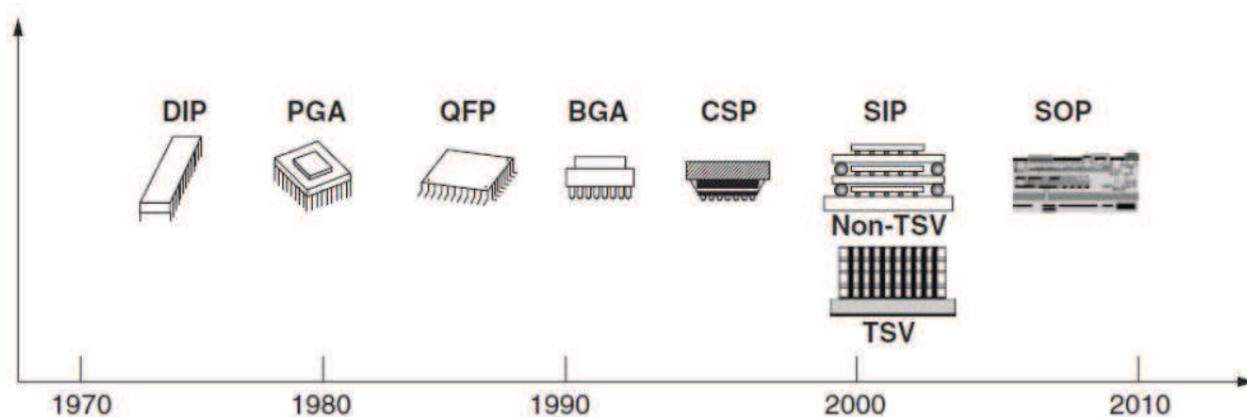
Um encapsulamento é basicamente uma proteção que envolve um circuito integrado. Sua principal função é garantir a conexão segura entre os circuitos e as placas de circuito integrado. Esta proteção é composta por pinos de metal, que fixam um envoltório retangular feito de metal, plástico ou de outros materiais. O mecanismo descrito garante que a transmissão de energia não cause danos físicos nos circuitos nem nas próprias placas. (PETER, 2014).

Os circuitos integrados necessitam de proteção mecânica e química das interconexões e dos componentes do meio ambiente a fim de que estas não sejam danificadas. Esta proteção é chamada de encapsulamento, ou *packaging*. Há muitos

tipos de encapsulamentos desenvolvidos, Figura 13, para suprir as necessidades da grande variedade de tipos de circuitos integrados surgidos a partir da metade do século 20. (TUMMALA, 2001).

As diferenças estão em suas estruturas, tipos de materiais, como são fabricados, tecnologias de conexão, tamanho, espessura, desempenho elétrico, número de conexões, capacidade de remover o calor e custo. (TUMMALA, 2001).

Figura 13 - Tipos de encapsulamento



Fonte: Tummala (2001).

Existe uma maneira muito fácil de visualizar encapsulamentos em peças de *hardware*. Para isso, pode-se pegar uma placa qualquer que se tenha (vídeo, *modem*, memória, processador) e procurar-se por retângulos de cor preta, cercados de pequenos pinos, que representam um ou mais encapsulamentos presentes no produto.

Quadro 2 - Siglas dos tipos de encapsulamento

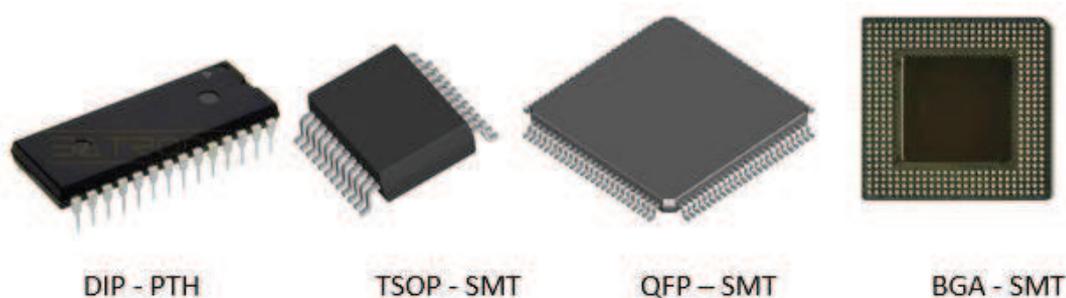
Sigla	Tipos de Encapsulamento
DIP	Dual In Package
PGA	Pin Grid Array
QFP	Quad Flat Package
BGA	Ball Grid Array
CSP	Chip Scale Package
SIP	System in Package
SOP	Small Outline Package

Fonte: Adaptado de Tummala (2001).

Segundo Peter (2014), devido ao aumento da complexidade e da área dos *chips*, a complexidade do encapsulamento também evoluiu. Houve aumento significativo do número de pinos, aumento da área, diminuição da espessura e redução das dimensões dos pinos.

Novas tecnologias de montagem foram criadas, como é o caso da tecnologia de montagem na superfície *Surface Mount Technology* (SMT) que substituiu a montagem através de furos nas placas *Pin Through Hole* (PTH), aumentando a densidade dos circuitos e permitindo a automação da montagem. A Figura 14 apresenta encapsulamentos PTH e SMT típicos. (TUMMALA, 2001).

Figura 14 - Encapsulamentos PTH e SMT típicos



Fonte: Tummala (2001).

Novos tipos de encapsulamento foram criados também, como no caso dos BGAs (*Ball Grid Arrays*) que permitem um número bem maior de pinos, ou conexões.

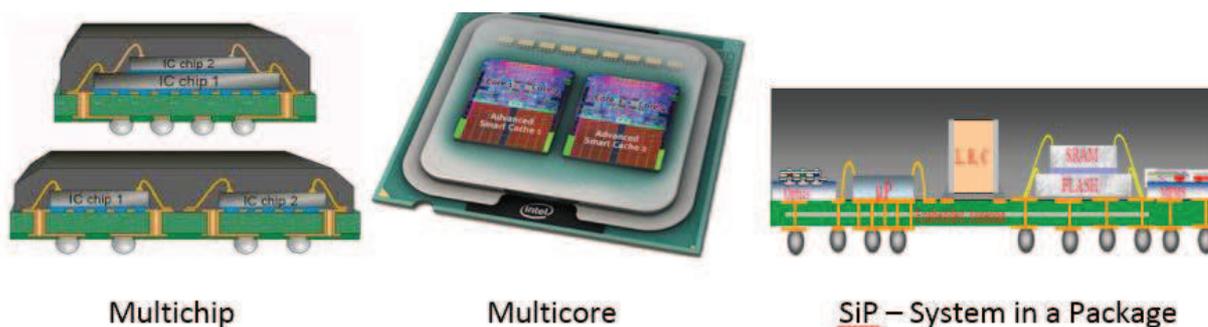
Quadro 3 - Siglas dos encapsulamentos PTH e SMT típicos

Sigla	Tipos de Encapsulamento
DIP – PTH	Dual In Package – Pin Trough Hole
TSOP – SMT	Thin Small Outline Package – Surface Mount Technology
QFP – SMT	Quad Flat Package – Surface Mount Technology
BGA – SMT	Ball Grid Array – Surface Mount Technology

Fonte: Adaptado de Tummala (2001).

Tecnologias que permitem o empilhamento ou montagem de diversos *chips* em um único encapsulamento, como o *System in a Package* (SiP), *Multicore* e *Multichip* modules também foram criados (Figura 15). Estas tecnologias, inclusive, são vistas como uma alternativa para continuar o aumento da integração dos circuitos de uma forma mais econômica do que a redução das dimensões mínimas do processo de fabricação dos *chips* (Lei de Moore).

Figura 15 - Tecnologias avançadas de encapsulamentos



Fonte: Multi... (2015).

Toda essa evolução, além do aumento da complexidade dos processos e equipamentos, resulta na necessidade do desenvolvimento de novos materiais para atender as demandas cada vez mais exigentes e específicas dos encapsulamentos.

2.8 Etapas do Processo de Encapsulamento

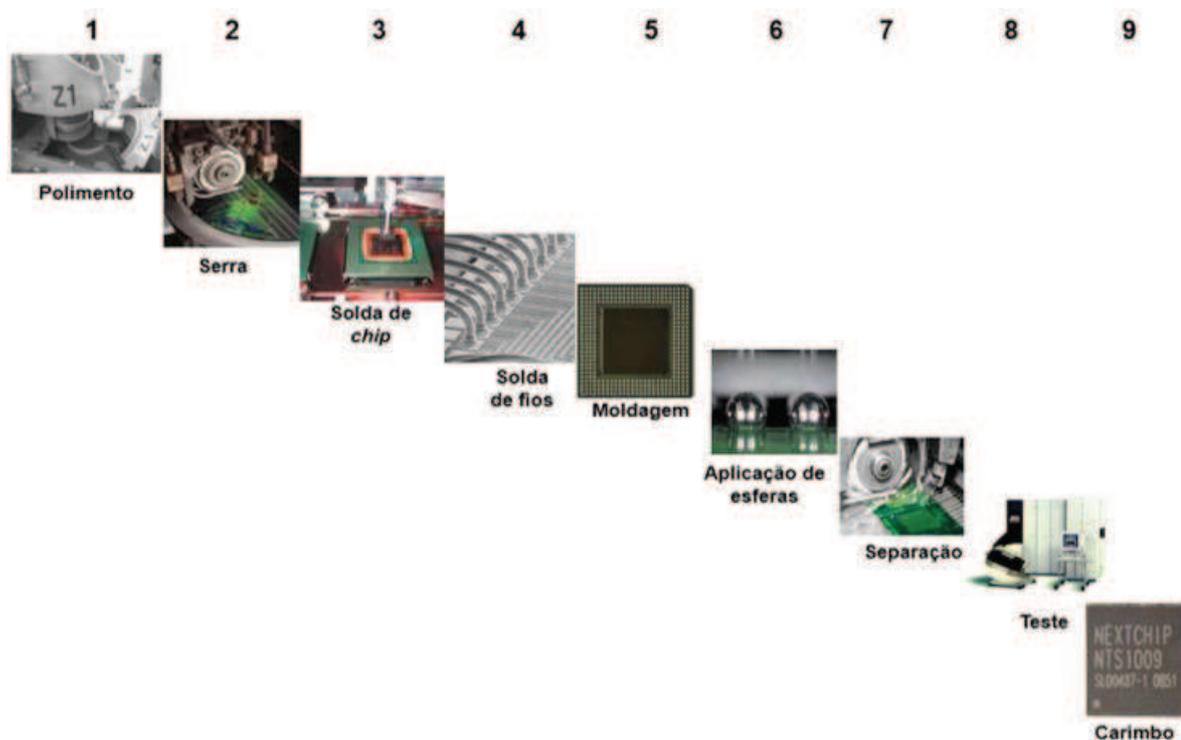
Segundo Tummala (2001), o encapsulamento pode ser definido como a tecnologia de interconexão de componentes eletrônicos. Esta tecnologia permite definir e controlar o ambiente operacional dos arranjos com o objetivo de cumprir especificações em termos de:

- desempenho;
- confiabilidade;
- custo;
- velocidade;
- tamanho.

O processo convencional de encapsulamento de semicondutores, Figura 18, do tipo BGA constitui-se de 9 etapas, sendo elas:

- a) polimento das lâminas;
- b) serra das lâminas;
- c) solda de *chip*;
- d) solda de fios;
- e) moldagem;
- f) aplicação de esferas de solda;
- g) separação;
- h) teste;
- i) carimbo.

Figura 16 - Etapas do processo de fabricação e encapsulamento típicos



Fonte: Adaptado de Peter (2014).

2.8.1 Polimento das Lâminas

O desenvolvimento de dispositivos eletrônicos é baseado em rigorosos requisitos de peso e tamanho. A espessura dos *wafers* afeta o tamanho do

encapsulamento, de modo que quanto mais fino o *wafer*, menor pode ser o encapsulamento. Um dos processos mais comuns utilizados para diminuir a espessura do *wafer* é o processo de polimento das lâminas. O processo de polimento das lâminas é um processo intensivo de energia, uma vez que requer uma grande quantidade de energia por unidade de volume de material removido. Durante a remoção de material, uma parte da energia mecânica é convertida em calor, levando a um aumento de temperatura na zona de contato de polimento. (ABDELNABY et al., 2012).

Além da redução do tamanho do encapsulamento, o polimento das lâminas proporciona muitas outras vantagens, tais como, empilhamento de *chips* em um único encapsulamento, mais funcionalidade e aumento da dissipação de calor. (SEKHAR et al., 2008).

A indústria de encapsulamento tem colocado muitos esforços em pesquisa e desenvolvimento e gastam milhões de dólares em tecnologias de afinamento dos *wafers*, já que não há nenhuma tecnologia de fabricação disponível para produzir diretamente os *wafers* ultra-finos. Um dos processos utilizados para este afinamento é o polimento das lâminas, ou *back grinding*. (SEKHAR et al., 2008).

2.8.2 Serra das Lâminas

O corte mecânico com lâminas é o primeiro passo no processo de encapsulamento assim como também é a técnica de corte mais comum usada na indústria de semicondutores. (SHI et al., 2009).

O tamanho e a espessura dos *chips* semicondutores continuam a diminuir com o aumento da demanda por equipamentos eletrônicos de pequeno porte, tais como: telefones móveis e dispositivos portáteis. Esta tendência tem criado problemas relacionados aos processos que serram os *wafers*. As ferramentas utilizadas no processo de serra das lâminas são denominadas *blades* (Fotografia 3). Neste processo, também chamado de *wafer dicing*, as linhas de corte são serradas individualmente. O número de linhas que cortam aumenta com a redução de *chips* semicondutores. Assim, a técnica da serra das lâminas é um processo que consome tempo. Além disso, o número de *dice* em um *wafer* pode ser limitado já que estes são mais propensos a quebrar durante o processo de corte, no caso de dispositivos finos, resultando num aumento da perda de rendimento. (ASANO et al., 2015).

Fotografia 3 - Lâminas de corte (blades)



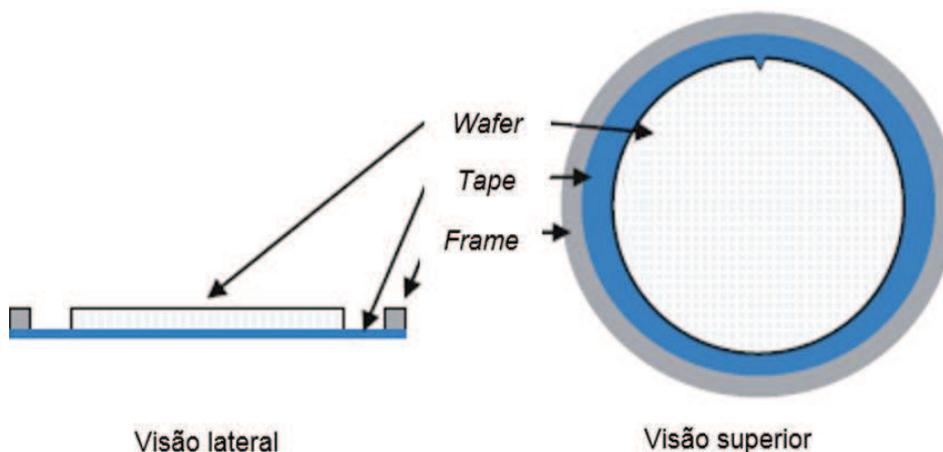
Fonte: Registrada pelo autor.

Segundo Efrat (1993), o processo de serra das lâminas, ou *wafer dicing*, é um processo mecânico de remoção de material a partir de uma lâmina por partículas abrasivas, geralmente diamantes sintéticos. A ferramenta é uma lâmina circular fina feita de uma matriz de níquel que contém os diamantes.

Os diamantes cortam o material afastado por aplicação de níveis de estresse que quebram os laços cristalográficos internos. A energia é fornecida pela velocidade periférica elevada da lâmina, 300 km/h, quando em rotação a 30.000 rpm. (EFRAT, 1993).

Kroeninger (2009) diz que em um fluxo convencional de encapsulamento, os *wafers* são montados sobre uma armação de corte, *frame*, em placas através de um filme para corte (*tape*), e individualizadas em *dice* (Figura 17).

Figura 17 - Visão superior e lateral de wafer montado sobre um tape e frame para corte



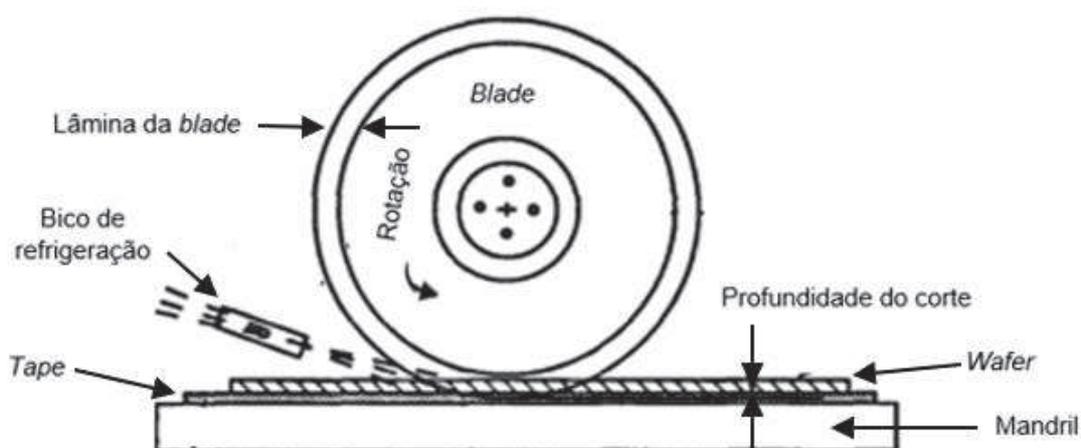
Fonte: Adaptado de Kroeninger (2009).

Os *frames* podem ser utilizados em paralelo para melhorar o rendimento. Também é possível utilizar diferentes lâminas. A lâmina mais larga, Z1, geralmente corta dois terços da espessura *wafer* e, em seguida, uma lâmina mais fina, Z2, corta o resto da espessura *wafer*. O *wafer dicing* é um processo abrasivo e, do ponto de vista mecânico, semelhante ao *back grinding*. A espessura da lâmina para o corte em *dice* de silício tipicamente varia de 20 a 50mm. Este processo poderia causar lascas, ou *chipping*, e rupturas nas bordas dos *dice*. (KROENINGER, 2009).

Para Kroeninger (2009), a perda de rendimento no processo de serra das lâminas é causada por danos ou danos potenciais para a área ativa dos *dice*. Isso pode resultar de:

- a) exatidão do posicionamento do corte: a função dos sistemas de visão e posicionamento de serra. A largura do *kerf* depende primariamente da espessura da *blade*;
- b) os *kerfs* mais largos, se a *blade* não está perfeitamente alinhada com o movimento de avanço ou se fortes vibrações axiais são transmitidas para a *blade*.;
- c) tamanho do *chipping*: o único fator de perda de rendimento relacionado ao processo.

Figura 18 - Processo de *wafer dicing*



Fonte: Adaptado de Efrat (1993).

Dois outros fatores, de acordo com Efrat (1993), de perda de rendimento que podem ocorrer no processo de *wafer dicing*, mas não estão relacionados com a interação entre a *blade* e o *wafer*, são:

- a) a contaminação da superfície da matriz (especialmente os *pads* de ligação) por resíduos de silício, causadas por uma limpeza insuficiente após o processo de *wafer dicing*;
- b) a descarga eletrostática (ESD) pode afetar os *chips* pois, quando o *wafer* é movido através do ar a alta velocidade da água pode desenvolver alta carga estática e descarregá-lo para o *wafer*.

2.8.3 Colagem de *Chip*

O processo de colagem de *chip*, *die attach* é um dos métodos mais utilizados no encapsulamento de *dice* montados em substratos, principalmente devido à sua flexibilidade e à eficácia de custo. (SINN; CHEE, 2007).

O processo de *die attach* é o processo mais utilizado para realizar a conexão entre o *die*, o dispositivo e o resto do sistema no encapsulamento de eletrônicos. Durante este processo, o *die* é retirado do *wafer* e enviado até a placa de circuito impresso (PCI) onde, então, é colado a este. No processo de *die attach* com cola de *chip*, é necessário realizar a cura após a colagem do *chip*. Um modo de falha comum, a inclinação (*tilt*) do *chip*, piora consideravelmente a confiabilidade e o desempenho dos dispositivos eletrônicos encapsulados. (ZHENG et al., 2014).

De acordo com Peter (2014), as etapas do processo de *die attach* são as seguintes:

- a) pré bake do PCB, quando necessário acontece sob temperatura entre 110 a 130°C durante 30 a 60 minutos e é responsável pela eliminação de umidade do substrato;
- b) plasma de ar para limpeza do *chip*;
- c) aplicação da cola de *chip*, com *stencil* ou dispensador;
- d) colagem do *chip*, sob força de 4 quilogramas a 195°C;
- e) cura durante 30 a 60 minutos sob temperatura entre 150 a 180°C;
- f) plasma de ar para segunda limpeza;
- g) inspeção de controle da qualidade.

2.8.4 Soldagem de Fios

A tecnologia de soldagem de fios, ou *wire bonding*, tem sido aplicada há mais de 60 anos. O conhecimento sobre este processo é amplo e maduro. (SINGH et al., 2012).

O processo chamado de soldagem de fios, ou *wire bonding*, é a tecnologia mais comum de interconexão do *chip* ao substrato. A maioria dos semicondutores utiliza esta tecnologia. Apesar das repetidas previsões de que as interconexões de fio atingiram seu limite físico, a tecnologia continua a superar, ou por espessuras mais finas ou por custo baixo se comparado com investimento inicial para mudar para outra tecnologia. (TUMMALA, 2001).

A soldagem de fios, ou *wire bonding* é o método predominante de interconexão entre o *chip* e o PCI nos circuitos integrados utilizados no mundo todo. Muitos trilhões de *wire bonds* são feitas anualmente. O *wire bonding* é uma técnica confiável, flexível e de baixo custo quando comparada a outras técnicas de interconexão microeletrônica, pois as falhas detectadas são, geralmente, nas partes de um único dígito por milhão, o que é considerado muito abaixo. À medida que o número de interconexões no circuito integrado cresce com o aumento da funcionalidade, os *pads* de ligação estão tornando-se menores e mais próximos. Em toda parte na indústria de microeletrônica novas aplicações, materiais e estruturas estão aparecendo e desafiando o desempenho e, conseqüentemente, o domínio do *wire bonding*. (CHARLES, 2009).

Segundo Tummala, Rymaszewski e Klopfenstein (2001c), o *wire bonding* é feito com fios de ouro (de 0,017 milímetros) utilizando força, temperatura e ultrassom. As tecnologias mais empregadas para a interconexão elétrica por meio de fios, ou soldagem de fios, são:

- a) termo-compressão, onde duas superfícies metálicas (Au-Au ou Au-Al) são soldadas a temperatura (300 a 500°C) e tempo controlados;
- b) ultra-sônica, que é em processo realizado a temperatura ambiente (25°C) e a fonte de energia é fornecida por um transdutor ultra-sônico, com frequência que varia de 20 a 60 KHz utilizando materiais como Au e Al;
- c) termo-sônica, que combina as duas técnicas anteriores, trabalhando com temperatura (100 a 150°C), energia ultra-sônica e materiais como Au, Al e Cu.

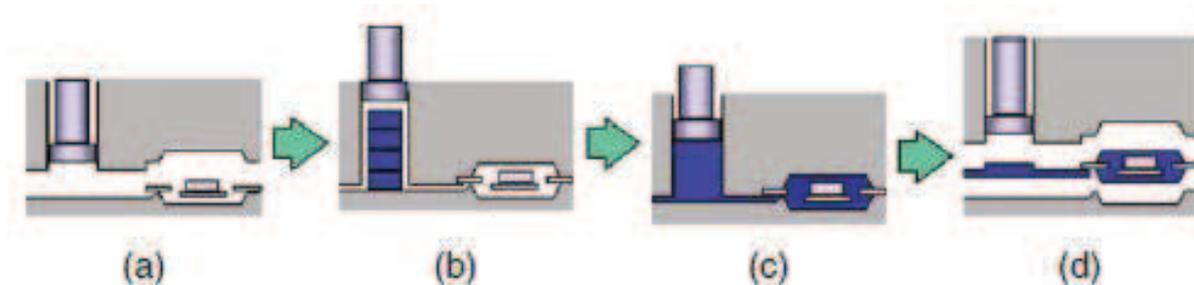
2.8.5 Moldagem

Na etapa de moldagem, ocorre a aplicação do composto de epóxi para moldagem (EMC) que servirá como proteção do chip e suas conexões elétricas contra agentes externos.

Segundo Komori e Sakamoto (2009) o processo de moldagem por transferência, como mostrado na Figura 19, inclui os seguintes passos:

- colocar os substratos nas cavidades do molde aquecido;
- fechar o molde e injetar, sob pressão, o material através de sua cavidade;
- manter o material comprimido na cavidade sob pressão até que o material seja curado;
- abrir o molde;
- soltar o substrato moldado (encapsulado).

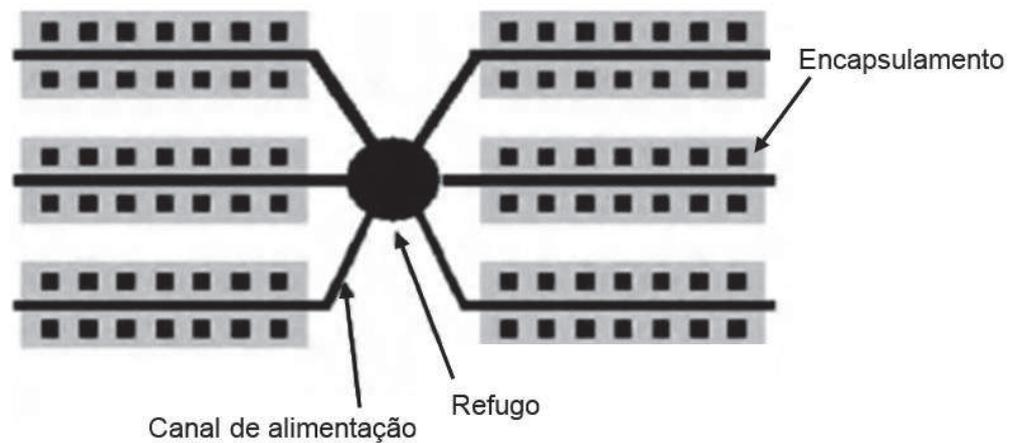
Figura 19 - Etapas do processo de moldagem



Fonte: Adaptado de Komori e Sakamoto (2009).

Komori e Sakamoto (2009) colocam que existem dois tipos de moldagem: um método convencional em que peletes de grandes dimensões são alimentados a partir de um canal de alimentação e enviados às múltiplas cavidades em uma grande matriz de *díce*, Figura 20.

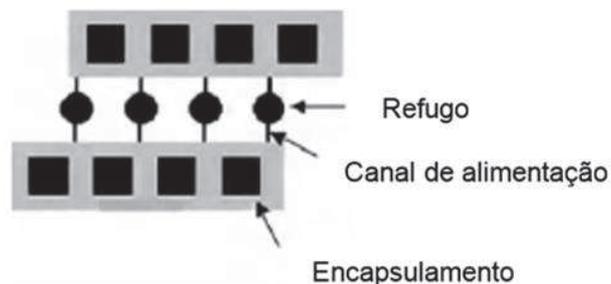
Figura 20 - Método de alimentação de EMC no processo de moldagem por transferência



Fonte: Adaptado de Komori e Sakamoto (2009).

Komori e Sakamoto (2009) revela que um método de multi-êmbolo onde pequenos comprimidos são alimentados a partir de vários canais de alimentação em uma ou poucas cavidades presentes num molde, Figura 21.

Figura 21 - Método de alimentação de EMC no processo multi-êmbolo



Fonte: Adaptado de Komori e Sakamoto (2009).

De acordo com Peter (2014), a temperatura do molde é geralmente definida entre 170 e 180°C. O tempo de moldagem é geralmente 120s no método convencional e de 60 a 90s no método multi-êmbolo. O método multi-êmbolo é mais vantajoso e mais amplamente utilizado devido à uniformidade do EMC curado em diferentes cavidades, a pequena quantidade de resíduos indesejáveis e a facilidade de automação.

Após o processo de moldagem, os semicondutores encapsulados são curados a fim de que o EMC atinja os melhores índices das suas propriedades. As condições para a cura, geralmente, são à temperatura de 170 a 180°C por 2 a 8 horas. (PETER, 2014).

2.8.6 Aplicação de Esferas

A aplicação de esferas, ou *solder ball attach*, é a etapa do encapsulamento onde são adicionadas as esferas de solda que servirão para o contato elétrico do *die* encapsulado com o meio externo. A tecnologia mais utilizada para a aplicação de esferas, ou *solder ball attach*, é a da transferência das esferas de solda com o uso de fluxo altamente viscoso que cola a esfera de solda no *pad* do PCI, o *pick and place*. (SY et al., 2007).

As etapas do *solder ball attach* são: a aplicação do fluxo de solda, o posicionamento das esferas à vácuo, a refusão à 270°C em um forno com sete zonas e a lavagem da placa com a água deionizada à 45°C e cura à 80°C. (SEUNG et al., 2010).

Segundo Seung et al. (2010), das etapas citadas acima, a etapa considerada mais crítica no processo de *solder ball attach* é a etapa de refusão, pois é nesta etapa que ocorrem a evaporação do solvente do fluxo de solda, a ativação e limpeza dos óxidos metálicos, a soldagem das esferas e o resfriamento da placa, que deve ser lento a fim de evitar o empenamento da mesma.

2.8.7 Separação

A separação, ou *singulation*, ou *sawing and sorter*, é a etapa do encapsulamento onde os *chips* encapsulados são individualizados e inspecionados visualmente de forma automática. Esta inspeção visual automática confere se os parâmetros de largura, comprimento, marcação e soldagem das esferas, atendem aos requisitos em termos de qualidade.

O processo de separação nos encapsulamentos de circuitos integrados envolve o corte dos substratos moldados com as esferas de solda já coladas ao substrato. O corte consiste basicamente de uma *blade* montada sobre uma alta velocidade de rotação do eixo para cortar o PCB já moldado. Esta operação deve

possuir extrema precisão no corte devido aos padrões dimensionais do encapsulamento. Esta precisão está integrada ao sistema de corte que possui marcas fiduciais localizadas na superfície dos substratos. Os produtos resultantes deste processo são as memórias. (VIJCHULATA, 2003).

2.8.8 Teste

Segundo Agraval e Bushnell (2001), o teste é a parte do encapsulamento que realiza as etapas que garantem a confiabilidade, durabilidade, qualidade e diferenciação dos produtos. A etapa de teste pode ser dividida da seguinte forma:

- a) teste paramétrico que detecta as falhas grosseiras relacionadas aos processos anteriores, também chamado de montagem, ou *assembly*. Nesta etapa são feitos testes rápidos e simples com corrente contínua;
- b) teste de envelhecimento (Burn-in) que detecta falhas que causam o mau funcionamento precoce do componente (mortalidade infantil). Nesta etapa são aplicados testes de estresse a 180°C durante 4 horas;
- c) teste funcionais, que detectam e classificam os componentes com falhas funcionais específicas em temperaturas extremas. São realizados testes exaustivos e abrangentes a temperaturas de 87°C e -5°C.

2.8.9 Carimbo

É nesta etapa de encapsulamento onde os dados de fabricação, como logotipo da empresa, número do produto (*part number*) e o número do lote são gravados a laser individualmente em cada *chip*.

De acordo com Vicent (2014), em qualquer companhia de Montagem e Teste, as *Assembly & Test Manufacturing* (ATM), a prioridade é que mais e mais produtos saiam das linhas de montagem gerando lucro para estas companhias. Entretanto, apenas esta saída não é o suficiente para assegurar a sobrevivência destas empresas. As empresas devem assegurar a inexistência de devoluções e/ou reclamações dos clientes a fim de evitar danos à sua imagem. Caso isso aconteça, o que vai identificar o histórico deste produto com falha, são as identificações

descritas, as marcações, no produto encapsulado. Aos acessos e às informações deste histórico, dá-se o nome de rastreabilidade.

A marcação, ou carimbo, ou *laser marking*, é uma parte integrante do processo de fabricação de qualquer empresa de semicondutores. Ela é feita nas unidades concluídas e contém uma grande quantidade de informações importantes, tais como: especificação do produto, tipo de produto, velocidade, país de origem, ano de fabricação, número de lote. (VICENT, 2014).

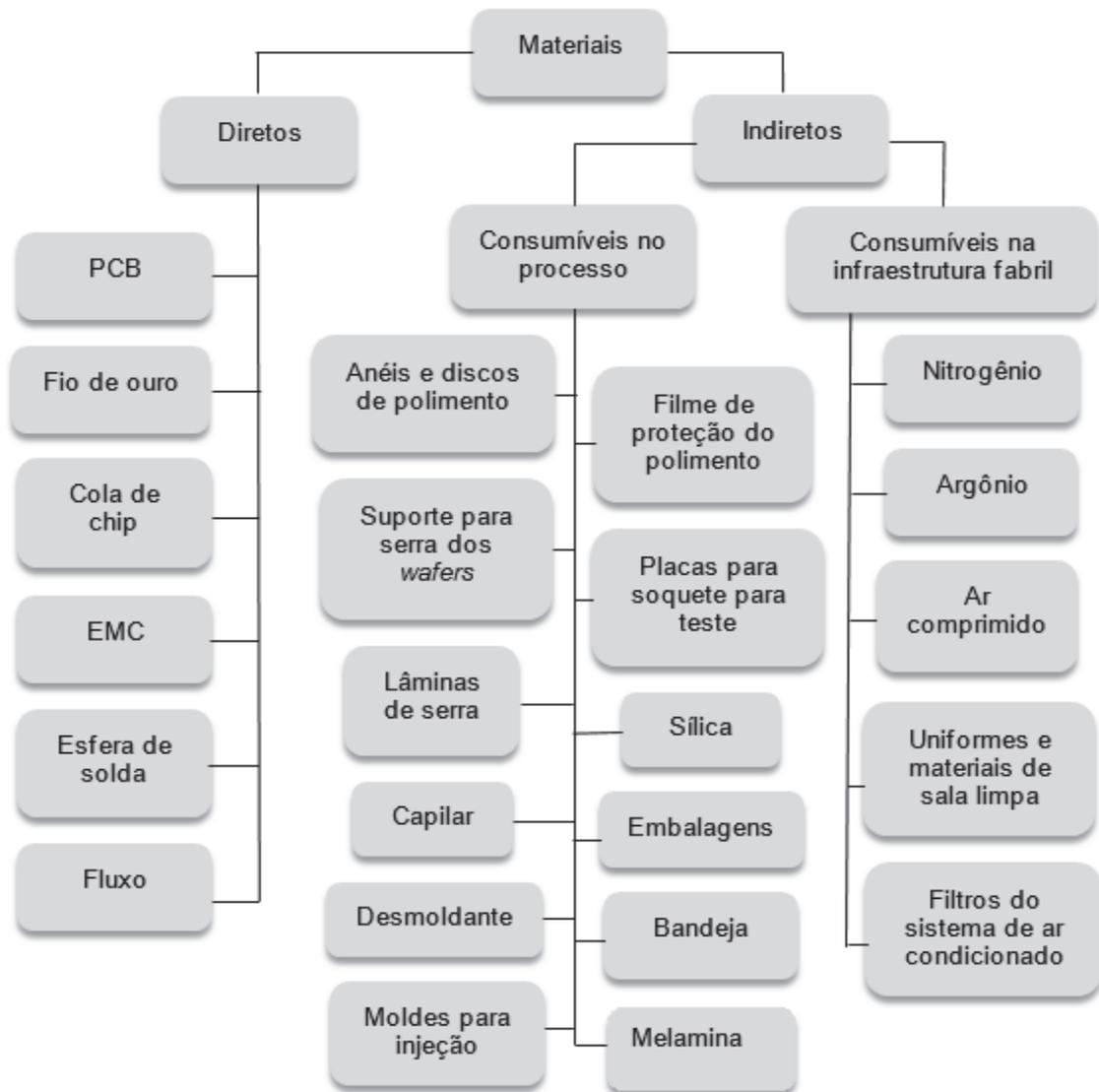
Para Vicent (2014), uma unidade sem marcação ou marcação ilegível se torna sem sentido para o cliente. Consequentemente, a qualidade da marcação é crítica para o processo de fabricação.

O *laser marking* é um processo de aplicação de descarga guiadas por laser que geram uma imagem no produto encapsulado. A marcação usa uma descarga que poder ser realizada com uma potência de saída do laser muito menor do que a utilizada. A marcação é um meio de inscrever informações, tais como as espécies de materiais e nome do modelo, em produtos com a finalidade de controle da produção e identificação. Ela pode ser realizada pela escultura com uma ferramenta de borda, impressão com tinta, ou marcação a laser. A marcação a laser tem algumas vantagens, tais como permitir a marcação de caracteres pequenos que não são removidos por lavagem. (HOSHI et al., 2000).

2.9 Tipos de Materiais Utilizados no Encapsulamento de Semicondutores

No encapsulamento de semicondutores de componentes do tipo BGA, os materiais utilizados podem ser divididos no que se pode chamar de materiais diretos e indiretos, conforme Figura 22.

Figura 22 - Materiais utilizados no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

Os materiais indiretos são os materiais que auxiliam o processo de encapsulamento e podem ser divididos entre os consumíveis no processo de fabricação e os consumíveis na estrutura fabril.

Os consumíveis no processo de fabricação são:

- a) filme de proteção do polimento;
- b) anéis e discos de polimento;
- c) suportes dos *wafers* para serra (*frames*);
- d) capilar;
- e) lâminas de serra (*blade*);

- f) desmoldante;
- g) melamina;
- h) moldes para injeção;
- i) bandeja;
- j) placas e soquetes para teste;
- k) sílica;
- l) embalagens.

Já os consumíveis na infraestrutura fabril são:

- a) nitrogênio;
- b) argônio;
- c) água ultrapura e os produtos químicos empregados para a sua purificação (ácido clorídrico, soda cáustica, resinas);
- d) filtros do sistema de ar condicionado;
- e) ar comprimido;
- f) uniformes e materiais de sala limpa.

Os materiais diretos, ou matérias-primas, são aqueles que fazem parte da estrutura do produto final. Sendo eles:

- a) placa de circuito impresso (PCI ou PCB);
- b) cola de chip;
- c) fio de ouro;
- d) composto de epóxi para moldagem (EMC);
- e) fluxo;
- f) esferas de solda.

Na sua grande maioria, os materiais mais utilizados no encapsulamento de semicondutores são: os metais e os polímeros. Entre os metais, destacam-se o ouro, o alumínio, o estanho e as ligas de cobre. Já entre os polímeros destacam-se o epóxi, a poliamida e o silicone. (PETER, 2014).

A Figura 23 mostra, através dos anos, o aumento do número de elementos químicos utilizados no encapsulamento de semicondutores.

Figura 23 - Elementos utilizados no encapsulamento de semicondutores

	I	II											III	IV	V	VI	VII	0	
1	H																		He
2	Li	Be											B	C	N	O	F	Ne	
3	Na	Mg											Al	Si	P	S	Cl	Ar	
4	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr	
5	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe	
6	Cs	Ba	La	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn	
7	Fr	Ra	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu			
			Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr			

Fonte: Peter (2014).

2.9.1 Metais

Um metal é um elemento, substância ou liga metálica caracterizado por sua boa condutividade elétrica e térmica, geralmente apresentando cor prateada ou amarelada, um alto ponto de fusão e de ebulição e uma elevada dureza. Qualquer metal pode ser definido também como um elemento químico que forma aglomerados de átomos com caráter metálico. Num metal, cada átomo exerce apenas uma fraca atração nos elétrons mais externos, da camada de valência, que podem então fluir livremente, proporcionando a formação de íons positivos (ou cátions) e o estabelecimento de ligações iônicas com não-metais. Os elétrons de valência são também responsáveis pela alta condutividade dos metais. (CALLISTER, 2010).

Os metais são um dos três grupos de elementos distinguidos por suas propriedades de ionização e de ligação, junto com os metalóides (essa primeira classificação está caindo em desuso, por isso os metalóides foram revisados e alguns foram classificados como metais, e outros como ametais) e os não-metais. A maioria dos metais é quimicamente estável, com a exceção notável dos metais alcalinos e alcalino-terrosos, encontrados nas duas primeiras colunas à esquerda da tabela periódica. Alguns elementos antes classificados como metalóides hoje são

considerados metais, são esses: o Antimônio, o Germânio e o Polônio, os demais são considerados ametais. (SHACKELFORD, 2008).

Os não metais, ou ametais, são elementos eletronegativos, isto é, ganham elétrons de valência. Ao contrário dos metais, um não metal pode ser considerado um isolador ou um semicondutor. Os não metais podem formar ligações iônicas com os metais ao ganharem elétrons, ou ligações covalentes com outros não metais. (SHACKELFORD, 2008).

2.9.2 Polímeros

Polímeros são macromoléculas em que existe uma unidade que se repete, chamada monômero. O nome vem do grego: poli = muitos + meros = partes, ou seja, muitas partes. A reação que forma os polímeros é chamada de polimerização. (CANEVAROLO, 2013).

A polimerização pode ser dividida em dois tipos básicos: a polimerização por adição (em cadeias) e a polimerização por condensação (em etapas).

Na polimerização por adição, a ligação dupla do monômero é quebrada e adicionado outro monômero que também terá sua ligação dupla rompida, permitindo assim a continuidade do processo. Não há eliminação de pequenas moléculas. Diversos mecanismos podem quebrar a dupla ligação para iniciar a polimerização, como por exemplo, mecanismos catiônico, aniônico, radicalar em diversos meios (emulsão, volume, suspensão). Os tipos de monômero, os diferentes mecanismos e meios definem as características do polímero formado. O polietileno e o poliestireno são exemplos de polímeros sintetizados por polimerização em cadeia. (DIAS et al., 2012).

Na polimerização por condensação duas ou mais substâncias diferentes, por exemplo, monômeros bifuncionais e trifuncionais, reagem para formar longas cadeias poliméricas e pequenas moléculas. Os vários poliésteres, as poliamidas, entre outros, são exemplos deste tipo de polimerização. (DIAS et al., 2012).

Através das características de fusibilidade e/ou solubilidade, que obrigam a escolha de processamento tecnológico adequado, os polímeros podem ser agrupados em termoplásticos e termorrígidos. Os polímeros termoplásticos fundem por aquecimento e solidificam por resfriamento, em processo reversível. Os polímeros termorrígidos, por aquecimento ou outra forma de tratamento, assumem estrutura reticulada, com ligações cruzadas, tornando-se infusíveis. (MANO, 2012).

O epóxi, material muito utilizado no encapsulamento de semicondutores, é um exemplo de polímero termorrígido.

Para demonstrar a importância do estudo dos polímeros, basta mencionar que a variedade de objetos a que se tem acesso hoje se deve à existência de polímeros sintéticos, como por exemplo: sacolas plásticas, pára-choques de automóveis, canos para água, painéis antiaderentes, mantas, colas, tintas, chicletes, utensílios domésticos, brinquedos, materiais hospitalares e o encapsulamento de semicondutores.

2.10 Materiais Utilizados no Encapsulamento de Semicondutores do Tipo BGA

Os materiais utilizados no encapsulamento de semicondutores do tipo BGA que serão abordados a partir de agora, são os materiais diretos. Os materiais diretos são aqueles que fazem parte da composição do produto encapsulado e os seus requisitos devem contemplar, dentre outros: condutividade e estabilidade térmica, resistência química, compatibilidade metalúrgica, resistência ao impacto.

2.10.1 Placa de Circuito Impresso

Placas de circuito impresso (PCB) são partes essenciais dos produtos eletrônicos. Além de proporcionar interligações elétricas, as funções de PCB incluem mecanicamente apoiar os componentes montados sobre eles e proporcionar um ambiente de trabalho seguro para todo o dispositivo, tal como oferecendo um caminho para a condução térmica para longe dos componentes. (LAHOKALLIO, 2011).

Segundo Tummala, Rymaszewski e Klopfenstein (2001c), o substrato, ou PCB (do inglês *printed circuit board*), é um composto de materiais orgânicos e inorgânicos que permite que os eletrocomponentes sejam eletricamente interligados e apoiados mecanicamente. Além disso, o substrato deve fornecer energia para os componentes e conduzir o calor quando necessário. Os primeiros substratos desta natureza foram desenvolvidos por Paul Eisler no início dos anos 1940, quando ele foi capaz de criar substratos de cobre com banho químico de cloreto férrico. O objetivo da utilização de um substrato é, portanto:

- a) interligar eletricamente todos os componentes de um encapsulamento;
- b) apoiar e fixar mecanicamente os componentes eletrônicos e eletromecânicos;

c) fornecer energia e dissipar o calor gerado pelos componentes.

Os PCBs são, em grande parte, laminados feitos à base de epóxi-vidro e, tipicamente, menores do que 0,1mm. Os laminados mais finos são usados na fabricação de *paggers* e calculadoras, ao passo que os de tamanho médio, 0,5mm, são utilizados na fabricação de *notebooks*, computadores e rádios. Os substratos mais *grossos* são utilizados em impressoras e monitores de TV, e são predominantes em computadores pessoais e estações de trabalho. (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 2001c).

De acordo com Sood et al. (2010), o material mais amplamente utilizado na fabricação de placa de circuito impresso (PCB), o laminado FR-4, é um composto de resina epóxi reforçado com fibra de vidro. Os componentes típicos de um PCB fabricado com laminado FR-4 estão descritos no Quadro 4. A fibra de vidro serve de reforço para o laminado, proporcionando resistência mecânica. O sistema de resina atua como um aglutinante e agente de transferência de carga para o laminado e consiste, primariamente, de vários grupos epóxis. Os aditivos, tais como os agentes de cura, retardantes de chama, preenchedores e aceleradores são adicionados para ajustar as propriedades dos laminados.

Quadro 4 - Constituintes típicos de um laminado de FR-4

Constituinte	Função	Exemplo de material
Reforço	Proporciona resistência mecânica	Fibra de vidro
Agente de acoplamento	Faz a ligação entre a vidro (inorgânico) e a resina (orgânica)	Organosilanos
Resina	Atua como aglutinante e agente de transferência de carga	Epóxi
Agente de cura	Reforça as ligações cruzadas na polimerização da resina	Fenol formaldeído, dicianodamina
Retardante de chama	Reduz a flamabilidade do material	Halogenados ou livres de halogênios (compostos de Fósforo)
Preenchedor	Reduz a expansão térmica	Silicato de alumínio, hidróxido de alumínio
Acelerador	Aumenta a taxa de reação, reduz a temperatura de cura, controla a densidade das ligações cruzadas	Organofosfina, imizadol

Fonte: Adaptado de Sood et al. (2010).

Os agentes de cura são os aditivos mais críticos, uma vez que eles é que controlam a reticulação da matriz epóxi, que é um termofixo. A dicianodamina (DICY) e a novolac de fenol (fenólico). Após curados, os epóxis oferecem melhor resistência mecânica, resistência química, resistência à umidade e melhores propriedades mecânicas. Os retardantes de chama são adicionados à matriz epóxi para reduzir a inflamabilidade do material laminado. O tetrabromobisfenol (TBBPA) é o retardante de chama halogenado mais comumente usado para sistemas de resina epóxi. O fósforo e o hidróxido de alumínio são alguns dos retardadores de chama isentos de halogênio. Cargas inorgânicas, tais como hidróxido de alumínio, são adicionados à resina epóxi para reduzir o coeficiente de expansão térmica (CTE) do laminado e, ao mesmo tempo, aumentar o retardamento da chama e reduzir os custos de material. Os aceleradores, tal como o imidazol, são utilizados para aumentar a taxa de reação de cura e a controlar a densidade de reticulação do sistema epóxi. (SOOD et al., 2010).

2.10.2 Fio de ligação

Os fios de ligação utilizados na soldagem de fios têm uma variedade de materiais puros e suas ligas. Os fios redondos são os mais comuns e seus diâmetros são pequenos (5 μm). Os principais materiais utilizados para esses fios são: o ouro (puro e ligas), o alumínio (puro), o alumínio, com 1% de silício, o alumínio com magnésio, e, mais recentemente o de cobre. As propriedades típicas para estes fios são dadas na Tabela 1. (CHARLES, 2009).

De acordo com Charles (2009), o ouro tem sido o material dominante utilizado para o processo de soldagem de fios. O ouro usado é extremamente puro (99,99%) com um total de impurezas normalmente inferior a 10 ppm.

A soldagem de fios, ou *wire bonding*, continua a ser o método predominante de interligação entre o *die* o PCI no encapsulamento de semicondutores. Apesar da utilização de cobre (Cu) na soldagem de fios ser avaliada durante mais de uma década em substituição à utilização de ouro (Au) na soldagem de fios, esta mudança ainda é um processo desafiador, o que ainda torna a utilização do ouro a melhor opção a ser adotada em várias frentes de aplicação. (KUMAR et al., 2010).

Tabela 1 - Propriedades térmicas e elétricas dos materiais na soldagem de fios

Material	Ponto de fusão °C	Condutividade térmica w/m-K	Coefficiente de expansão térmica x 10 ⁻⁶ /°C	Resistividade térmica x10 ⁻⁶ Ω-cm	Condutividade elétrica %
Alumínio (99,99% de pureza)	660	230	23 a 24	2,49 a 2,77	69 a 62
Alumínio + 1% de silício	600 a 630	195	22 a 23	2,96 a 3,18	58 a 54
Alumínio + 0,5 a 1% de Magnésio	654	180 a 195	22 a 24	3,01	57
Ouro (99,99% de pureza)	1.063	312	14 a 15	2,20 a 2,29	78 a 75
Cobre (99,99% de pureza)	1.083	395	16 a 17	1,72 a 1,81	100 a 95
Paládio 99,99% de pureza)	1.552	75	10 a 12	10,75 a 15,63	16 a 11

Fonte: Adaptado de Charles (2009).

2.10.3 Composto de Epóxi para Moldagem

O composto de epóxi para moldagem, ou *epóxi molding compound* (EMC), tem sido, e continuará sendo, o principal material para o encapsulamento em virtude das suas vantagens de custo e produtividade. Os avanços nas tecnologias de encapsulamento exigem materiais com baixo estresse térmico e excelente estabilidade em temperaturas elevadas. Os materiais fundamentais de EMC são: resinas epóxi, endurecedores, aceleradores, flexibilizadores, cargas, retardantes de chama, agentes de acoplamento e iniciadores. (KINJO et al., 1989).

Os EMCs têm sido amplamente utilizados como o material de proteção no encapsulamento de semicondutores em virtude deste composto atender aos requisitos, em constante evolução, do encapsulamento. Estes requisitos incluem: o nível de sensibilidade à umidade, moldabilidade, ambientais e de confiabilidade. Os EMCs para semicondutores são utilizados para proteger os *chips* semicondutores do ambiente externo, especificamente a partir de forças físicas externas, tais como o impacto e a

pressão e as forças químicas externas, tais como umidade, calor e raios ultravioleta, mantendo a propriedade de isolamento elétrico. (KOMORI; SAKAMOTO, 2009).

Vários ingredientes de matérias-primas são adicionados a um EMC para cumprir os requisitos de confiabilidade, das propriedades físicas e de moldabilidade. Exemplos de alguns ingredientes típicos são: resinas epóxi, resinas fenólicas, sílica fundida como material de preenchimento, agentes de acoplamento, promotor de cura e iniciador, os quais são matérias-primas importantes que influenciam a força de adesão e moldabilidade do produto resultante. Uma composição típica de um EMC para semicondutor é mostrada na Figura 24. (KOMORI; SAKAMOTO, 2009).



Fonte: Adaptado de Komori e Sakamoto (2009).

Estas matérias-primas são misturadas e amassadas em um misturador ou um rolo misturador sob calor até tornarem-se uma mistura homogênea, depois são resfriados em forma de folhas e pulverizado. O material em pó é peletizado em pastilhas, que são usadas no processo de moldagem, Figura 25. (KOMORI; SAKAMOTO, 2009).

Figura 25 - Exemplo de EMC em forma de pelete e pó



Fonte: Komori e Sakamoto (2009).

2.10.4 Cola de Chip

Há vários tipos de colas de *chip*, ou *die attach adhesive*, no mercado de semicondutores devido às exigências cada vez para o processo de *die attach*. O desenvolvimento de novos materiais para *die attach* até agora, tem combinado com sucesso as exigências da indústria e exigências do mercado e seguindo as tendências de tecnologia de nível encapsulamento. Para determinadas aplicações, os materiais para as colas de *chip* são compostos à base de epóxi com preenchimento metálico, equivalente de 50 a 80% na composição da cola de *chip*, que pode ser de: ouro, prata, alumínio, níquel ou platina. (HOON; KHENG, 2009).

As colas de *chip*, ou *die attach paste*, têm, geralmente, uma maior viscosidade devido ao carregamento de metal ou partículas condutoras na sua composição. Estes metais ou partículas condutoras equivalem de 50 a 70% na formulação das colas de *chip* e podem ser de alumínio, platina, prata ou níquel. Este preenchimento tem a finalidade de melhorar as propriedades dos materiais em termos de módulo de elasticidade, condutividade térmica e elétrica. (WAI et al., 2012).

O *die* deve ser conectado corretamente ao substrato para ter um bom funcionamento. A colagem de *chip* deve fornecer suporte mecânico, dissipação de calor e condutividade elétrica ao dispositivo eletrônico. O tipo de material empregado na colagem de *chip* deve possuir bom desempenho elétrico e gerenciamento térmico e confiabilidade ao sistema eletrônico. Dois dos materiais mais comumente utilizados na colagem de *chip* são à base de epóxi condutor com preenchedores metálicos, normalmente ouro, prata ou níquel. As colas de *chip* devem possuir excelente adesão, baixo arraste, alta resistência à umidade e baixa temperatura de cura. (BAI et al., 2007).

2.10.5 Esfera de Solda

De acordo com Harper (2005), as esferas de solda, ou *solder ball attach*, utilizadas nas interligações mecânicas e elétricas entre componentes eletrônicos incluindo *chips*, módulos e substratos são as esferas cujas ligas geralmente são compostas por estanho (Sn), chumbo (Pb), prata (Ag), bismuto (Bi), índio (In), antimônio (Sb) e cádmio (Cd). Dependendo da utilização, a liga pode variar entre os

elementos e suas proporções, por exemplo, o Sn5/Pb95 que significa 5% de estanho e 95% de chumbo. No geral, os motivos que levam à escolha da liga são:

- a) diferença entre a temperatura de fusão da liga e a temperatura de serviço;
- b) propriedades mecânicas da liga em relação às condições de serviço;
- c) compatibilidade metalúrgica, a consideração do fenômeno de lixiviação e a potencial formação de um composto intermetálico;
- d) ambiente de compatibilidade do serviço, a consideração de migração de prata;
- e) especificações da capacidade de aderência no substrato;
- f) temperatura eutética versus temperatura não eutética da composição.

Devido as considerações ambientais e também de saúde, há uma exigência da fabricação de que os dispositivos sejam livres de chumbo em sua composição e, está sendo um quesito obrigatório no mercado de eletrônicos, principalmente na Europa e Japão. A liga com chumbo permite o processamento a uma temperatura mais baixa do que liga sem chumbo, fato que implica em mudanças na tecnologia de encapsulamento. (TUMMALA; SWAMINATHAN, 2008).

Dessa forma, as principais ligas que contêm chumbo, como Sn60/Pb40, Sn62/Pb36/Ag2 e Sn63/Pb37, deixam de ser utilizadas em encapsulamento de semicondutores e são preferencialmente substituídas por materiais composto por 96.5Sn3.0Ag0.5Cu, comercialmente conhecido como SAC 305. (MURATA et al., 2006).

Restrições à utilização de chumbo (Pb) como base para as ligas de solda em conjuntos de microeletrônica devido à toxicidade e aspectos nocivos inerentes do Pb à saúde humana e ao meio ambiente abrem o caminho para o desenvolvimento de várias ligas de solda livres de Pb. Entre as soldas sem chumbo, a solda 96.5Sn3.0Ag.0.5Cu, SAC 305, parece ser a candidata mais promissora atualmente para substituir a solda de Sn-Pb. Isto deve-se à sua menor temperatura, a força aumentada, a melhoria da fluência e características de fadiga térmica, menor custo com baixo teor de prata e boa compatibilidade com componentes do dispositivo, em comparação com outros sistemas de solda livres de Pb. Os compostos intermetálicos formados entre a solda e o substrato desempenham um papel vital na determinação da confiabilidade a longo prazo de encapsulamentos microeletrônicos. (GHOSH et al., 2013).

2.10.6 Fluxo

De acordo com Barber (1937), o fluxo de solda é o agente promotor da limpeza dos *pads*. Ele também é o agente promotor e acelerador da zona líquida no material em fusão, tendo como função garantir o contato entre os metais brutos para a formação de ligas.

Quanto à composição química, Barber (1937) classifica o fluxo conforme o Quadro 5.

Quadro 5 - Classificação do fluxo quanto à sua composição química

Fluxo	Composição química
Salino	Cloreto de zinco, amônia, cálcio, magnésio, alumínio e outros metais. Soluções de um ou mais destes sais são popularmente conhecidos como ácidos.
Ácido carboxílico	Esteárico, oleico, palmítico, benzoico, tartárico, furóico, ftálico e ácidos orgânicos similares.
Base orgânica fraca	Anilina, uréia, etileno, diamina, acetamina e outros aminas e amidos.
Resinas	

Fonte: Adaptado de Barber (1937).

Quanto à sua aplicação, segundo Barber (1937), os fluxos de composição salina e ácida, de classe um, possuem resíduos que por sua característica higroscópica facilitam a remoção com água quente ou em forma de vapor, por outro lado têm tendência a absorver umidade do ar aumentando seu volume total se dispersando distante do ponto original de aplicação, por este motivo montagens eletrônicas que são testadas satisfatoriamente quando novas irão mostrar vazamento de corrente quando acondicionadas ou em uso pela absorção de umidade pelo resíduo do fluxo deixado após a soldagem.

Os fluxos da classe dois tem como exemplo o ácido carboxílico, são orgânicos e se decompõem, volatilizam e sublimam ou carbonizam dependendo do tempo e temperatura da aplicação da solda. São efetivos em uma curta zona de

temperatura e precisam de uma variação para obter uma movimentação da solda. (BARBER, 1937).

Na classe três, temos como representantes as aminas, amidos e bases orgânicas fracas. Estes são mais ativos que os fluxos baseados em ceras e graxas, menos estáveis, volatilizam e decompõem-se mais rapidamente. São aplicadas para restringir o metal fundido a um ponto específico. Limitam a corrosão, mas não são higroscópicos, dificultando a remoção dos resíduos embora os mesmos sejam volatilizados e carbonizados. Os fluxos de classe quatro são constituídos por resinas não corrosivas e geram resíduos não condutivos, não retêm detritos após a soldagem e são menos ativos e, conseqüentemente, menos efetivos como agente de fluxo, seu valor principal está nas características singulares dos resíduos. (BARBER, 1937).

3 MATERIAIS E METODOLOGIA

Neste capítulo será descrita a metodologia do mapeamento dos materiais utilizados no encapsulamento de semicondutores.

O mapeamento estratégico dos materiais utilizados no encapsulamento de semicondutores proposto para este trabalho adaptou e uniu a matriz de priorização de Charles Kepner e Benjamin Tregoe ao problema central da seleção de materiais (a interação entre função, material, processamento e forma) de Michel Ashby e aos aspectos para a seleção de materiais de Lennart Ljungberg. A adaptação e a união destas técnicas foi aplicada apenas aos materiais diretos utilizados no encapsulamento de semicondutores.

As etapas da matriz de priorização ditaram as etapas do trabalho, conforme explicita o Quadro 6.

Quadro 6 - Adaptação da Matriz de Priorização para definição das etapas do cálculo do grau de importância

Etapas	Matriz de priorização	Trabalho
1	Listar os problemas ou pontos de análise	Listar os tópicos de análise
2	Pontuar os problemas ou pontos de análise	Pontuar os tópicos de análise
3	Classificar os pontos de análise	Classificar os tópicos de análise
4	Tomar decisões estratégicas	Definição do Grau de Importância

Fonte: Elaborado pelo autor.

De acordo com Kepner e Tregoe (1981), na primeira etapa da matriz de priorização deve-se listar os problemas ou os pontos de análise. Na primeira etapa do trabalho foram listados os tópicos de análise. Na segunda etapa, a etapa de pontuação dos problemas ou pontos de análise, ocorreu a pontuação dos tópicos de análise propostos no trabalho. Na terceira etapa, a etapa de classificação dos pontos de análise, os tópicos de análise do trabalho foram classificados e por fim, na quarta etapa, a etapa de tomada de decisões estratégicas, foi definido o grau de importância dos materiais diretos utilizados no encapsulamento de semicondutores.

O problema central da seleção de materiais proposto por Ashby (2012) e os aspectos para a seleção de materiais de Ljungberg (2007, v. 28), contribuíram para a definição dos tópicos de análise na realização do trabalho. No Quadro 7, vemos a adaptação para cada requisito proposto por Ashby (2012) e Ljungberg (2007, v. 28).

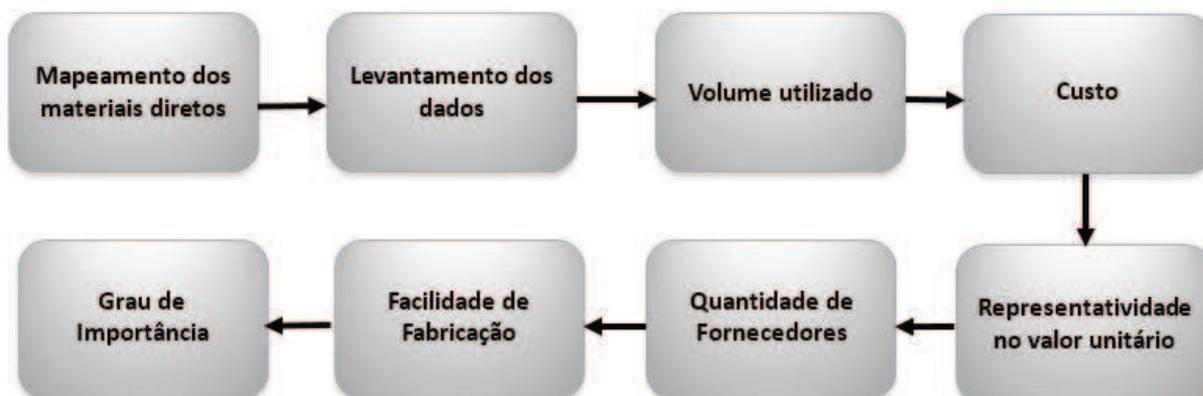
Quadro 7 - Adaptação do problema central da seleção de materiais para definição dos tópicos de análise

Problema central de seleção de materiais		Trabalho
1	Material	Materiais diretos
2	Função	Representatividade na composição do preço unitário
3	Processamento	Facilidade de fabricação, custo e fornecedores
4	Forma	Volume comprado e custo do produto

Fonte: Elaborado pelo autor.

Após a definição dos tópicos, o trabalho seguiu as etapas conforme demonstrado na Figura 26.

Figura 26 - Fluxograma das etapas da realização do trabalho



Fonte: Elaborada pelo autor.

Estas etapas foram aplicadas apenas nos materiais diretos, ou seja, aqueles materiais que fazem parte da composição do produto (PCB, cola de *chip*, fio de ouro,

EMC, esferas de solda e fluxo) e, conforme visto anteriormente, baseado nas quatro etapas da matriz de priorização, no problema central para a seleção de materiais e nos aspectos para a seleção de materiais.

Os dados utilizados neste trabalho foram levantados em uma empresa de encapsulamento de semicondutores no período de janeiro de 2013 a julho de 2015. As informações sobre o volume comprado, o custo do produto, a representatividade na composição do preço unitário e os fornecedores, foram obtidos através do banco de dados da empresa onde o trabalho foi realizado e, por solicitação desta, os dados destas informações foram apresentados em valores relativos (porcentagem). As informações sobre os materiais que fazem parte da composição dos materiais diretos foram obtidas através de levantamento bibliográfico, revistas especializadas, consulta à fornecedores, análise de documentos e consulta às folhas de dados dos materiais.

A pontuação foi atribuída de acordo com a classificação de cada material no tópico analisado, sendo a maior pontuação igual a 6 e a menor igual a 1. Os valores intermediários foram atribuídos em unidades (de 1 em 1), portanto, a pontuação foi 6, 5, 4, 3, 2 e 1 de acordo com a classificação de cada material. A determinação dos valores para cada tópico analisado seguirá os critérios apresentados na sequência.

3.1 Volume Comprado

A definição da pontuação para o tópico volume comprado foi baseada no levantamento do total de volume comprado, ou seja, a quantidade por unidade de materiais diretos comprados no período de janeiro de 2013 a julho de 2015. Foram atribuídos valores de um a seis, onde o material que teve o maior volume de compra por unidade recebeu nota seis e o material que teve o menor volume de compra, nota um. Os valores intermediários foram definidos de acordo com a classificação de cada material e com variação unitária.

3.2 Custo do Produto

O critério para a pontuação do tópico custo do produto foi obtida baseada no valor, em reais, de todos os materiais diretos comprados no período de janeiro de 2013 a julho de 2015. Estes valores foram apresentados em valores relativos (%), ou

seja, quanto cada material direto representou, percentualmente, no total dos custos dos materiais diretos. Para este tópico foi estabelecido que quanto maior o custo, maior a pontuação. Portanto, o material direto que obteve a maior representatividade no total dos custos no período estudado recebeu o valor seis e o menor, o valor um. Os valores para os materiais intermediários foram definidos de acordo com a classificação de cada material e com variação unitária (de um em um).

3.3 Representatividade na Composição do Preço Unitário

O valor para a representatividade na composição do preço unitário foi atribuído com base no valor, em reais, de um produto encapsulado acabado, ou seja, quanto cada material direto representa, percentualmente, no custo unitário de um *chip* encapsulado. O preço unitário foi definido através de uma média aritmética dos preços unitários no período de janeiro de 2013 a julho de 2015. O critério de pontuação para este tópico foi de quanto maior a representatividade na composição do preço unitário, maior a pontuação. O material direto que apresentar maior representatividade na composição do preço unitário obteve seis pontos e o menor um. Os valores intermediários para este tópico foram definidos de acordo com a classificação de cada material e com variação unitária.

3.4 Quantidade de Fornecedores

O critério para a pontuação do tópico quantidade de fornecedores foi baseado no número de fornecedores que forneceram os materiais diretos à empresa durante o período de janeiro de 2013 a julho de 2015. Para este tópico foi atribuído um ponto para cada fornecedor. Se o material direto foi adquirido de um fornecedor, recebeu um ponto. Se foi adquirido de dois fornecedores, recebeu dois pontos, e assim sucessivamente.

3.5 Facilidade de Fabricação

A facilidade de fabricação dos materiais direto foi definida pela quantidade de elementos e/ou componentes químicos que fazem parte da composição do material direto. Quanto menor o número de elementos e/ou componentes químicos que

compõem o material, mais fácil foi considerada a sua fabricação. Para este critério foram atribuídos pontos de um a seis, onde o material mais fácil de ser fabricado recebeu o valor seis e o material menos fácil o valor um. Os valores intermediários serão definidos de acordo com a classificação de cada material e variaram unitariamente (de um em um). Esta metodologia considerou que o material com menos componentes químicos seja o mais fácil de ser fabricado seja o mais fácil de ser produzido e/ou desenvolvido, já que seu processo de fabricação envolve um menor número de componentes químicos.

3.6 Grau de Importância

Baseado na Matriz de Priorização, o Grau de Importância é o produto resultante dos tópicos: volume utilizado/comprado, custo do produto, representatividade na composição do preço unitário, quantidade de fornecedores e complexidade de fabricação.

Se em alguns destes tópicos houver empate na pontuação, os materiais que empatarem receberão a mesma pontuação e ficarão com a mesma classificação.

O grau de importância é o que apontará, segundo os métodos estabelecidos neste trabalho, qual material deve ser prioridade para o desenvolvimento de materiais com conteúdo nacional.

Ao final, foram apresentados e discutidos os resultados obtidos através do mapeamento dos materiais diretos. Os dados coletados foram apresentados na forma de gráficos e tabelas.

4 RESULTADOS E DISCUSSÕES

Neste capítulo os resultados obtidos serão apresentados e discutidos a fim de demonstrar o resultado da aplicação da metodologia estabelecida neste trabalho.

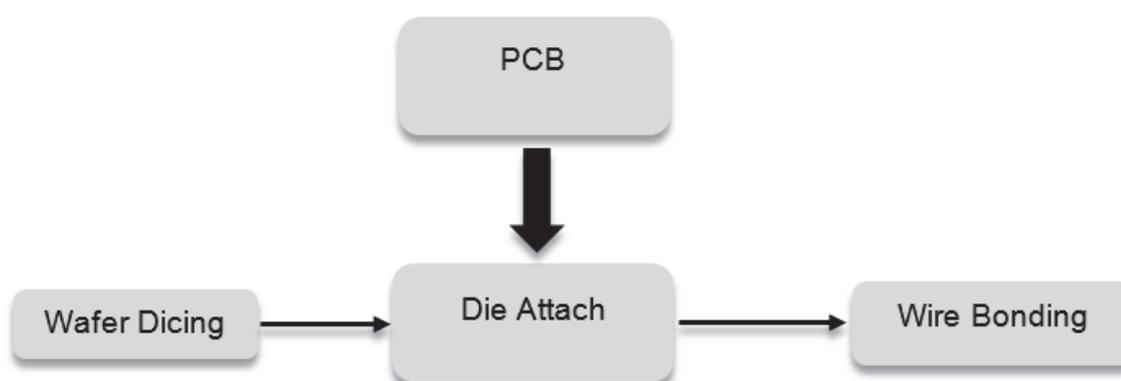
4.1 Mapeamento dos Materiais

O mapeamento dos materiais diretos utilizados no encapsulamento de semicondutores foi realizado com base em levantamento bibliográfico, revistas especializadas, consulta a fornecedores, análise de documentos e consulta às folhas de dados dos materiais. Dados reais da empresa, cuja identidade fica, a pedido, preservada.

4.1.1 PCB

O PCB é o material direto que serve como base para o encapsulamento. É sobre ele que todos os outros materiais diretos (cola de *chip*, fio de ouro, EMC, esferas de solda e fluxo) são montados. Entre os materiais diretos abordados neste trabalho, o PCB é o primeiro, conforme Figura 27, a entrar no fluxo do processo produtivo de encapsulamento de semicondutores.

Figura 27 - Entrada do PCB no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

A composição total do PCB pode variar conforme o fornecedor, porém a composição básica é muito similar. A Tabela 2 mostra que o PCB, basicamente, é composto de cobre (presente nas trilhas) e epóxi reforçado com fibra de vidro. As

características desta composição dão a este modelo de PCB alta resistência à flexão, alta resistência ao calor e alta resistência a umidade, excelente estabilidade dimensional e baixa absorção de água. Sob umidade, concedem ao PCB excelentes propriedades elétricas e físicas.

A composição do PCB utilizado na empresa estudada é formada pelos materiais, de acordo com a Tabela 2.

Tabela 2 - Composição do PCB

Material	Teor (%)
Cu (Cobre)	30 ~ 85
Fibra de vidro	10 ~ 40
Epóxi	1 ~ 10
Resina resistente ao calor	1 ~ 10
Sílica	1 ~ 20
Hidróxido metálico	1 ~ 5

Fonte: Banco de dados da empresa pesquisada.

As aplicações típicas para este tipo de PCB são: equipamentos eletrônicos em geral, equipamentos que necessitam de alta confiabilidade e indústria automotiva. Este tipo de laminado é o mais utilizado em placas com furos, como as placas para encapsulamento de semicondutores do tipo BGA, placas dupla-face e placas multicamada.

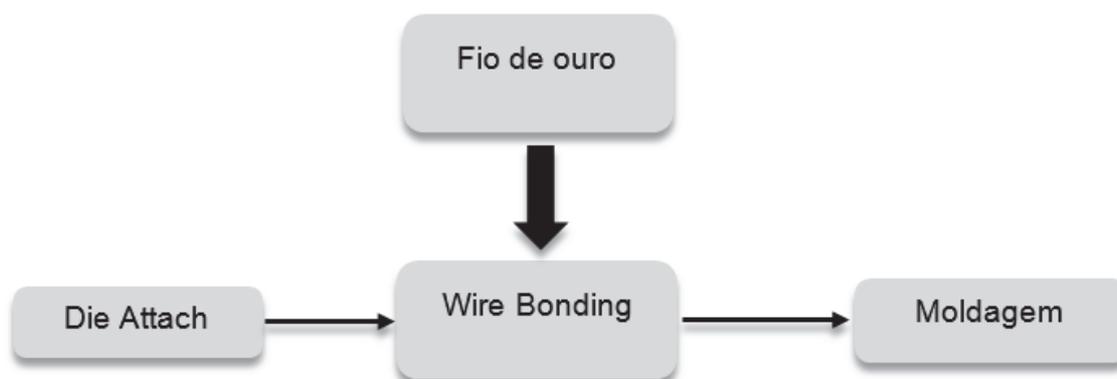
4.1.2 Fio de ouro

O fio de ouro é o material que faz a conexão entre o *chip* e o PCB, ele entra no processo produtivo e na composição do produto a partir da etapa de *wire bonding*, conforme Figura 28. O fio de ouro utilizado na empresa onde o trabalho foi realizado é composto de ouro com 99,99% de pureza.

A utilização do fio de ouro com este grau de pureza deve-se ao fato do ouro ser maleável, conduzir de maneira excelente a eletricidade e o calor, além de dificilmente sofrer oxidação por ser um metal nobre. A oxidação e o comprometimento das características citadas anteriormente, podem danificar o *chip* e diminuir a confiabilidade do encapsulamento do *chip*. A maleabilidade do ouro e

sua expansão térmica ajudam a evitar os modos de falhas inerentes ao processo de soldagem de fios, sendo eles: esfera ou fio soltando, quebra do fio (*neck break*, *heel break*), curto circuito e quebras ou trinca no *chip*, estes últimos causados por ajuste errado da força e/ou potência e temperatura.

Figura 28 - Entrada do fio de ouro no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

4.1.3 EMC

O composto de epóxi para moldagem é o material direto responsável pela encapsulação do *chip* no processo de moldagem, ou seja, ele é o material direto que dá proteção ao chip. Esta proteção se deve ao fato de o EMC ter características de: resistência à umidade, estabilidade térmica, estabilidade dimensional, baixo coeficiente de expansão térmica, resistência à chama, resistência à fadiga, resistência ao impacto e a químicos e solventes.

O EMC utilizado no processo de moldagem, conforme Figura 29, na empresa estudada é composto por seis tipos de materiais, sendo eles: a sílica, cujo teor está entre 83 a 90% da composição do material direto, o hidróxido de magnésio (1 a 4%), negro de fumo (0,5 a 1%) e três tipos de resinas epóxi e um tipo de resina fenólica, conforme visto na Tabela 3.

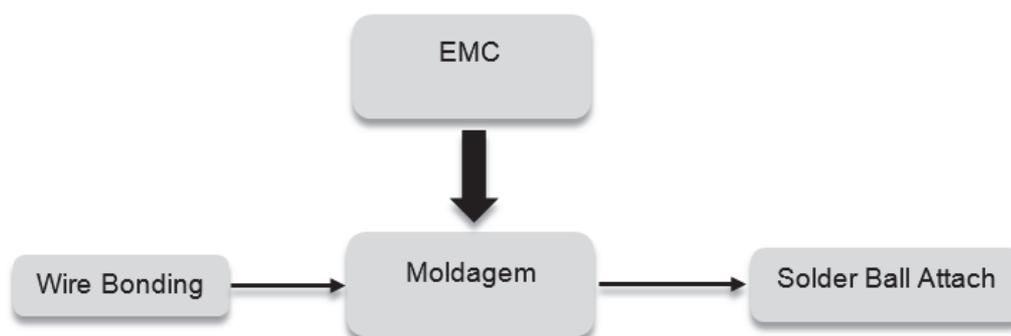
Tabela 3 - Composição do EMC

Material	Teor (%)
Sílica	83 ~ 90
Hidróxido de magnésio	1 ~ 4
Negro de Fumo	0,5 ~ 1
Resina epóxi 1	1 ~ 8
Resina epóxi 2	1 ~ 5
Resina fenólica	1 ~ 10

Fonte: Banco de dados da empresa pesquisada.

A sílica atua como agente de reforço e melhora a força. A condutividade térmica diminui a expansão térmica e a absorção da umidade do composto. Ela é utilizada por ser compatível com o silício. É importante observar que a sílica utilizada na composição necessita ter alto teor de pureza devido ao requisito de grau eletrônico para os materiais utilizados no encapsulamento de semicondutores.

Figura 29 - Entrada do EMC no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

O hidróxido de magnésio atua como retardante de chama e tem a função de minimizar a possibilidade de combustão do composto. O negro de fumo tem a função de colorante. Entre as duas resinas epóxi presentes na composição do EMC utilizado na empresa têm a função de resina epóxi base, dando resistência química e a impacto ao composto, estabilidade térmica, alta aderência a vários tipos de substratos, resistência ao calor e baixo encolhimento durante a cura.

4.1.4 Cola de chip

A cola de *chip* é o material direto responsável pela colagem do *chip* ao PCB. Esta adesão do *chip* ao PCB, conforme Figura 30, acontece no processo de *die attach* após a entrada do PCB.

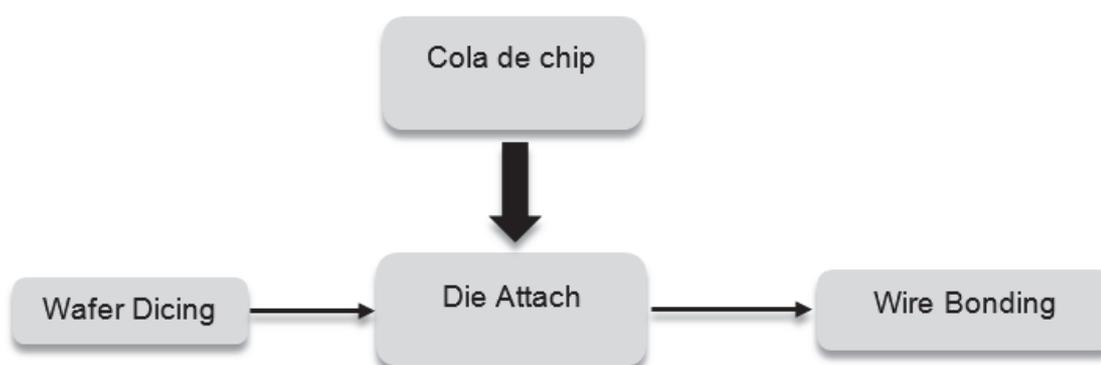
Tabela 4 - Composição da cola de chip

Material	Teor (%)
Prata (Ag)	55 ~ 75
Solvente	30 ~ 35
Epóxi	15 ~ 20

Fonte: Banco de dados da empresa pesquisada.

De acordo com a Tabela 4, a cola de *chip* utilizada na empresa onde o estudo foi realizado é composta por prata, cujo teor está entre 55 a 75%, solvente (30 a 35%) e epóxi (15 a 20%).

Figura 30 - Entrada da cola de chip no encapsulamento de semicondutores



Fonte: Elaborado pelo autor.

Na composição da cola de *chip*, a função da prata é dar fluidez, condutividade térmica e expansão térmica. O solvente reduz a viscosidade, cujo controle é essencial, e melhora o manejo da cola. Enquanto que o epóxi ajuda na adesão e na confiabilidade.

A falta de cola ou a pouca cura desta, podem causar a delaminação na colagem de *chip*. A delaminação é um defeito causado na interface entre diferentes materiais, neste caso a interface entre a cola de *chip* e o PCB ou entre a cola de *chip* e o *chip*, enquanto que a falta de uniformidade de aplicação do epóxi pode causar a quebra do *chip* no processo de *die attach*. Estes modos de falha afetam a qualidade e a confiabilidade do encapsulamento de semicondutores.

4.1.5 Esfera de Solda

Os materiais que compõem as esferas de solda são: estanho, prata e cobre. As esferas de solda são os componentes do produto encapsulado que fazem a conexão deste com o meio externo onde será usado, como por exemplo, os módulos de memória. Conforme a Tabela 5, as esferas de solda utilizadas na empresa onde este trabalho foi realizado, são formados por: estanho (96,75%), prata (2,75%) e cobre (0,5%).

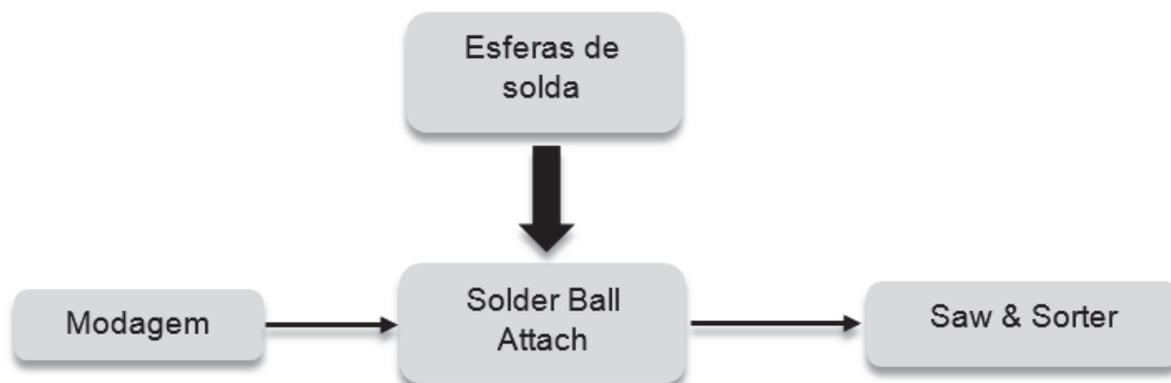
Tabela 5 - Composição da esfera de solda

Material	Teor (%)
Estanho (Sn)	96,75
Prata (Ag)	2,75
Cobre (Cu)	0,5

Fonte: Banco de dados de empresa pesquisada.

Esta composição, também conhecida como SAC 305, é uma liga metálica com propriedades adequadas para a aplicação na indústria de semicondutores. Tem como características o baixo custo, resistência à fadiga, excelente confiabilidade de soldagem quando comparada às outras ligas e livre de metais pesados, o que dá a ela ótima aceitação no mercado de encapsulamento de semicondutores. As esferas de solda entram no processo produtivo, Figura 31, na etapa de *solder ball attach*.

Figura 31 - Entrada da esfera de solda no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

4.1.6 Fluxo

O fluxo utilizado na empresa onde o estudo foi realizado é composto por quatro materiais, sendo eles: o polioxialquileno de amina (44 a 52%), o dietileno glicol mono hexil éter (25 a 29%), o polietileno glicol (15 a 19%) e ácido orgânico (6 a 10%). A Tabela 6, evidencia essa composição.

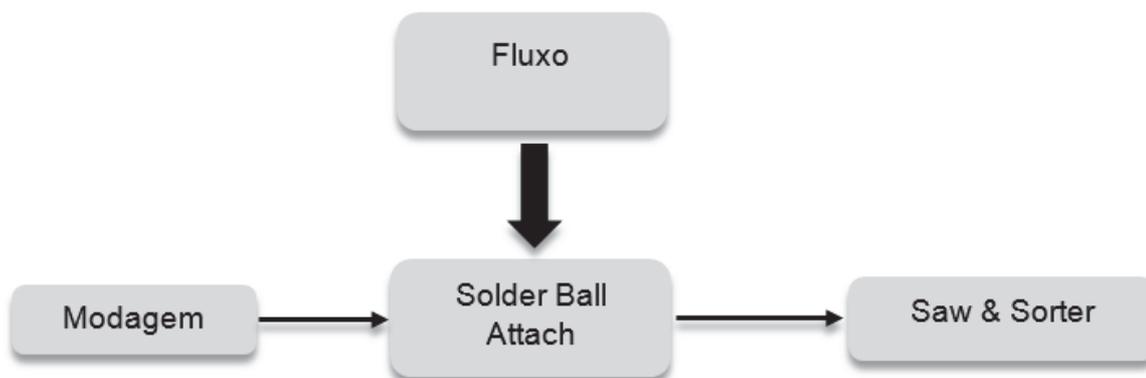
Tabela 6 - Composição do fluxo

Material	Teor (%)
Polioxialquileno de amina	44 ~ 52
Dietileno glicol mono hexil éter	25 ~ 29
Polietileno glicol	15 ~ 19
Ácido orgânico	6 ~ 10

Fonte: Banco de dados da empresa pesquisada.

O fluxo de solda entra no processo produtivo na etapa de *solder ball attach*, Figura 32. Sua utilização é muito importante para o processo produtivo, pois ele é responsável pela adesão das esferas de solda ao PCB já encapsulado. Uma falha nesta adesão, pode ocasionar a perda de esferas. O que acarretará uma falha no contato entre o *chip* já encapsulado com o módulo de memória.

Figura 32 - Entrada do fluxo no encapsulamento de semicondutores



Fonte: Elaborada pelo autor.

4.2 Volume Comprado

O critério para este tópico foi estabelecido no levantamento do total de volume comprado, ou seja, a quantidade por unidade de materiais diretos comprados no período de janeiro de 2013 a julho de 2015. Para este tópico, foi estabelecido que o material que teve o maior volume de compra por unidade receberá nota seis e o menor volume de compra, nota um. Os valores intermediários serão definidos de acordo com a classificação de cada material e irão variar unitariamente (de um em um).

A Tabela 7 evidencia quanto cada material direto representou no total do volume adquirido no período estabelecido para este critério. O material mais representativo, foi o PCB, seguido do EMC, esferas de solda, fio de ouro, cola de *chip* e fluxo, respectivamente.

Tabela 7 - Volume comprado

Material direto	Volume de Compra (%)	Pontos
PCB	61,22	6
EMC	28,57	5
Esfera de solda	6,12	4
Fio de ouro	2,44	3
Cola de <i>chip</i>	1,02	2
Fluxo	0,63	1

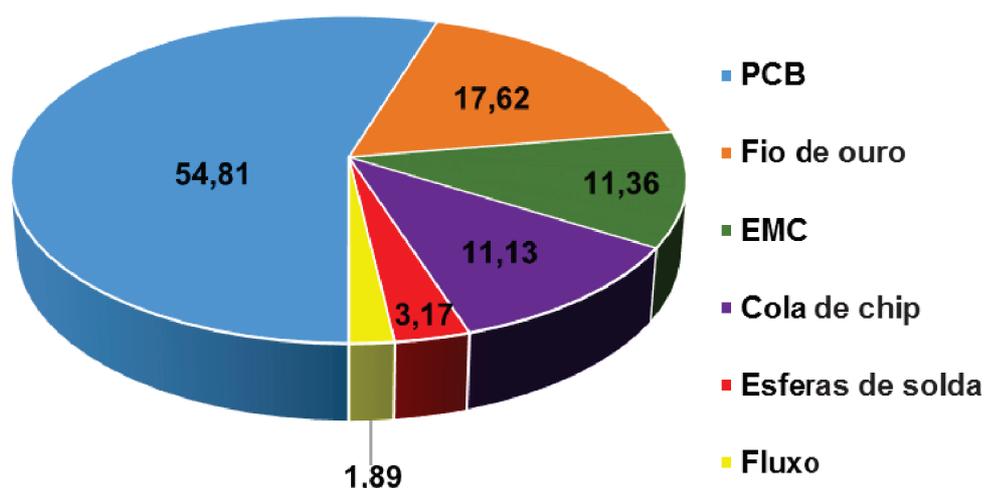
Fonte: Banco de dados da empresa pesquisada.

Como um dos componentes do preço do frete, que está incluído no custo do material, é o peso (em quilogramas), esta análise é importante, pois ela explicita, dentre os materiais diretos, aquele, ou aqueles, que mais representaram no volume de compra de materiais.

4.3 Custo do Material Direto

O custo do material direto foi definido, conforme mostra o Gráfico 1, em valores relativos, de acordo com a aquisição de cada material no período de janeiro de 2013 a julho de 2015. Neste período, os custos com os materiais diretos chegaram a ser da ordem de R\$ 10 milhões de reais.

Gráfico 1 - Custos relativos dos materiais diretos



Fonte: Banco de dados da empresa pesquisada.

Entre os materiais diretos adquiridos no período levantado, o mais representativo, conforme Tabela 13, nos custos relativos é o PCB (54,81%), seguido pelo fio de ouro (17,62%), EMC (11,36%), cola de *chip* (11,13), esferas de solda (3,17%) e fluxo (1,89%).

Para este tópico o material direto que obteve maior custo, recebeu a maior pontuação e o menor custo a menor pontuação. Os valores para os materiais intermediários foram definidos de acordo com a classificação e variam unitariamente.

A Tabela 8 evidencia a pontuação dos custos dos materiais diretos utilizados no encapsulamento de semicondutores.

Tabela 8 - Pontuação dos custos dos materiais diretos

Material direto	%	Pontos
PCB	54,81	6
Fio de ouro	17,62	5
EMC	11,36	4
Cola de <i>chip</i>	11,13	3
Esfera de solda	3,17	2
Fluxo	1,89	1

Fonte: Elaborada pelo autor.

De acordo com Ljungberg (2007, v. 28), qualquer análise no que se refere à seleção de materiais, os custos destes devem ser levados em consideração. Por isso, uma análise dos custos relativos foi relevante para a metodologia deste trabalho.

4.4 Representatividade na Composição do Preço Unitário do Produto

A definição do preço unitário foi estabelecida pela média aritmética dos preços unitários no período de janeiro de 2013 a julho de 2015. O valor obtido equivale ao valor final, em reais, de um produto encapsulado/acabado. A composição do produto é o quanto cada material direto representa, percentualmente, no custo unitário de um *chip* encapsulado. Além dos materiais diretos, o preço unitário também é definido pelo preço do *die* (*wafer*) e pelo custo de produção.

A Tabela 9 demonstra, em valores relativos, a representatividade dos itens que fazem parte da composição do preço unitário do encapsulamento BGA. Nesta tabela pode-se verificar que o material mais representativo é o *wafer*, que representa 88,90% na composição do valor total de um *chip* encapsulado.

Tabela 9 - Representatividade na composição do preço unitário: encapsulamento BGA

DRam	100,00%
Wafer	88,90
Produção	8,92
PCB	1,33
Fio de ouro	0,38
EMC	0,19
Cola de <i>chip</i>	0,09
Esfera de solda	0,09
Fluxo	0,09

Fonte: Banco de dados da empresa pesquisada.

Como o processo de fabricação do *wafer*, dentro do Ecossistema Microeletrônico, dá-se no *Frontend* a representatividade deste na composição do preço unitário do produto não faz parte da análise proposta para este trabalho. Por isso o valor referente ao *wafer* foi retirado na elaboração da Tabela 10. Esta tabela nos evidencia, após os cálculos terem sido refeitos, como se comporta a representatividade dos valores relativos de cada material direto utilizado na etapa de encapsulamento de semicondutores (*Back-End*).

Tabela 10 - Representatividade na composição do preço unitário do encapsulamento BGA sem o valor do wafer

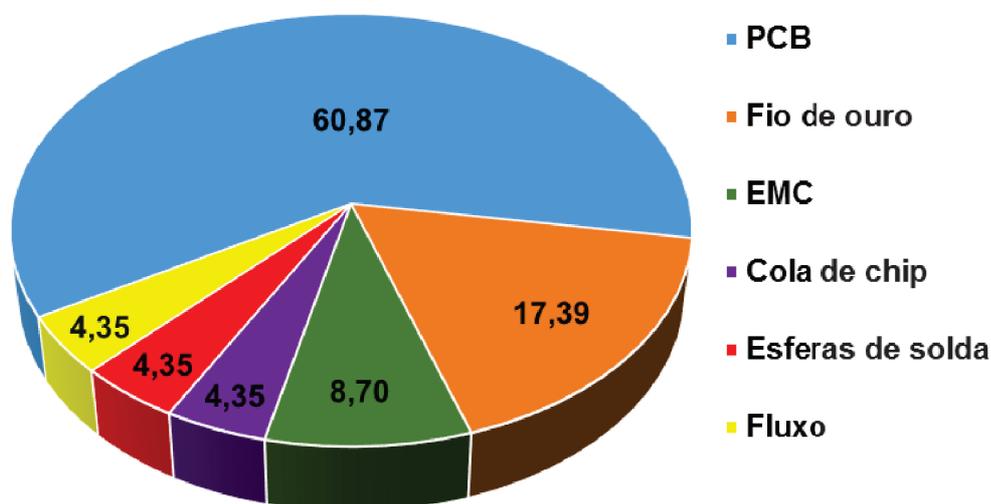
DRam	100,00%
Produção	80,34
PCB	11,97
Fio de ouro	3,42
EMC	1,71
Cola de <i>chip</i>	0,85
Esfera de solda	0,85
Fluxo	0,85

Fonte: Banco de dados da empresa pesquisada.

A maior representatividade, após o novo cálculo, pertence ao custo de produção, 80,34%. No custo de produção estão embutidos valores tais como: custo de pessoal, custo de manutenção, custos com a infraestrutura e os custos dos materiais indiretos. Como estes dados também não fazem parte do estudo proposto, os dados de produção foram retirados por não serem relevantes à metodologia proposta para este trabalho.

Os cálculos foram refeitos levando em conta apenas os valores dos materiais diretos (PCB, fio de ouro, EMC, cola de *chip*, esfera de solda e fluxo) na representatividade dos custos de cada material na formulação do preço unitário.

Gráfico 2 - Representatividade dos materiais diretos na composição do preço unitário do encapsulamento



Fonte: Banco de dados da empresa.

De acordo com o Gráfico 2, entre os materiais diretos o mais representativo na composição do preço unitário do encapsulamento é o PCB, que representa 60,87%. O segundo material mais representativo é o fio de ouro, com 17,39%, seguido pelo EMC (8,70%), cola de *chip* (4,35%), esferas de solda (4,35%) e fluxo (4,35%).

A classificação para os materiais diretos no tópico representatividade na composição do preço unitário do encapsulamento ficou distribuída conforme mostra a Tabela 11.

Tabela 11 - Classificação dos materiais diretos na composição do preço unitário do encapsulamento

Material direto	100,00	Pontos
PCB	60,87	6
Fio de ouro	17,39	5
EMC	8,70	4
Cola de <i>chip</i>	4,35	3
Esfera de solda	4,35	3
Fluxo	4,35	3

Fonte: Elaborada pelo autor.

4.5 Fornecedores

A Tabela 12 mostra os fornecedores dos materiais diretos utilizados no processo de encapsulamento. Entre os materiais diretos comprados, o PCB possui dois fornecedores (Dadeduck Electronics e Simmtech), o fio de ouro apenas um (Heesung), o EMC dois fornecedores (Cheil Industries e Nepes), a cola de *chip* três fornecedores (Evertech, KCC e Dow-Corning), as esferas de solda um fornecedor (Duksan) e o fluxo dois fornecedores (Senju e Chem-Inter Corporation).

Tabela 12 - Fornecedores dos materiais diretos

Material direto	Fornecedores	Qtade de Fornecedores	Pontos
PCB	Daeduck Electronics, Simmtech	2	2
Fio de ouro	Heesung	1	1
EMC	Cheil Industries, Nepes	2	2
Cola de <i>chip</i>	Evertech, KCC, Dow-Corning	3	3
Esferas de solda	Duksan	1	1
Fluxo	Senju, Chem-Inter Corporation	2	2

Fonte: Banco de dados da empresa pesquisada.

É importante salientar que entre os materiais diretos fornecidos à empresa onde o trabalho foi realizado, dois fornecedores são do Japão e os restantes são empresas situadas na Coreia do Sul.

4.6 Facilidade de Fabricação

A definição e elaboração deste critério foi baseada nas premissas estabelecidas por Asbhy (2012) e Ljungberg (2007, v. 28) para a seleção de materiais. Asbhy (2012) estabelece que o processo de seleção de materiais, dentre outros requisitos, deve centrar-se também no processamento dos materiais. Enquanto que Ljungberg (2007, v. 28) diz que a seleção de materiais deve considerar, principalmente, dentre outros aspectos, os métodos de produção dos materiais.

A facilidade de fabricação foi definida com base no número de componentes químicos que fazem parte da composição de cada material direto. Este número foi obtido através do mapeamento dos materiais diretos e, de acordo com a metodologia estabelecida, os processos que envolvem a fabricação dos materiais diretos não foram levados em consideração. Para a este tópico o material direto que apresentar o menor número de componentes químicos que fazem parte da estrutura do material, mais fácil será considerada a sua fabricação. Serão atribuídos pontos de 1 a 6, onde o material mais fácil recebeu a pontuação 6 e o menos fácil o valor 1. Os valores intermediários serão definidos de acordo com a classificação e irão variar de 1 a 1.

A Tabela 13 mostra a classificação dos materiais diretos de acordo com a facilidade de fabricação.

Tabela 13 - Facilidade de fabricação

Material	Quantidade de material	Pontos
Fio de ouro	1	6
Cola de <i>chip</i>	3	5
Esferas de solda	3	5
Fluxo	4	4
EMC	6	3
PCB	7	2

Fonte: Elaborada pelo autor.

Conforme a Tabela 13, e de acordo com a metodologia estabelecida neste trabalho, o material direto mais complexo desenvolvido é o PCB, pois este possui a maior quantidade de materiais envolvidos na sua composição. O segundo mais complexo é o EMC, em terceiro, e empatados, seguido pelas esferas de solda e cola de *chip*, seguidos pelo fio de ouro e fluxo, respectivamente.

4.7 Grau de Importância

De acordo com a metodologia estabelecida neste trabalho, do produto resultante dos tópicos: volume comprado, custo do produto, representatividade na composição do preço unitário, quantidade de fornecedores e complexidade de fabricação, obtém-se o grau de importância.

Quadro 8 - Cálculo do Grau de Importância

<p>Grau de importância = Volume X Custo X Representatividade X Fornecedores X Facilidade de fabricação</p>

Fonte: Elaborado pelo autor.

De acordo com a Tabela 14, o material direto com o maior Grau de Importância foi o PCB, seguido pelo EMC, fio de ouro, cola de *chip*, esferas de solda e fluxo.

Tabela 14 - Cálculo do Grau de Importância

Material direto	Volume	Custo	Representatividade	Fornecedores	Facilidade	Grau de importância
PCB	6	6	6	2	2	864
EMC	5	4	4	2	3	480
Fio de ouro	3	5	5	1	6	450
Cola de <i>chip</i>	2	3	3	3	5	270
Esferas de solda	4	2	3	1	5	120
Fluxo	1	1	3	2	4	24

Fonte: Elaborada pelo autor.

O PCB foi o material direto mais representativo em quatro dos cinco tópicos avaliados neste trabalho, sendo eles: volume, custo, representatividade na formulação do preço unitário e complexidade de fabricação. Em função disso, ele é o material que representa o maior grau de importância, 864 pontos, na matriz de priorização, o que indica que este material seria o primeiro a ser avaliado para uma produção com conteúdo nacional. O que chama a atenção é que o fato de o PCB ser o material mais complexo para ser desenvolvido não impediu que ele fosse o mais importante no cálculo da matriz estabelecida pela metodologia.

Apesar da complexidade envolvida no composto EMC, em função do número de materiais que o compõem, o EMC surge como o segundo material direto a ser avaliado, para desenvolvimento. Cabe salientar porém, que dentre os materiais que compõem o EMC, está presente a sílica de grau eletrônico (altíssimo grau de pureza), o que pode influenciar no desenvolvimento deste material considerando a cadeia local. Por isso, entende-se que seria necessária uma avaliação especial quanto ao grau de pureza desses materiais.

Como terceira alternativa, de acordo com o grau de importância, surge o fio de ouro. Apesar de apresentar o terceiro menor volume, o fio de ouro apresenta o segundo maior custo e a segunda maior representatividade no custo unitário do produto encapsulado. Entretanto, sua complexidade de fabricação é a menor de todas o que, de certa forma, facilitaria a instalação de uma empresa para fabricar este material direto.

Os outros materiais diretos (cola de *chip*, esferas de solda e fluxo), surgem como quarta, quinta e sexta alternativas respectivamente.

5 CONSIDERAÇÕES FINAIS

Neste trabalho foram mapeados e avaliados os materiais diretos utilizados no encapsulamento de semicondutores. A metodologia estabelecida mostrou-se eficaz considerando os objetivos previstos no trabalho, os quais foram: mapear os materiais que fazem parte da composição dos materiais diretos utilizados no encapsulamento de semicondutores, determinar o volume comprado dos materiais diretos, determinar os custos dos materiais diretos, determinar a representatividade de cada material direto na composição do preço unitário do produto encapsulado, listar os fornecedores de cada material direto, determinar a complexidade de fabricação de cada material de acordo com metodologia estabelecida neste trabalho e selecionar o material de acordo com a metodologia estabelecida (volume, custo e complexidade da fabricação).

Com isso foi possível montar uma matriz de priorização cujo resultado dos produtos dos critérios estabelecidos resultou no grau de importância dos materiais diretos, conforme Tabela 15. A partir do resultado do grau de importância foi possível estabelecer as prioridades de possíveis desenvolvimentos destes materiais na indústria local.

Tabela 15 - Materiais diretos e Grau de Importância

Material direto	Grau de importância
PCB	864
EMC	480
Fio de ouro	450
Cola de <i>chip</i>	270
Esferas de solda	120
Fluxo	24

Fonte: Elaborada pelo autor.

Com os resultados obtidos observou-se que o primeiro material a ser avaliado para desenvolvimento deve ser o PCB, seguido pelo EMC, fio de ouro, cola de *chip*, esferas de solda e fluxo, respectivamente, dentro das condições metodológicas do presente trabalho.

5.1 Sugestões para Trabalhos Futuros

- a) aplicar a mesma metodologia para os materiais indiretos;
- b) aprimorar o critério Facilidade de Fabricação, levando em consideração o processo produtivo para a fabricação dos materiais estudados;
- c) elaborar um critério para considerar a grau eletrônico dos materiais diretos no cálculo do grau de importância;
- d) prazo para desenvolvimento;
- e) abordar as condições e requisitos de transporte dos materiais (complexidade da logística envolvida).

REFERÊNCIAS

ABDELNABY, A. H. et al. Numerical simulation of heat generation during the back grinding process of silicon wafers. In: WORKSHOP SOBRE MICROELETRÔNICA E ELECTRON DEVICES (WMED), 2012, Boise. **Proceedings...** [S.l.]: IEEE, 2012. p. 1-4. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6202614>>. Acesso em: 12 ago. 2015.

AGRAVAL, V. D.; BUSHNELL, M. L. **Essentials of electronic testing for digital, memory and mixed-signal vlsi circuits**. 2nd ed. Norwell: Kluwer Academic Publishers, 2001.

ASANO, Y. et al. A novel wafer dicing method using metal-assisted chemical etching. In: ELECTRONIC COMPONENTS & TECHNOLOGY CONFERENCE (ECTC), 2015, San Diego. **Proceedings...** [S.l.]: IEEE, 2015. p. 853-858. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7159692>>. Acesso em: 23 jun. 2015.

ASHBY, M. F. **Seleção de materiais no projeto mecânico**. Rio de Janeiro: Elsevier, 2012.

BAI, J. G.; CALATA, J. N.; LU, G. Q. Processing and characterization of nanosilver pastes for die-attaching sic devices. **IEEE Transactions on Electronics Packaging Manufacturing**, [S.l.], v. 30, n. 4, Oct. 2007. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4317588>>. Acesso em: 02 maio 2015.

BAKIR, M .S.; MEINDL, J. D. **Integrated interconnect technologies for 3D nanoelectronic systems**. Boston: Artech House, 2009.

BARBER, C. L. **Nature and purpose of a soldering flux**. Chicago: Kester Solder Company, 1937.

CALLISTER, W. D.; RETHWISCH, D.G. **Materials science and engineering: an introduction**. 8th ed. New York: John Willey and Sons, 2010.

CANEVAROLO JR, S. **Ciência dos polímeros: um texto básico para tecnólogos e engenheiros**. 3. ed. São Paulo: Artliber, 2013.

CHARLES, H. **Advanced wire bonding technology: materials, methods, and testing: material for advanced packaging**. New York: Springer Science, 2009.

COLENGHI, V. M. **Qualidade total: uma integração**. Rio de Janeiro: Qualitymark, 1997.

CRISTOFARI JUNIOR, C. A. **Proposta de método de análise de maturidade e priorização de melhorias na gestão do PDP**. 2008. 184 f. Dissertação (Mestrado em Engenharia de Produção) -- Escola de Engenharia, Programa de Pós-Graduação em Engenharia de Produção, Universidade Federal do Rio Grande do Sul (UFRGS), Porto Alegre, 2008. Documento em PDF.

DIAS, I. F. L.; SILVA, M. A. T. **Polímeros semicondutores**. 1. ed. São Paulo: Livraria da Física, 2012.

DIETER, G. E. **Material selection and design**. [S.l.]: ASM Handbook, 1997. v. 20.

EFRAT, U. Optimizing the wafer dicing process. In: INTERNATIONAL ELECTRONIC MANUFACTURING TECHNOLOGY SYMPOSIUM, 15., 1993, Santa Clara. **Proceedings...** [S.l.]: IEEE, 1993. p. 245-253. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=398195>>. Acesso em: 10 set. 2015.

FERRANTE, M. **Seleção de materiais**. 2. ed. São Carlos: UFSCar, 2002.

GARCIA, H.; HSU, J.; JIMAREZ, M. New robust process improvement for bga solder ball attach first pass yield. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 9., 2007, Singapore. **Proceedings...** [S.l.]: IEEE, 2007. p. 797-804. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4469824>>. Acesso em: 03 jul. 2015.

GHOSH, S. K.; HASSEB, A. S. M. A.; AFIFI, A. Effects of metallic nanoparticle doped flux on interfacial intermetallic compounds between sn- 3.0ag-0.5cu and copper substrate. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 15., 2013, Singapore. **Proceedings...** [S.l.]: IEEE, 2013. p. 21-26. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6745676>>. Acesso em: 12 jul. 2015.

GUTIERREZ, R. M. V.; LEAL, C. F. C. Estratégias para uma indústria de circuitos integrados no Brasil. **Banco Nacional de Desenvolvimento (BNDES)**, Rio de Janeiro, n. 19, p. 03-22, mar. 2004. Disponível em: <http://www.bndes.gov.br/SiteBNDES/export/sites/default/bndes_pt/Galerias/Arquivos/conhecimento/bnset/set1901.pdf>. Acesso em: 05 jul. 2015.

HARPER, C. A. **Electronic packaging and interconnection handbook**. 4 th ed. New York: McGraw-Hill, 2005.

HOON, K. L.; KHENG, A. Y. In-depth characterization of die attach adhesive for low-k automotive device application. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 11., 2009, Singapore. **Proceedings...** [S.l.]: IEEE, 2009. p. 977-981. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5416400>>. Acesso em: 11 jul. 2015.

HOSHI, Y.; YOSHIDA, H.; TSUTSUI, Y. Electric discharge image marking using laser guided discharge. **IEEE Transactions On Plasma Science**, [S.l.], v. 28, n. 5, p. 1771-1774, Oct. 2000. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=901266>>. Acesso em: 24 ago. 2015.

KEPNER, C.; TREGOE, B. B. **O administrador racional**. São Paulo: Atlas, 1981.

KINJO, N.; OGATA, M.; NISH, K.; KANEDA, A. **Epoxy molding compounds as encapsulation materials for microelectronics devices**. Berlim: Springer Science, 1989.

KOMORI, S.; SAKAMOTO, Y. **Development trend of epoxy molding compound for encapsulating semiconductor chips**: material for advanced packaging. New York: Springer Science, 2009.

KROENINGER, W. **Thin die production**: material for advanced packaging. New York: Springer Science, 2009.

KUMAR, B. S. et al. Process characterization of cu & pd coated cu wire bonding on overhang die: challenges and solution. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE (EPTC), 12., 2010, Singapore. **Proceedings...** [S.l.]: IEEE, 2010. p. 859-867. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5702710>>. Acesso em: 15 jul. 2015.

LAHOKALLIO, S.; SAARINEN, K.; FRISK, L. Changes in water absorption and modulus of elasticity of flexible printed circuit board materials in high humidity testing. In: EUROPEAN MICROELECTRONICS AND PACKAGING CONFERENCE (EMPC), 18., 2011, Brighton. **Proceedings...** [S.l.]: IEEE, 2011. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6142362>>. Acesso em: 12 set. 2015.

LAU, S.S.; MAYER, J.W. **Electronic materials science for integrated circuits in si and gaas**. New York: Macmillan Publishing Company, 1990.

LINGOTES silício. In: GOOGLE IMAGENS. Mountain View: Google, 2015. Disponível em: <https://www.google.com.br/search?q=LINGOTES&safe=active&hl=en&rlz=117AURU_pt-BRBR499&source=lnms&tbn=isch&sa=X&ved=0ahUKEwiZubzqipHLAhUck5AKHV5YBf0Q_AUIBygB&biw=1280&bih=546#safe=active&hl=en&tbn=isch&q=LINGOTES+de+silicio>. Acesso em: 13 maio 2015.

LJUNGBERG, L. Y. **Materials selection and design for development of sustainable products**. Oxford: Elsevier, 2007. v. 28: Material & Design.

MALONE, M. S. **The microprocessor**: a biography. Santa Clara: Telos, 1995.

MANO, E. B.; MENDES, L. C. **Introdução à polímeros**. 2. ed. São Paulo: Edgar Blücher, 2012.

MULTI chip. In: GOOGLE IMAGENS. Mountain View: Google, 2015. Disponível em: <<https://www.google.com.br/?espv=2#tbn=isch&q=multi+chip>>. Acesso em: 13 maio 2015.

MURATA, K.; YOSHIDA, A.; TANIGUCHI, J.; KADA, M. A study on package stacking process for package-on-package (PoP). In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE, 56., 2006, San Diego. **Proceedings...** [S.l.]: IEEE, 2006. Disponível em: <<http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1645753>>. Acesso em: 26 jul. 2015.

NASSIF, A. O complexo eletrônico brasileiro. **Banco Nacional de Desenvolvimento (BNDES)**, Rio de Janeiro, 2002. Disponível em: <http://www.bndes.gov.br/SiteBNDES/export/sites/default/bndes_pt/Galerias/Arquivos/conhecimento/livro_setorial/setorial08.pdf> Acesso em: 05 jul. 2015.

NOBELPRIZE. **The nobel prize in physics 1956**. [S.l.], 2016. Disponível em: <http://www.nobelprize.org/nobel_prizes/physics/laureates/1956/>. Acesso em: 04 jul. 2015.

OLIVEIRA, D. P. R. **Planejamento estratégico**: conceitos, metodologias e práticas. São Paulo: Atlas, 1992.

PETER, C. **Introdução ao encapsulamento de semicondutores**. São Leopoldo, 2014. Apostila da Disciplina de Mestrado de Introdução à Tecnologia de Semicondutores, Universidade do Vale do Rio dos Sinos (UNISINOS), São Leopoldo, 2014.

SANT'ANA, J.A.P. **Subsídios para seleção de materiais poliméricos termoplásticos**. 2007. 104 f. Dissertação (Mestrado em Engenharia Metalúrgica e de Materiais) -- Departamento de Engenharia Metalúrgica e de Materiais, Escola Politécnica da Universidade de São Paulo, São Paulo, 2007.

SATER, Almir. **Tocando em frente**. [S.l.], 2015. Disponível em: <<https://www.letras.mus.br/almir-sater/44082/>>. Acesso em: 20 set. 2015.

SEKHAR, V. N. et al. Effect of wafer back grinding on the mechanical behavior of multilayered low-k for 3D-stack packaging applications. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE, 58., 2008, Lake Buena Vista. **Proceedings...** [S.l.]: IEEE, 2008. p. 1517-1524. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4550177>>. Acesso em: 27 ago. 2015.

SEUNG, J. J.; LEE, A. R.; KANG, C. Y. Improvement of the solder joint strength in a SAC 305 solder ball to a ENIG substrate using H₂ hydrogen radical treatment. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 60., 2010, Las Vegas. **Proceedings...** [S.l.]: IEEE, 2010. p. 1752-1756. Disponível em: <<http://ieeexplore.ieee.org/search/searchresult.jsp?queryText=solder%20ball%20sac&newsearch=true>>. Acesso em: 11 jul. 2015.

SHACKELFORD, J. F. **Introduction to materials science for engineers**. 6th ed. New Jersey: Pearson Prentice Hall, 2008.

SHI, K. W.; YOW, K. Y.; KHOO, R.; LO, C. Wafer dicing process optimization and characterization for C90 low-k wafer technology. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE, 11., 2009. **Proceedings...** [S.l.]: IEEE, 2009. p. 889-892. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5416419>>. Acesso em: 10 maio 2015.

SILVA, E. S. A. **Um sistema informacional e perceptivo da seleção de materiais com enfoque no design de calçados**. 2015. 105 f. Dissertação (Mestrado Profissional em Engenharia) -- Escola de Engenharia, Universidade Federal do Rio Grande do Sul (UFRGS), Porto Alegre, 2005. Disponível em: <<http://www.lume.ufrgs.br/bitstream/handle/10183/4860/000505728.pdf?sequence=1>>. Acesso em: 10 jun. 2015.

SINGH, I. et al. Pd-coated Cu wire bonding technology: chip design, process optimization, production qualification and reliability test for high reliability semiconductor devices. In: ELECTRONIC COMPONENTS AND TECHNOLOGY CONFERENCE (ECTC), 62., 2012, San Diego. **Proceedings...** [S.I.]: IEEE, 2012. p. 1089-1096. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6248971>>. Acesso em: 10 maio 2015.

SINN, L. Y.; CHEE, T. Comprehensive study of epoxy die attach process to achieve zero reject performance. In: INTERNATIONAL CONFERENCE ON ELECTRONIC MANUFACTURING TECHNOLOGY, 31., 2007, Malaysia. **Proceedings...** [S.I.]: IEEE, 2007. p. 230-235. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=4456459>>. Acesso em: 15 maio 2015.

SÓCRATES. **[Fases e pensamentos]**. São Paulo, 2015. Disponível em: <<http://pensador.uol.com.br/frase/NDU0NTQ1/>>. Acesso em: 20 set. 2015.

SOOD, B. et al. Comparison of Printed Circuit Board Property Variations in Response to Simulated Lead-Free Soldering. **Transactions on Electronics Packaging Manufacturing**, [S.I.], v. 33, n. 2, p. 98-110, Apr. 2010. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5437212>>. Acesso em: 15 jul. 2015.

SWART, J. W. **Evolução e cenário da microeletrônica**. São Leopoldo, 2014. Material em PowerPoint apresentado, na disciplina de Introdução a Tecnologia de Semicondutores, no Auditório Concli Gomes, da Universidade do Vale do Rio dos Sinos (UNISINOS), São Leopoldo, 2014.

TEXAS INSTRUMENTS. **History of inovation**. Dallas, 2015. Disponível em: <<http://www.ti.com/corp/docs/company/history.html>>. Acesso em: 05 jul. 2015.

TUMMALA, R. R. **Fundamentals of microsystems packaging**. New York: McGraw-Hill Professional, 2001.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics packing handbook**: part I. 2nd ed. Norwell: Chapman & Hall, 2001a.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics packing handbook**: part II. 2nd ed. Norwell: Chapman & Hall, 2001b.

TUMMALA, R. R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics packing handbook**: part III. 2nd ed. Norwell: Chapman & Hall, 2001c.

TUMMALA, R. R.; SWAMINATHAN, M. **Introduction to system-on-package (SOP)**: miniaturization of the entire system. San Francisco: McGraw-Hill, 2008.

VICENT, D. M. A. Laser Marking Equipment Process \$0 Cost Productivity Improvement. In: ADVANCED SEMICONDUCTOR MANUFACTURING CONFERENCE 25., 2014, New York. **Proceedings...** [S.I.]: IEEE, 2014. p. 310-314. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6847027>>. Acesso em: 10 jun. 2015.

VIJCHULATA, P. Unique Fiducial Designs for CSP Singulation Process. In: INTERNATIONAL ELECTRONICS MANUFACTURING TECHNOLOGY SYMPOSIUM, 28., 2003. **Proceedings...** [S.l.]: IEEE, 2003. p. 07-12. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1225870>>. Acesso em: 10 jul. 2015.

WAI, L. C. et al. Process characterization of highly conductive silver paste die attach materials for thin die on QFN. In: ELECTRONICS PACKAGING TECHNOLOGY CONFERENCE, 14., 2012, Singapore. **Proceedings...** [S.l.]: IEEE, 2012. p. 372-378. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6507110>>. Acesso em: 10 ago. 2015.

WENDLING, M. **Semicondutores**: versão 1.0. São Paulo: UNESP, 2009. Disponível em: <http://www.feg.unesp.br/~jmarcelo/restrito/arquivos_downloads/apostilas/eb2/semicondut_v1.pdf>. Acesso em: 12 jul. 2015.

WORLD SEMICONDUCTOR TRADE STATISTICS (WSTS). **More than 25 years authentic market monitoring**. California, Nov. 2015. Disponível em: <<https://www.wsts.org/>>. Acesso em: 16 maio 2015.

ZHENG, H. et al. Mechanism Investigation on die tilt in die attach process based on minimal free energy theory. In: INTERNATIONAL CONFERENCE ON ELECTRONIC PACKAGING TECHNOLOGY, 14., 2014, Orlando. **Proceedings...** [S.l.]: IEEE, 2010. p. 1251-1255. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6892424>>. Acesso em: 15 set. 2015.

GLOSSÁRIO

Assembly: montagem.

Backend: Etapa de encapsulamento e teste no processo de fabricação de circuitos integrados.

Backgrindind: polimento das lâminas de *wafer*.

Blade: lâminas de corte utilizadas nas etapas de *wafer dicing* e *singulation*.

Chip: circuito integrado; dispositivo microeletrônico que consiste de muitos transistores e outros componentes interligados capazes de desempenhar muitas funções. Suas dimensões são extremamente reduzidas, os componentes são formados por pastilhas de material semicondutor (silício).

Chipping: quebra na superfície do *chip* que pode ser gerada no processo *wafer dicing*.

Die: mesmo que *chip*.

Die attach: colagem de die. Etapa do processo de encapsulamento onde ocorre a colagem dos *dice* ao PCB.

Dice: plural de *die*.

Flame resistant: resistente à chama.

Frame: armação par corte de *wafer*. Disco metálico para suporte dos *wafers*.

Frontend: Etapa de fabricação do *chip* no processo de fabricação de circuitos integrados.

Kerf: largura do corte gerado no processo de *wafer dicing*.

Laser marking: marcação a laser. Etapa do processo de encapsulamento onde ocorre a marcação dos dados do produto.

Molding: moldagem. Etapa do processo de encapsulamento onde ocorre a injeção do EMC.

Solder ball attach: colagem das esferas de solda. Etapa do processo de encapsulamento onde ocorre a anexação das esferas de solda ao PCB, já moldado.

Sawing and sorter: corte do PCB, já moldado, em unidades.

Singulation: vide *Sawing and sorter*.

Tape: filme para corte. Filme plástico onde os *chips* são dispostos.

Wafer: placa formada por vários *chips*. Placa redonda, formado pelo *frame* e pela *tape*, que serve como base para os *chips*.

Wafer dicing: serra da lâmina do *wafer*. Etapa do processo de encapsulamento onde ocorre o corte dos *wafers*.

Wire bonding: soldagem de fio. Etapa do processo de encapsulamento onde ocorre a soldagem dos fios de ligação.