

**UNIVERSIDADE DO VALE DO RIO DOS SINOS - UNISINOS  
UNIDADE ACADÊMICA DE PESQUISA E PÓS-GRADUAÇÃO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA  
NÍVEL MESTRADO**

**FELIPE SCHVER PADÃO**

**ANÁLISE DE PROJETOS DE ENCAPSULAMENTOS DO TIPO *SYSTEM-IN-PACKAGE* APLICANDO FLUIDODINÂMICA COMPUTACIONAL (CFD) NO  
PROCESSO DE MOLDAGEM POR COMPRESSÃO**

**São Leopoldo**

**2023**

FELIPE SCHVER PADÃO

**ANÁLISE DE PROJETOS DE ENCAPSULAMENTOS DO TIPO *SYSTEM-IN-PACKAGE* APLICANDO FLUIDODINÂMICA COMPUTACIONAL (CFD) NO PROCESSO DE MOLDAGEM POR COMPRESSÃO**

Dissertação apresentada como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica, pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade do Vale do Rio dos Sinos - UNISINOS.

**Orientadora:** Dra. Iara Janaína Fernandes.

**Coorientadora:** Dra. Flávia Franceschini Zinani.

São Leopoldo

2023

P123a Padão, Felipe Schver.  
Análise de projetos de encapsulamentos do tipo *System-In-Package* aplicando fluidodinâmica computacional (CFD) no processo de moldagem por compressão / Felipe Schver Padão. – 2023.  
141 f. : il. ; 30 cm.

Dissertação (mestrado) – Universidade do Vale do Rio dos Sinos, Programa de Pós-Graduação em Engenharia Elétrica, 2023.  
“Orientadora: Profa. Dra. Iara Janaína Fernandes  
Coorientadora: Profa. Dra. Flávia Franceschini Zinani.”

1. CFD com elementos finitos. 2. Encapsulamento de semicondutores. 3. Moldagem por compressão. 4. Simulação numérica de circuitos integrados. 5. System-In-Package. I. Título.

CDU 621.3

Dados Internacionais de Catalogação na Publicação (CIP)  
(Bibliotecária: Silvana Dornelles Studzinski – CRB 10/2524)

*Dedico este trabalho à minha família e amigos que sempre estiveram ao meu lado em momentos desafiadores. Como engenheiro, dedico todo o conhecimento gerado às próximas gerações.*

## **AGRADECIMENTOS**

Gostaria de agradecer à todas as pessoas que desempenharam um papel importante e contribuíram de forma direta ou indireta para a realização deste estudo.

Primeiramente gostaria de agradecer à minha esposa Priscila Domingues, meus pais Fernando Padão e Nina Schver que sempre foram meus pilares e fontes de inspiração em momentos desafiadores, me mantendo motivado a sempre dar o meu melhor e seguir meu desenvolvimento pessoal e profissional e aos meus animais de estimação, que me fizeram companhia durante minhas longas horas de estudo e escrita.

Ao meu estimado colega MSc. Rafael Nascimento Bez, que foi essencial em diversas etapas do desenvolvimento deste estudo e desempenhou um grande papel como formador de conhecimento, meus mais sinceros agradecimentos.

Às minhas orientadoras Dra. Iara Fernandes e Dra. Flávia Zinani por sua dedicação, confiança, conhecimento e vontade de ajudar no que fosse possível. Aos demais professores da Unisinos e membros do itt Chip por toda ajuda fornecida, com agradecimento especial ao Ricardo Dos Santos Pereira que me deu forte apoio na ferramenta de simulação.

À HT MICRON SEMICONDUCTORES S.A por acreditar no desenvolvimento deste estudo e no meu desenvolvimento profissional, agradeço também a ajuda financeira que viabilizou a realização deste mestrado profissional. Aos meus colegas e amigos da HT MICRON pela colaboração, boa vontade e suporte.

*"Em algum lugar, alguma coisa incrível  
está esperando para ser descoberta."*

*(Carl Sagan)*

## RESUMO

Circuitos integrados do tipo *System-In-Package* (SiP) caracteristicamente apresentam alta densidade de componentes passivos em sua construção, o que pode vir a apresentar desafios no processo de encapsulamento do circuito integrado. O objetivo deste estudo foi desenvolver um modelo computacional para simular o processo de moldagem por compressão, com a finalidade de validar projetos de encapsulamentos do tipo SiP, mais precisamente, em regiões de difícil acesso, como é o caso da região onde se encontra o dispositivo 16 LGA (*Land Grid Array*), área do chip onde foi concentrado este estudo. Este trabalho visou a melhoria do escoamento do composto de moldagem, também conhecido pelo termo *Epoxy Molding Compound* (EMC), diminuindo a incidência de vazios, que é um defeito formado após a moldagem onde o ar fica aprisionado em determinada região do chip, podendo causar diversos problemas de qualidade, como por exemplo, curto-circuito, defeitos elétricos, delaminação do componente e etc. A metodologia envolveu o estudo de diferentes projetos, sendo "A" e "B" projetos já confeccionados dos dispositivos SiP, juntamente com projetos "C" e "D", propostos para este estudo, sendo estes uma alternativa que visou a melhoria do fluxo de EMC. A diferença entre projetos é basicamente o projeto interno do circuito integrado, onde modificou-se basicamente o terminal central, que tem a função de dissipação de calor. As amostras existentes foram sujeitas à análise de microscopia acústica, corte de secção transversal, e análise estatística. Os projetos "A" e "B" em conjunto com os projetos "C" e "D" foram avaliados por meio de simulações numéricas utilizando o programa COMSOL *Multiphysics*®. Cada um dos projetos envolve uma mudança no desenho dos seus canais, que visaram melhorar o escoamento do EMC. O projeto "A" não apresenta uma boa área de entrada para o EMC e a construção dos seus canais dificulta o escoamento. Por outro lado, os demais projetos, apresentam uma área extra para entrada do EMC e seus canais foram reconfigurados buscando uma fluidez melhor, cada um com suas particularidades. Os resultados mostraram que o projeto "B" apresentou melhorias significativas em comparação ao projeto "A", utilizado como referência. O projeto "B" demonstrou uma melhoria de 19,28% na vazão mássica (fluidez). Isso resultou em uma redução substancial na formação de vazios, que é uma falha indesejada no processo de encapsulamento de semicondutores. Os projetos "C" e "D", que foram desenvolvidos como alternativas aos projetos "A" e "B", tiveram uma simulação que apresentou melhorias significativas em relação ao projeto "A", mas não tanto quanto os resultados obtidos com "B". O projeto "C" teve um aumento de 6,06% na vazão mássica, enquanto o projeto "D" apresentou um aumento 16,80%, em comparação ao projeto "A". Essa abordagem ofereceu informações

para aprimorar projetos submetidos ao processo de moldagem por compressão. Dessa forma, foi evidenciado que o projeto "B" é a alternativa com melhor escoamento em seus canais e conseqüentemente apresenta menor probabilidade de formação de vazios.

**Palavras-Chave:** Simulação numérica de circuitos integrados; *System-in-Package*; Moldagem por compressão; Encapsulamento de semicondutores; CFD com elementos finitos.

## ABSTRACT

*Integrated circuits of the System-In-Package (SiP) type typically exhibit high component density in their construction, which may pose challenges in the integrated circuit encapsulation process. The aim of this study was to develop a computational model to simulate the compression molding process, with the purpose of validating SiP encapsulation designs, specifically in hard-to-reach regions such as the 16 Land Grid Array (LGA) device area, which was the focus of this study. This work aimed to improve the flow of the molding compound, also known as Epoxy Molding Compound (EMC), reducing the incidence of voids, a defect formed after molding where air becomes trapped in a specific region of the chip, potentially causing various quality issues such as short circuits, electrical defects, component delamination, and more. The methodology involved the study of different designs, with "A" and "B" being pre-existing SiP device designs, along with proposed designs "C" and "D" specifically for this study. These alternatives aimed to enhance the EMC flow. The main difference between designs is essentially the internal design of the integrated circuit, where the central terminal, responsible for heat dissipation, was modified. Existing samples underwent acoustic microscopy analysis, cross-sectional cutting, and statistical analysis. Designs "A" and "B," along with designs "C" and "D," were evaluated through numerical simulations using the COMSOL Multiphysics® program. Each design involved a change in the channel layout, aiming to improve the EMC flow. Design "A" lacked a proper entry area for EMC, and its channel construction hindered flow. On the other hand, the other designs provided an extra entry area for EMC, and their channels were reconfigured for improved fluidity, each with its own characteristics. Results showed that design "B" exhibited significant improvements compared to design "A," used as a reference. Design "B" demonstrated a 19.28% improvement in mass flow (fluidity), resulting in a substantial reduction in void formation, an undesirable flaw in semiconductor encapsulation processes. Designs "C" and "D," developed as alternatives to designs "A" and "B," showed simulation improvements compared to design "A" but not as much as the results obtained with "B." Design "C" had a 6.06% increase in mass flow, while design "D" showed a 16.80% increase compared to design "A." This approach provided insights to enhance designs subjected to the compression molding process, highlighting that design "B" is the alternative with the best channel flow and consequently has a lower probability of void formation.*

**Keywords:** *Numerical simulation of integrated circuits; System-in-Package; Compression molding; Semiconductor encapsulation; Finite element CFD.*

## LISTA DE FIGURAS

Figura 1 - Circuito integrado de J. Kilby.....	24
Figura 2 - Lei de Moore.....	26
Figura 3 - Evolução de número de transistores nos chips da <i>Intel</i> , exemplificando a Lei de Moore. ....	27
Figura 4 - Evolução dos tipos de encapsulamento ao longo dos anos.....	29
Figura 5 - Encapsulamento <i>Through-hole</i> SIP e DIP respectivamente. ....	30
Figura 6 - Encapsulamento <i>Surface-mounted package</i> tipo BGA.....	31
Figura 7 - Esquema básico de empilhamento de chips com interconexões de fio de ouro. ....	32
Figura 8 - iMCP HT32SX, um SiP desenvolvido pela empresa HT Micron semicondutores. ....	33
Figura 9 - Composição genérica de um composto de moldagem. ....	35
Figura 10 - Formato de sílica para EMC (Sílica esférica x Sílica angular). ....	38
Figura 11 - Característica <i>Spiral Flow</i> sob influência do volume de sílica angular e esférica. ....	41
Figura 12 - Mudança de CTE influenciada pela $T_g$ em um EMC. ....	42
Figura 13 - Esquema básico do processo de moldagem por compressão de circuitos integrados. ....	44
Figura 14 - Esquema de moldagem por compressão após o fechamento das cavidades. ....	45
Figura 15 - Equipamento de moldagem por compressão PMC1040-D da empresa Towa. ....	47
Figura 16 - Esquema de moldagem por transferência. ....	49
Figura 17 - Vazios gerados no processo de moldagem e analisadas através de corte de secção transversal.....	51
Figura 18 – Delaminação.....	52
Figura 19 - Resultado de um ' <i>Peel of test</i> ' satisfatório.....	53
Figura 20 - Comparação entre moldagem por transferência com velocidade mínima (superior) x velocidade máxima (inferior) em CI do tipo DRAM. ....	54
Figura 21 – Fios de ouro com vários pontos de solda e com alturas variáveis. ....	55
Figura 22 - Típica deflexão de um fio de ouro com solda em cascata. ....	56
Figura 23 - Empenamento em uma placa de circuito impresso após o processo de moldagem. ....	57
Figura 24 - Esquema de funcionamento de escaneamento por microscopia acústica utilizando modo-C. ....	66
Figura 25 - Esquema de funcionamento de escaneamento por microscopia acústica utilizando modo-T. ....	67

Figura 26 - Equipamento de microscopia acústica SONIX.....	67
Figura 27 - Processo para eliminar ar da superfície da placa de circuito impresso.....	68
Figura 28 - PCI sendo analisada por equipamento de microscopia acústica.....	69
Figura 29 - Padrão de onda típica gerada em um encapsulamento. ....	69
Figura 30 - Padrão de onda para um sinal em modo-T de um circuito integrado. ....	70
Figura 31 - Padrão de onda para um sinal em modo-C de um circuito integrado. ....	71
Figura 32 - Molde para embutimento com resina epóxi e endurecedor. ....	72
Figura 33 - Politriz modelo PVV utilizado para lixar chip embutido com epóxi.....	73
Figura 34 - Identificação da área de formação de vazios. ....	75
Figura 35 - Projetos da PCI da região do dispositivo 16 LGA.....	76
Figura 36 - Dispositivo 16 LGA posicionado na PCI do SiP.....	77
Figura 37 - PCI versus tridimensional do projeto de chip “A”, “B”, “C” e “D”.....	77
Figura 38 - Vista de topo dos projetos “A” “B”, “C” e “D” respectivamente, com e sem dispositivo 16 LGA posicionado. ....	79
Figura 39 - Dispositivo 16 LGA e a escolha de projeto para cada SiP. ....	80
Figura 40 - Domínio de análise do problema. ....	81
Figura 41 - Malha do chip SiP, para os projetos “A”, “B”, “C” e “D”. ....	85
Figura 42 - Amostragem de peças do lote 6 após análise por microscopia acústica modo-C e modo-T. ....	91
Figura 43 - Amostragem de peças do lote 4 após análise por microscopia acústica modo-C e modo-T. ....	94
Figura 44 - Representação dos contatos entre dispositivo 16 LGA e substrato. ....	95
Figura 45 - Rebaixos nos substratos para o projeto “A” e “B” respectivamente. ....	97
Figura 46 - Esquema de preenchimento do composto de moldagem, tanto para o projeto “A” quanto para o “B”. ....	98
Figura 47 - Regiões de quina do SiP, mostrando a relação entre bordas do chip e dimensão da sílica.....	101
Figura 48 - Condição de saída para os projetos "A", "B", "C" e "D".....	103
Figura 49 - Campo de velocidade do dispositivo 16LGA no projeto “A” ( $\mu\text{m/s}$ ). ....	106
Figura 50 - Campo de velocidade do dispositivo 16LGA no projeto “B” ( $\mu\text{m/s}$ ).....	107
Figura 51 - Campo de velocidade do dispositivo 16LGA no projeto “C” ( $\mu\text{m/s}$ ).....	108
Figura 52 - Campo de velocidade do dispositivo 16LGA no projeto “D” ( $\mu\text{m/s}$ ). ....	109

## LISTA DE TABELAS

Tabela 1 - Propriedades típicas de encapsulastes. ....	39
Tabela 2 - Especificação de equipamento de moldagem por compressão. ....	48
Tabela 3 - Vantagens e desvantagens dos processos de moldagem por compressão e transferência. ....	50
Tabela 4 - Principais propriedades do EMC.....	83
Tabela 5 - Parâmetros de simulação. ....	84
Tabela 6 - Estatísticas da malha. ....	86
Tabela 7 - Porcentagem de falhas por lote. ....	90
Tabela 8 - Porcentagem de falhas por lote. ....	93
Tabela 9 - Área e volume livre para escoamento do composto de moldagem no projeto “A”, “B”, “C” e “D”. ....	96
Tabela 10 - Análise em microscópio do tamanho da sílica SG-8500BE com formato esférico. .....	100
Tabela 11 - Resultados de simulação dos projetos "A", "B", "C" e "D". ....	105

**LISTA DE FLUXOGRAMAS**

Fluxograma 1 - Passos básicos para moldagem por compressão. ....	46
Fluxograma 2 - Metodologia. ....	64

## LISTA DE SIGLAS

BGA	<i>Ball-grid array</i>	Esferas em matriz de grade
BPA	<i>Bisphenol A</i>	Bisfenol A
CFD	<i>Computational Fluid Dynamics</i>	Fluidodinâmica computacional
CI	Circuito integrado	-
CTE	<i>Coefficient of thermal expansion</i>	Coeficiente de expansão térmica
DAF	<i>Die Attach Film</i>	Filme de colagem de chip
DDP	<i>Double-Die-Package</i>	Encapsulamento com dois <i>dies</i>
DIP	<i>Dual in-line package</i>	Encapsulamento em duas linha
EDP	Equações diferenciais parciais	-
EMC	<i>Epoxy Molding Compound</i>	Composto epóxi de moldagem
eMCP	<i>Embedded Multi-Chip-Package</i>	Encapsulamento multi-chip
eMMC	<i>Embedded Multi-Media-Card</i>	Cartão multimídia
LGA	<i>Land-Grid Array</i>	Contato em matriz de grade
MEF	Método dos elementos finitos	-
PCI	Placa de circuito impresso	-
PEM	<i>Plastic Encapsulated Microcircuit</i>	Microcircuito plástico encapsulado
PGA	<i>Pin-grid array</i>	Pinos em matriz de grade
PLCC	<i>Plastic-leaded chip carrier</i>	Encapsulamento plástico com terminal de chumbo
QDP	<i>Quad-flatpack</i>	Pacote plano quadrado
QDP	<i>Quad-Die-Package</i>	Encapsulamento de quatro <i>dies</i>
SAM	<i>Scanning Acoustic Microscopy</i>	Escaneamento por microscopia acústica
SIP	<i>Single in-line package</i>	Encapsulamento em linha
SiP	<i>System-in-Package</i>	Sistema em um chip
SMD	<i>Surface Mounted Device</i>	Dispositivo montado na superfície
SoC	<i>System-on-Chip</i>	Sistema em um chip
SoP	<i>Small-outline package</i>	Pacote de contorno pequeno
uMCP	<i>UFS-Based Multi-Chip-Package</i>	Encapsulamento Multi Chip baseado em UFS

## LISTA DE SÍMBOLOS

$\delta^c_{sag}$	Deflexão máxima do fio	$\mu\text{m}$
$K_{sag}$	Rigidez do fio	$\text{N/m}$
$P_{sag}$	Força de arraste	$\text{N}$
$p_{sag}$	Deformação por unidade de comprimento	$\mu\text{m}$
$T_g$	Temperatura de transição vítrea	$^{\circ}\text{C}$
$\alpha_1$	Coefficiente de expansão térmica antes da transição vítrea	$\text{ppm}/^{\circ}\text{C}$
$\alpha_2$	Coefficiente de expansão térmica após a transição vítrea	$\text{ppm}/^{\circ}\text{C}$
$S$	Comprimento do fio	$\mu\text{m}$
$\dot{m}$	Vazão mássica	$\text{kg/s}$
$\rho$	Massa específica	$\text{kg/m}^3$
$A$	Área	$\text{m}^2$
$V_{Med}$	Velocidade média	$\text{m/s}$
$\mu\text{m}$	Micrometros	$\mu\text{m}$
$E$	Energia interna	$\text{J}$
$q_{tot}$	Fluxo de calor total	$\text{W}$
$e_{tot}$	Fluxo de energia total	$\text{W}$
$n$	Vetor	Adimensional
$\Omega$	Domínio (Equação de balanço de calor e energia)	Adimensional
$d\Omega_{int}$	Limites	Adimensional
$W_{str,int}$	Pressão de trabalho	$\text{Pa}$
$Q$	Fonte de calor	$\text{J}$

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>18</b>
1.1	DELIMITAÇÃO DO TEMA .....	19
1.2	PROBLEMA DE PESQUISA .....	20
1.3	HIPÓTESES .....	20
1.4	OBJETIVOS .....	21
<b>1.4.1</b>	<b>Objetivos gerais .....</b>	<b>21</b>
<b>1.4.2</b>	<b>Objetivos específicos .....</b>	<b>21</b>
1.5	JUSTIFICATIVA .....	21
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA .....</b>	<b>24</b>
2.1	ENCAPSULAMENTO DE DISPOSITIVOS SEMICONDUTORES .....	24
<b>2.1.1</b>	<b>Lei de Moore .....</b>	<b>26</b>
2.2	TIPOS DE ENCAPSULAMENTO .....	28
<b>2.2.1</b>	<b>Lead-frame .....</b>	<b>29</b>
<b>2.2.2</b>	<b>Substrato .....</b>	<b>30</b>
<b>2.2.3</b>	<b>Empilhamento de chips .....</b>	<b>31</b>
<b>2.2.4</b>	<b>System-in-Package (SiP) .....</b>	<b>32</b>
2.3	INTERCONEXÃO DO TIPO LGA .....	33
<b>2.3.1</b>	<b>Influência do projeto na dissipação de calor .....</b>	<b>33</b>
2.4	PROPRIEDADES DO EMC (EPOXY MOLDING COMPOUND) .....	34
<b>2.4.1</b>	<b>Compatibilidade reológica .....</b>	<b>38</b>
2.5	MÉTODOS DE ENCAPSULAMENTO .....	42
<b>2.5.1</b>	<b>Processo de moldagem por compressão .....</b>	<b>43</b>
2.5.1.1	Equipamento de moldagem por compressão (C-MOLD) .....	47
<b>2.5.2</b>	<b>Vácuo na câmara do molde .....</b>	<b>48</b>
<b>2.5.3</b>	<b>Processo de moldagem por transferência .....</b>	<b>49</b>
<b>2.5.4</b>	<b>Principais defeitos gerados durante o processo de moldagem .....</b>	<b>50</b>
2.5.4.1	Vazios (voids) .....	50
2.5.4.2	Delaminação .....	52
2.5.4.3	Arraste de fios (Wire Sweep) .....	53
2.5.4.4	Arqueamento de fios (Wire sagging) .....	54
2.5.4.5	Empenamento (Warpage) .....	56
2.6	FLUIDODINÂMICA COMPUTACIONAL .....	57

2.7	TRABALHOS SIMILARES.....	60
<b>3</b>	<b>METODOLOGIA .....</b>	<b>62</b>
3.1	ANÁLISE DAS AMOSTRAS .....	65
<b>3.1.1</b>	<b>Amostragem.....</b>	<b>65</b>
<b>3.1.2</b>	<b>Método Para Realização De Microscopia Acústica.....</b>	<b>65</b>
<b>3.1.3</b>	<b>Método Para Realização De <i>Cross-Section</i>.....</b>	<b>71</b>
<b>3.1.4</b>	<b>Análise Do Composto de Moldagem.....</b>	<b>74</b>
3.2	SIMULAÇÃO NUMÉRICA COMPUTACIONAL .....	74
<b>3.2.1</b>	<b>Modelo Físico .....</b>	<b>74</b>
<b>3.2.2</b>	<b>Modelo Geométrico .....</b>	<b>77</b>
<b>3.2.3</b>	<b>Domínio de análise .....</b>	<b>81</b>
<b>3.2.4</b>	<b>Modelo matemático e numérico .....</b>	<b>82</b>
3.2.4.1	Modelo da malha.....	84
3.2.4.1.1	<i>Convergência e sensibilidade de malha.....</i>	86
<b>4</b>	<b>RESULTADOS E DISCUSSÃO .....</b>	<b>88</b>
4.1	RESULTADOS EXPERIMENTAIS .....	88
<b>4.1.1</b>	<b>ANÁLISE ESTATÍSTICA .....</b>	<b>88</b>
<b>4.1.2</b>	<b>ANÁLISE DO TAMANHO DA SÍLICA DO COMPOSTO DE</b>	
<b>MOLDAGEM .....</b>		<b>99</b>
4.2	RESULTADOS DAS SIMULAÇÕES .....	102
<b>5</b>	<b>CONCLUSÃO .....</b>	<b>110</b>
<b>6</b>	<b>TRABALHOS FUTUROS.....</b>	<b>112</b>
	<b>REFERÊNCIAS .....</b>	<b>113</b>

## 1 INTRODUÇÃO

Um dos marcos que mudaram os rumos da história recente da tecnologia foi o surgimento da microeletrônica. Em 1959, os físicos Jack Kilby e Robert Noyce se viram disputando a patente do circuito integrado e que acabou levando Kilby a ganhar o prêmio Nobel pela invenção (TUMMALA & KILBY, 2001). Desde então, em 1965 Gordon E. Moore descreveu o que viria ser conhecida como Lei de Moore, que dizia que a cada 18 meses os chips poderiam abrigar o dobro de transistores em uma única lâmina de sílica (TUMMALA, 2001).

Em 2023, a importância da indústria de semicondutores para o mundo continua a crescer à medida que os chips se tornam uma presença ainda maior nas tecnologias essenciais de hoje e dão origem às tecnologias transformadoras do amanhã. No total, mais de 1 trilhão de semicondutores foram vendidos globalmente no ano passado. Com o aumento da demanda por chips, nações ao redor do mundo têm intensificado os investimentos governamentais para atrair a produção e a inovação em semicondutores. Em 2022, o governo dos EUA realizou o marco regulatório *CHIPS and Science Act*, que prevê investimentos necessários em pesquisa de semicondutores e incentivos à fabricação para fortalecer a economia mundial, reafirmando a importância dos semicondutores para a economia global. Com isso, surgiram dezenas de novos projetos de semicondutores ao redor do mundo, somando mais de US\$ 200 bilhões em investimentos privados (SEMICONDUCTOR INDUSTRY ASSOCIATION, 2023).

Atualmente, os circuitos integrados com soluções para IoT (*Internet of Things*) estão abrindo caminho rumo a inovação e conectividade 4G/5G, Wi-Fi e Bluetooth. Um tipo de encapsulamento que pode abrigar de maneira satisfatória todos os recursos dessa nova demanda tecnológica do mercado da internet das coisas, é o SiP. Este tipo de encapsulamento permite agrupar em um único circuito integrado diversas tecnologias de maneira integrada, ou seja, permite que sejam encapsulados diversos componentes passivos em um único chip, gerando assim, uma gama gigantesca de possibilidades e aplicações com alto padrão de qualidade (LIN et al., 2020).

Até o produto chegar ao mercado é necessário enfrentar diversas etapas, como por exemplo, prototipagem, produção, testes de confiabilidade e qualificação. Tendo isso em mente, a etapa de prototipagem pode demandar um considerável tempo do projeto devido à necessidade de validar diversos processos e projetos (LIN et al., 2020). Um dos desafios de processo, é a formação de espaços vazios durante o processo de moldagem por compressão, especialmente em regiões de alta densidade de componentes. Esses vazios podem levar a curtos-circuitos e falhas no produto. A simulação computacional surge como uma ferramenta valiosa

para acelerar o processo de prototipagem e validar projetos. Ao prever e otimizar processos, a simulação pode reduzir ciclos de desenvolvimento, custos e a necessidade de validação experimental (HUANG et al., 2020).

A moldagem por compressão tem sido cada vez mais utilizado na indústria de semicondutores por se mostrar uma opção vantajosa, em alguns aspectos, em relação ao processo de moldagem por transferência. Uma dessas vantagens é que o processo por compressão proporciona um preenchimento mais uniforme, o que traz maior qualidade a produtos de alta densidade de componentes. (ARDEBILI; ZHANG; PECHT, 2018).

Este estudo aborda o encapsulamento de SiPs por moldagem por compressão, focando na identificação de fatores que influenciam na formação de vazios durante essa etapa, como por exemplo, projetos que possuam espaços não compatíveis ao tamanho de grão de sílica, o próprio formato da sílica, propriedades químicas e térmicas do composto de moldagem e o projeto de chip que não seja especialmente projetado para facilitar o escoamento do EMC no processo de moldagem por compressão. A simulação computacional é utilizada como uma ferramenta para antecipar problemas, acelerar decisões e reduzir custos no desenvolvimento de produtos de semicondutores. A abordagem busca melhorar a eficiência da etapa de encapsulamento, crucial para garantir a qualidade e o desempenho dos produtos no mercado tecnológico em constante evolução.

## 1.1 DELIMITAÇÃO DO TEMA

Neste trabalho foram abordadas soluções que buscam auxiliar na melhoria do escoamento de EMC em projetos da região de um dispositivo 16LGA em semicondutores com encapsulamento do tipo *System-In-Package* utilizando CFD (*Computational Fluid Dynamic*) e ferramentas de qualidade.

A parte de CFD foi construída através do programa COMSOL *Multiphysics*®, utilizando as principais características químicas e físicas do EMC SG-8500BE, como viscosidade, coeficiente de Poisson, coeficientes térmicos, entre outros. Do processo de moldagem por compressão do circuito integrado foi levado em consideração parâmetros básicos do processo e do equipamento PCM1040-D, como temperaturas de operação entre 293,5 e 440,2 Kelvin (20,35 °C e 167,05 °C respectivamente) e pressão inicial e final até 14 toneladas, com aplicação de vácuo na câmara de moldagem de 0,4 a 0,45 Mpa. No programa de simulação foram configuradas as regiões de interesse para escoamento, refinamento de malha, materiais,

física de escoamento laminar aplicada a cada região, assim como suas delimitações espaciais de 18 [x] ; 18 [z] ; 1,1 [y] mm (Largura x Altura x Espessura).

Além das ferramentas de CFD, foram utilizados métodos de análise por microscopia acústica (modo-C e modo-T), corte de secção transversal na região de interesse e análise estatística com gráficos de barras para comparativo entre amostras.

## 1.2 PROBLEMA DE PESQUISA

Circuitos integrados com encapsulamento SiP podem apresentar defeitos no processo de moldagem por compressão devido sua alta densidade de componentes. Muitos destes componentes possuem geometrias variadas e podem demandar preenchimento de composto de moldagem em regiões de difícil acesso. Entre os defeitos que podem vir a surgir na moldagem por compressão, os vazios podem ser grandes geradores de falha em circuitos integrados. Sendo assim, é possível configurar um programa que utiliza CFD e que auxilie avaliação de projetos de circuitos integrados, e dessa forma, entender quais projetos possuem uma menor tendência à formação desse defeito?

## 1.3 HIPÓTESES

É possível utilizar ferramentas de modelagem 3D e de simulações computadorizadas, de forma confiável, para entender o comportamento de diversos fatores envolvidos no projeto de desenvolvimento de novos produtos, possibilitando simular de forma sucinta e a baixo custo o preenchimento de EMC em dispositivos semicondutores do tipo SiP no processo de moldagem por compressão. Dessa maneira é possível contornar inconsistências de projeto durante a prototipagem, evitando surgimento de *voids* (vazios) na etapa de moldagem por compressão (LIN et al., 2020).

Um modelo de simulação computacional de escoamentos, utilizando as modelagens físicas disponíveis no programa COMSOL, tem a capacidade de prever o resultado do processo e encapsulamento de um SiP.

A interação entre parâmetros, como por exemplo, propriedades do EMC, parâmetros de processo e projeto do chip tem efeito importante no resultado do encapsulamento no processo de moldagem por compressão. Assim, a modelagem computacional pode ser usada para estudar seus efeitos em projetos.

a) O projeto da placa de circuito impresso do protótipo do chip SiP tem potencial de gerar vazios após o processo de moldagem por compressão utilizando EMC.

b) A soma de fatores, como a estruturação, projeto dos contatos, pasta de solda e o espaço entre componentes, contribuem para a limitação do espaço disponível para escoamento eficiente do EMC.

## 1.4 OBJETIVOS

Neste subcapítulo, foram abordados os objetivos gerais e específicos que guiaram este trabalho de pesquisa.

### 1.4.1 Objetivos gerais

Aplicar um modelo computacional para simular o processo de moldagem por compressão com capacidade de validar e auxiliar em projetos de encapsulamentos do tipo *System-In-Package* de modo a reduzir falhas de formação de vazios.

### 1.4.2 Objetivos específicos

Os objetivos específicos deste trabalho são:

a) Construir o modelo computacional com parâmetros pré-determinados referente aos materiais e processos pré-estabelecidos;

b) Comparar geometrias quanto ao escoamento do EMC, obtendo valores de vazão mássica em cada projeto de chip;

c) Identificar e discutir as causas de formação de vazios a fim de propor projetos mais assertivos de circuitos integrados;

d) Propor novos projetos de circuitos integrados em comparação com o projeto original.

## 1.5 JUSTIFICATIVA

Ao desenvolver um novo produto é necessário passar por diversas etapas antes de finalmente lançá-lo no mercado. É preciso envolver diversas áreas técnicas para definir os objetivos e o escopo do projeto, sendo que a etapa de prototipagem do produto, o momento

mais desafiador, pois é necessário validar pontos já acordados e discutidos entre equipes técnicas a fim de seguir com as demais etapas de desenvolvimento. Em projetos inovadores, de alto risco ou com incerteza significativa em determinados estágios do seu desenvolvimento, o escopo com frequência é ajustado, desde o início e evolui durante o projeto (PMI, 2017).

Muitas das questões abordadas na prototipagem de produto são feitas através de testes com amostras para validação, o que é importante para o processo de fabricação. O problema que pode ocorrer é que os testes de validação não correspondam às expectativas e de haver a necessidade de várias mudanças de projeto até atingir os resultados desejados. Com a necessidade de validar mais processos, ferramentais e ajuste de projeto do circuito integrado, o custo do projeto, mão de obra e prazo do desenvolvimento podem aumentar consideravelmente (HUANG et al., 2020).

Os encapsulamentos do tipo *System-In-Package*, como característica, permitem agrupar diversos componentes passivos em um único chip, gerando assim, uma gama gigantesca de possibilidades e aplicações (LIN et al., 2020). A moldagem por compressão é uma excelente alternativa em relação a moldagem por transferência para encapsulamento de chips do tipo SiP. Isso devido a sua alta precisão de moldagem de circuitos integrados com alta densidade de componentes soldados, pois diferentemente do processo de transferência, este não causa arraste durante sua moldagem e também possui um processo mais uniforme de preenchimento por causa do ambiente de baixa pressão dentro das cavidades do molde (ARDEBILI; ZHANG; PECHT, 2018).

No processo de moldagem por compressão, podem ocorrer diversos defeitos, como qualquer outro processo produtivo. Tummala (2001) fala sobre delaminação da placa de circuito impresso e arraste de fios (*Wire Sweep*), sendo o primeiro gerado basicamente pelo estresse residual e propagação de microfissuras interfaciais que também podem ser agravados pela umidade. Já o segundo é o efeito de arraste de fios, sendo esse muito menos recorrente no processo de moldagem por compressão do que no de transferência. Kung, Chen e Lu (2013) falam a respeito de defeitos envolvendo arqueamento de fios (*wire sagging*), que é a deformação do fio de solda na direção perpendicular. Outro defeito que necessita atenção é o efeito de empenamento da placa devido a esforços gerados por materiais com diferentes coeficientes de expansão térmica (WONG et al., 2014). No processo de moldagem, como em qualquer outro método de moldagem de circuitos integrados, poderão ocorrer defeitos conhecidos como vazios no composto de moldagem. Pacotes de ar podem ficar aprisionadas na resina durante a execução do processo de moldagem. Este aprisionamento de ar pode ser causado por algumas razões, podendo ser gerados através de parâmetros não otimizados de

processo, ar que não foi expelido da prensa durante o processo (aplicação de vácuo) e até mesmo inconsistências do projeto do chip que não contribuem para o correto preenchimento do EMC na cavidade do molde (HUNT, 2008). O defeito por vazios é o principal defeito analisado neste estudo. Os vazios têm se tornado um problema crescente em circuitos integrados com alta densidade de componentes e passivos, como no caso de um SiP. Isto ocorre pois existem mais chances de ocorrer aprisionamento de ar em regiões abaixo de lâminas de sílico ou demais passivos soldados à placa de circuito impresso (HUANG et al., 2020).

De acordo com Lin et al., (2020) e Ouyang et al., (2021) nos últimos anos muito tem se falado a respeito da importância da simulação computadorizada como aliada importante na resolução de problemas complexos de engenharia, trazendo assim vários benefícios para o desenvolvimento de novos produtos. Essa ferramenta importante, entre outras aplicações, vem sendo utilizada para solucionar e estudar problemas relacionados à moldagem por compressão, visando diminuir e eliminar problemas gerais deste tipo de encapsulamento de chips e mais especificamente em dispositivos tipo SiP. A simulação também pode ser utilizada para avaliar parâmetros de maquinário na fase de prototipagem a fim de identificar possíveis problemas de processo que se pode vir a enfrentar. Também é possível averiguar quais os parâmetros geram influência e trazem riscos de surgimento de vazios na moldagem por compressão, sendo analisados todos os pontos necessários para uma simulação confiável, incluindo modelo matemático, construção de modelo 3D, características dos materiais, propriedades mecânicas e análise do projeto do empacotamento do SiP (LIN et al., 2020).

Neste contexto, este estudo utilizou a fluidodinâmica computacional para prever o resultado da moldagem por compressão com o objetivo de evitar o defeito de vazios. Foram utilizadas ferramentas de qualidade como microscopia acústica e corte em secção transversal para análise das amostras que foram produzidas, com a finalidade de validar os resultados obtidos através da simulação.

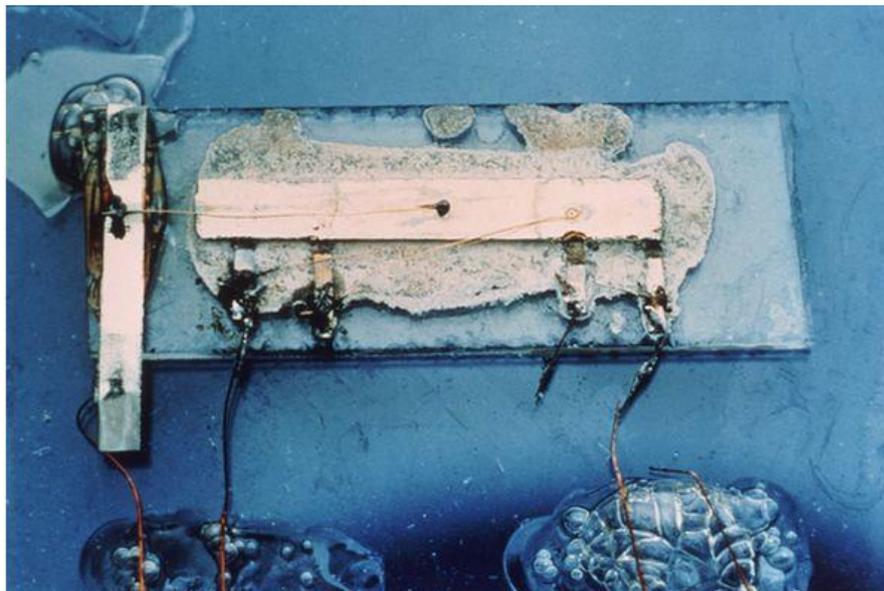
## 2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo, serão abordados os principais conceitos que fundamentam este trabalho. Seus conceitos históricos, trabalhos similares, propriedades dos materiais empregados no encapsulamento de semicondutores e processos de encapsulamento.

### 2.1 ENCAPSULAMENTO DE DISPOSITIVOS SEMICONDUTORES

Um dos marcos que mudaram os rumos da história recente da tecnologia foi o surgimento da microeletrônica, possibilitada por três grandes nomes, que em 1949, nas dependências da empresa *Bell Labs*, inventaram o transistor. Com isso, Walter Brattain, John Bardeen e Willian Shockley possibilitaram não somente o começo do desenvolvimento da microeletrônica como também permitiram que outras pessoas, como Jack Kilby, em 1959 criasse o primeiro conceito conhecido de circuito integrado. Robert Noyce, ainda em 1959 desenvolveu o primeiro circuito integrado planar. Embora Noyce tenha criado uma versão melhorada do circuito integrado de Kilby, utilizando silício e não germânio, quem recebeu o crédito e prêmio Nobel pela invenção, após longas disputas judiciais pela patente, foi Jack Kilby (TUMMALA & KILBY, 2001). Na Figura 1, vê-se a foto do primeiro circuito integrado, desenvolvido por Jack Kilby.

Figura 1 - Circuito integrado de J. Kilby.



Fonte: Thompson & Parthasarathy (2006).

É importante ressaltar algumas definições a respeito do significado de circuito integrado e de chips para melhor compreensão do que foi discutido. De acordo com o *The Authoritative Dictionary of IEEE Standards Terms (2000)*, a definição de circuito integrado é:

“Uma combinação de elementos de circuito interconectados inseparavelmente associados a um ou dentro de um substrato contínuo. (A) Uma combinação de elementos de circuito conectados (como transistores, diodos, resistores e capacitores) inseparavelmente associados a um ou dentro de um substrato contínuo. (B) Um circuito de estado sólido consistindo em dispositivos semicondutores ativos e passivos interconectados difundidos em um único chip de silício. [1]”

Enquanto o que se entende por chip é:

“(1) (gravação mecânica) O material removido do meio de gravação pela agulha de gravação ao cortar o sulco. (2) (componentes não lineares, ativos e não recíprocos de guia de onda) (semicondutor) Um pequeno elemento funcional sem embalagem feito ao subdividir uma pastilha de material semicondutor. Às vezes chamado de "die". (3) Um pequeno pedaço de silício ou outro material semicondutor no qual circuitos podem ser colocados. (4) Um pequeno elemento funcional sem embalagem feito ao subdividir uma pastilha de material semicondutor. Às vezes referido como um "die". Também usado como um modificador para indicar uma operação que se aplica ao chip inteiro, como em "chip enable" ou "chip clear". Sinônimo: circuito integrado. [2]”

---

[1] *A combination of interconnected circuit elements inseparably associated on or within a continuous substrate. (A) A combination of connected circuit elements (such as transistors, diodes, resistors, and capacitors) inseparably associated on or within a continuous substrate. (B) A solid-state circuit consisting of interconnected active and passive semiconductor devices diffused into a single silicon chip. Synonyms: chip; microcircuit. See also: monolithic integrated circuit; very-high-speed integrated circuit.*

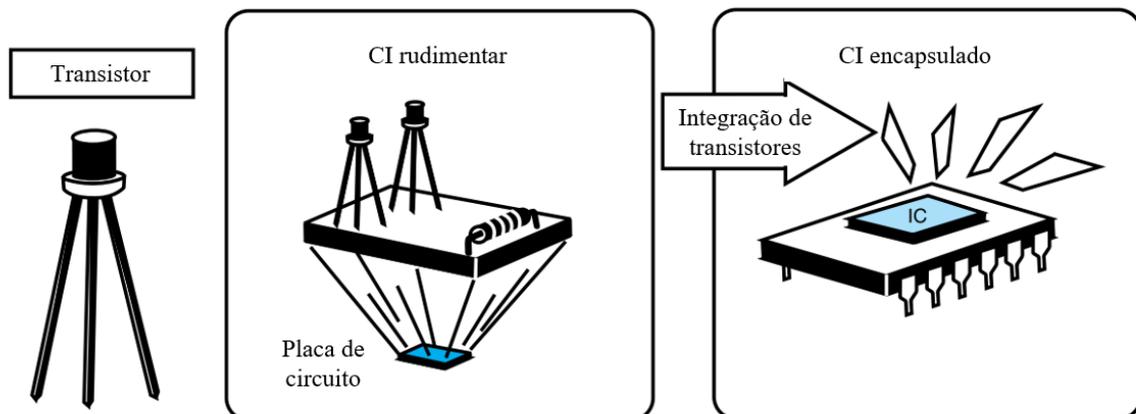
[2] *(1) (mechanical recording) The material removed from the recording medium by the recording stylus while cutting the groove. (2) (nonlinear, active, and nonreciprocal waveguide components) (semiconductor) A small unpackaged functional element made by subdividing a wafer of semiconductor material. Sometimes referred to as a "die". (3) A small piece of silicon or other semiconductive material on which circuits can be placed. (4) A small unpackaged functional element made by subdividing a wafer of semiconductor material. Sometimes referred to as a die. Also used as a modifier to indicate an operation that applies to the entire chip as in chip enable or chip clear. Synonym: integrated circuit.*

### 2.1.1 Lei de Moore

Em 1965, Gordon E. Moore, três anos antes dele e Robert Noyce se tornarem cofundadores da *Intel Corporation*, descreveu o que viria a ser conhecida como Lei de Moore, que vem sendo colocada em prática até hoje.

A lei de Moore diz que a cada 18 meses os fabricantes de chips conseguirão colocar o dobro de transistores em uma única lâmina de silício (conhecido na indústria como *Wafer*), uma ilustração da Lei de Moore é vista na Figura 2. O aumento do número de transistores vem ocorrendo de fato, até os últimos anos, porém em algum momento a Lei de Moore tende a encontrar barreiras dimensionais difíceis de serem transpostas (TUMMALA, 2001).

Figura 2 - Lei de Moore.



Fonte: Adaptado de Tummala (2001).

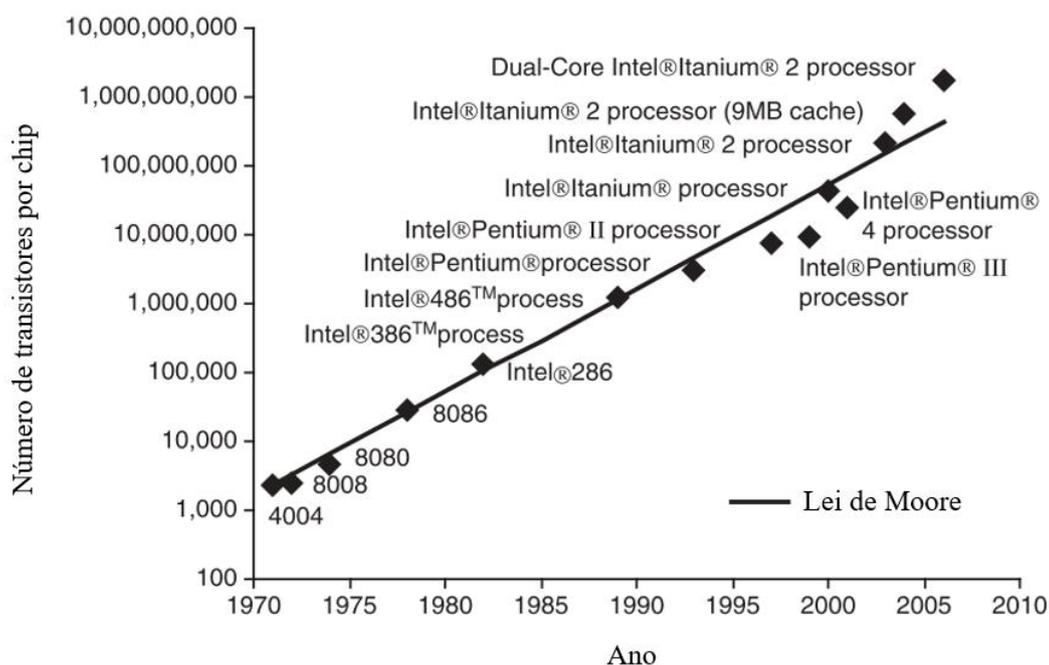
Cada vez mais se fala que a Lei de Moore não se sustentará para sempre e isto está se tornando cada vez mais evidente. Segundo uma grande empresa do ramo eletrônico, através de uma divulgação no seu canal de comunicação, a IBM (*International Business Machines Corporation*) informa que já estão sendo produzidos seus primeiros chips baseados em nó tecnológico de 2 nm, que é de aproximadamente 50 bilhões de transistores (IBM, [s.d.]). Nó tecnológico é um termo que pode ser definido conforme o trecho a seguir:

“Um termo usado na fabricação de dispositivos semicondutores para descrever o tamanho dos recursos no produto acabado. Citado em termos de nanômetros (ou maior para nós anteriores), o nó se refere à metade da distância entre elementos idênticos em uma célula de memória. No entanto, para muitos nós, esta não é uma medição precisa e deve ser entendida como apenas indicativa. Nós menores são mais recentes.” (BAGNATO et al., 2014)

Sendo tudo isso dito, afinal o que se pode esperar do futuro da Lei de Moore?

De acordo com Edwards (2021) já se deve começar a pensar em alternativas de ampliações e melhorarias do uso de inteligências artificiais, começar a desenvolver uma grande melhoria nos projetos de chips, procurar novos recursos para substituir o transistor CMOS no futuro, e o trabalho conjunto entre desenvolvimento de novos *hardwares* e tecnologias será essencial. Na Figura 3 é mostrado um gráfico do aumento da densidade de transistores em processadores *Intel* dos anos 1970 até 2010.

Figura 3 - Evolução de número de transistores nos chips da *Intel*, exemplificando a Lei de Moore.



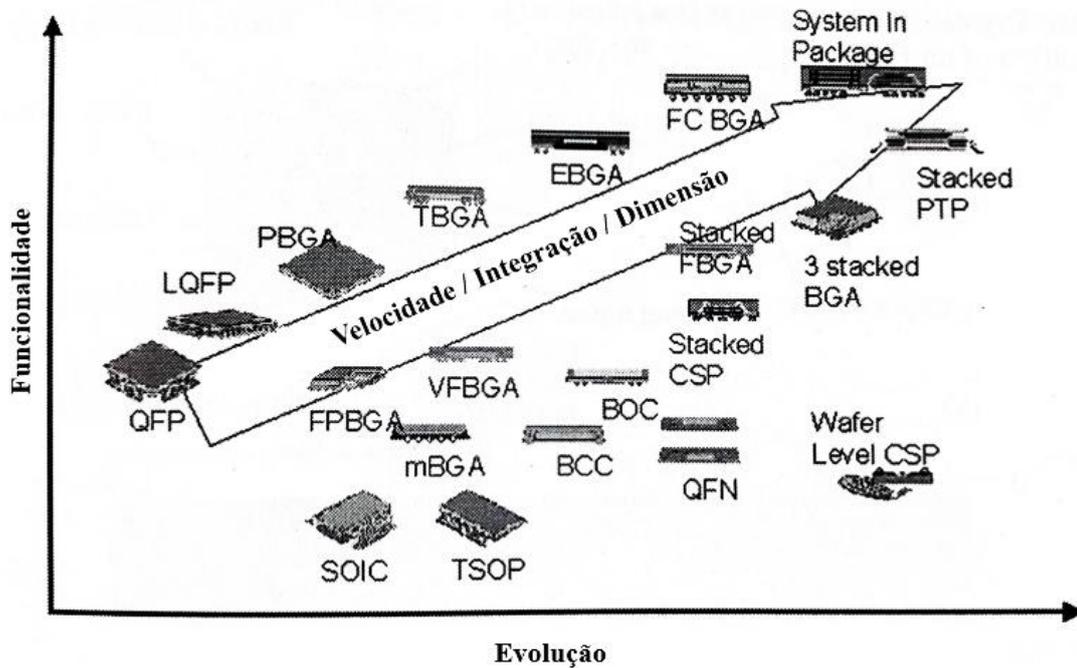
Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

## 2.2 TIPOS DE ENCAPSULAMENTO

O encapsulamento de chips é dividido em encapsulamento 2D e 3D, sendo o encapsulamento 2D dividido em *lead-frame*, que ainda é separado em outras duas categorias, sendo elas *Throug-holes mounted packages* e *Surface-mounted packages*, podendo também ser um encapsulamento com substrato, tanto de um único, quanto múltiplos chips. Nos encapsulamentos 3D tem-se o empilhamento de chips com interconexões, essa tecnologia vai ao encontro da necessidade de circuitos integrados com de dimensões e espessuras menores, conforme o avanço da tecnologia (HUNT, 2008).

Com o progresso das tecnologias de encapsulamentos com alta densidade de passivos, tem-se a possibilidade de montar diversos componentes com diversas funcionalidades em um único chip. O desafio atual se torna a miniaturização, ou seja, como aumentar a densidade de componentes em um espaço igual ou menor. Com o passar dos anos os circuitos integrados foram modificados, se adequando a evolução da tecnologia. Na Figura 4 pode ser observada a evolução dos circuitos integrados ao longo dos anos em função do surgimento de novas tecnologias (LU & WONG, 2009). No início do gráfico tem-se componentes como QFP (*Quad-flatpack*) e SOIC (*Small-Outline Integrated Circuit*), componentes com lead frame, sendo estes menores, com menor integração e menor velocidade de sinal devido aos seus terminais. Intermediariamente no gráfico, começam a surgir encapsulamentos com esferas, sendo estes utilizados muito como produtos do tipo memória, sendo estas memórias voláteis (DRAM – *Dinamic Random Access Memory*) e memórias não-voláteis (*NAND Flash*). As esferas permitem menor distância e maior número de conexões em uma mesma área de chip em comparação com tecnologias que ainda usam *lead frame*, por exemplo. Isto, somado à possibilidade de empilhamento de chips, tem-se maior densidade em único chip. Um exemplo de maior nível de integração de funcionalidades, velocidade e dimensão, tem-se o SiP, que permite abrigar diversos passivos e outros circuitos integrados, podendo utilizar também empilhamento de lâminas de silício e até outras funcionalidades de conectividade (LU & WONG, 2009).

Figura 4 - Evolução dos tipos de encapsulamento ao longo dos anos.

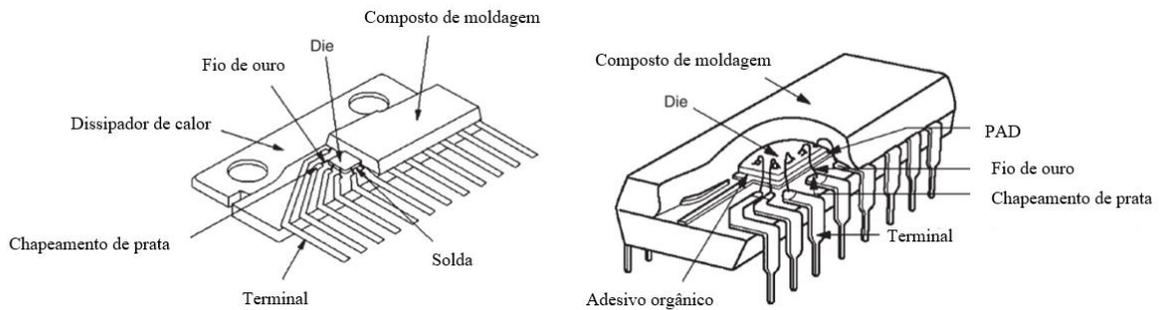


Fonte: Adaptado de Lu e Wong (2009).

### 2.2.1 Lead-frame

Entre as tecnologias citadas acima, a *Through-hole mounted* definitivamente é a mais antiga, sendo ela muito presente no mercado por volta dos anos 1980 e bem menos empregada atualmente. Basicamente essa tecnologia trata-se de fazer as conexões entre o circuito integrado e placa inserindo seus pinos na placa de circuito impresso, assegurando a conexão elétrica. Essa tecnologia é comumente empregada em encapsulamentos das famílias DIP (*Dual in-line package*), SIP (*Single in-line package*), PGA (*Pin-grid array*) entre outras (HUNT, 2008). Observa-se na Figura 5 uma ilustração identificando os principais materiais e regiões que compõe os encapsulamentos SIP e DIP.

Figura 5 - Encapsulamento *Through-hole* SIP e DIP respectivamente.



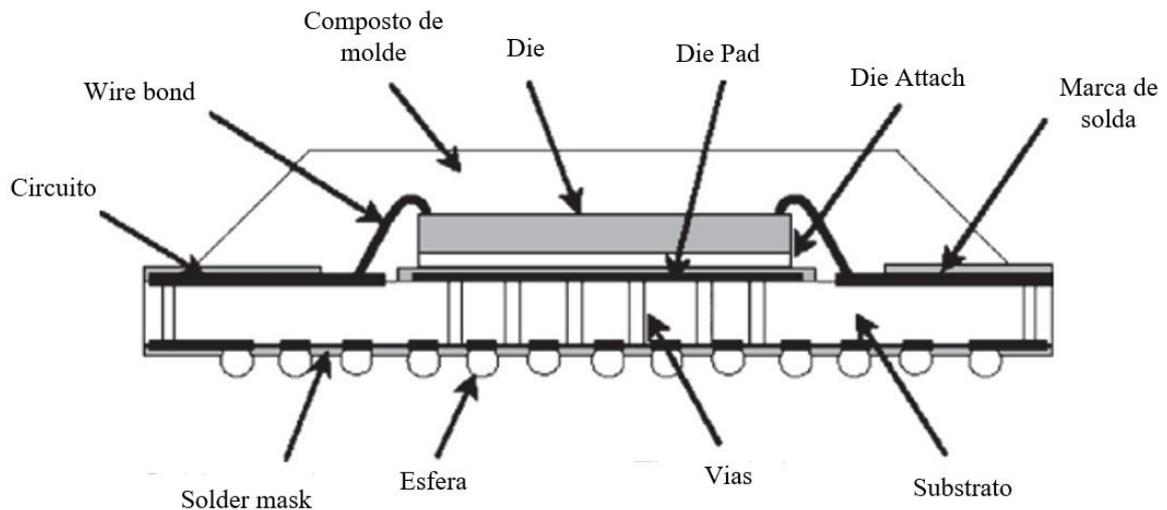
Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

Quanto a tecnologia de *Surface-mounted packages*, as famílias de encapsulamentos mais comuns são SOP (*Small-outline package*), PLCC (*Plastic-leaded chip carrier*), QFP (*Quad-flatpack*) e BGA (*Ball-grid array*). Esta tecnologia tem foco em encapsulamentos desenhados para montagem de passivos em placas de circuito impresso e que permite a solda de chips em ambos os lados da placa de circuito impresso (ARDEBILI; ZHANG; PECHT, 2018)

### 2.2.2 Substrato

Nos encapsulamentos que utilizam componentes da família BGA é normalmente empregado um substrato orgânico, usualmente composto de poliimida e resina. O chip é montado na parte de cima do substrato e esferas são soldadas na parte inferior, desta forma garantindo a conexão entre circuito integrado e a placa de circuito impresso. Essa tecnologia permite interconexão de menor distância, diminuindo o tempo de resposta do componente (HUNT, 2008). Na Figura 6 é possível identificar várias regiões e materiais típicos de um encapsulamento do tipo BGA. Nela se identifica uma estrutura típica, constituída por um chip de silício fixada ao substrato através de uma DAF e com interconexões entre o chip e a placa de circuito impresso através de fios de ouro. As conexões elétricas entre o circuito integrado e a placa são feitas através das esferas de solda.

Figura 6 - Encapsulamento *Surface-mounted package* tipo BGA.

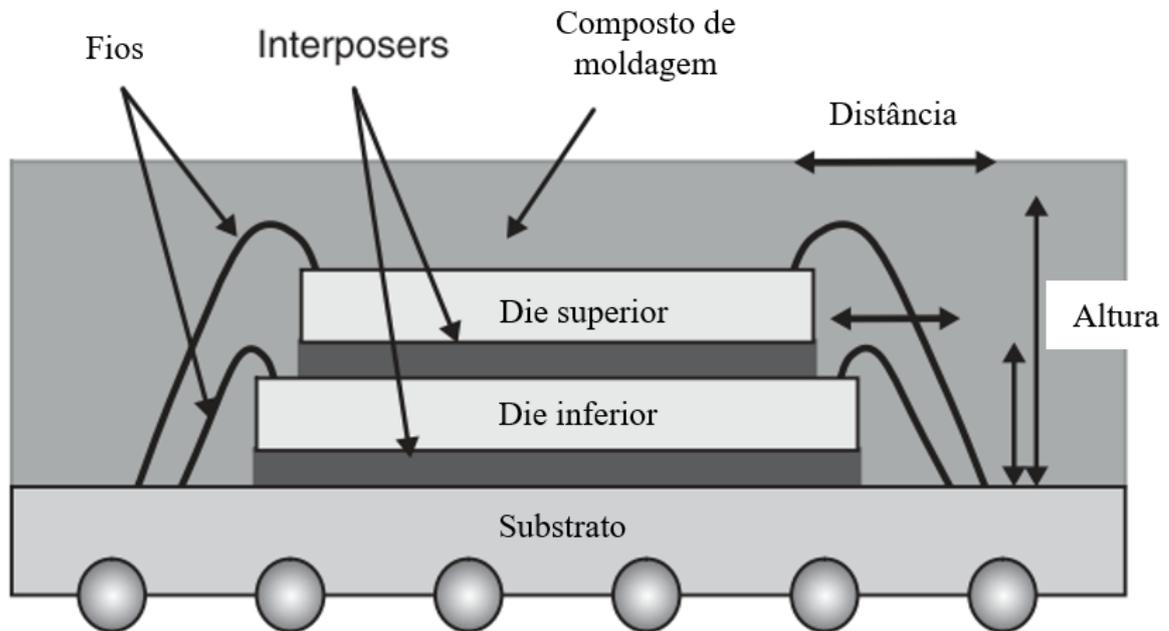


Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

### 2.2.3 Empilhamento de chips

O empilhamento de lâminas de silício no nível do circuito impresso, são encapsulamentos 3D onde lâminas singularizados são coladas no substrato e existe uma interface de interconexão entre esses elementos (HUNT, 2008). Na Figura 7 observa-se uma configuração que pode ser encontrada, por exemplo, em encapsulamentos com configurações DDP (*Double-Die-Package*), QDP (*Quad-Die-Package*), SiP (*System-In-Package*), eMMC (*Embedded Multi-Media-Card*), eMCP (*Embedded Multi-Chip-Package*), uMCP (*UFS-Based Multi-Chip-Package*). Sendo o eMMC um tipo de encapsulamento utilizado para armazenamento de dados, ou seja, que abriga memória não-volátil do tipo NAND *Flash*. Na Figura 7, tem-se a imagem do que poderia ser facilmente um encapsulamento do tipo eMCP e uMCP, que abrigam normalmente memórias do tipo voláteis e não-voláteis, sendo muito empregada no ramo de *smartphones*. A diferença entre eles é que o uMCP permite velocidades de leitura e escrita da NAND muito mais rápidas devido ao seu protocolo UFS em comparação com os eMCP. Já os encapsulamentos do tipo SiP podem abrigar diversos CI's, de acordo com o seu projeto.

Figura 7 - Esquema básico de empilhamento de chips com interconexões de fio de ouro.



Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

#### 2.2.4 System-in-Package (SiP)

Santagata (2018) disse que crescente demanda de miniaturização em eletrônicos portáteis, maior nível de integração de sistemas e baixo custo de produção são os grandes desafios da indústria de semicondutores. O encapsulamento do tipo *System-in-Package* (SiP) é uma tecnologia emergente e traz baixo custo em soluções para encapsulamentos e alta flexibilidade em projetos. Um SiP pode conter passivos e outros encapsulados, trazendo uma solução mais integrada em comparação com encapsulamentos de sistemas individuais, abrigando soluções analógicas, ópticas, em RF (*Radio Frequency*), MEMS (*Micro-electro-Mechanical-Systems*) entre outras (TUMMALA, 2001). Seu projeto de integração traz oportunidades de miniaturização e baixo consumo energético (SANTAGATA et al., 2018). Na Figura 8, tem-se um exemplo de um componente do tipo SiP fabricado pela empresa HT MICRON SEMICONDUCTORES S.A, que permite, entre diversas aplicabilidades, conectividade com rede *Sigfox*, podendo por exemplo, ser utilizado para rastrear cargas valiosas.

Figura 8 - iMCP HT32SX, um SiP desenvolvido pela empresa HT Micron semicondutores.



Fonte: Site da empresa HT MICRON SEMICONDUTORES S.A. (2022).

### 2.3 INTERCONEXÃO DO TIPO LGA

Um das possíveis escolhas de projeto para um SiP, é utilizar terminais do tipo LGA (*Land Grid Array*). Esse tipo de contato traz algumas vantagens, como por exemplo, reduzem efetivamente a altura total dos circuitos integrados ao eliminar o uso de esferas de solda, normalmente empregadas no processo de fabricação no encapsulamento de circuitos integrados. O LGA também são especificamente projetadas para otimizar o desempenho térmico, melhorar as capacidades de RF (Radiofrequência) e aumentar a resistência contra falhas relacionadas ao estresse mecânico (KIM et al., 2019). As junções de solda desses encapsulamentos são muito mais finas em comparação com as esferas de solda clássicas dos encapsulamentos BGA (*Ball Grid Array*) (CHAILLOT et al., 2010).

#### 2.3.1 Influência do projeto na dissipação de calor

Na fase de desenvolvimento de novos produtos, o projeto térmico precisa ser considerado para avaliar sua confiabilidade térmica. Portanto, a previsão precisa da temperatura de junção do encapsulamento é crucial para o projeto de circuitos integrados. Na indústria, modelos numéricos são frequentemente utilizados para prever o desempenho térmico do

encapsulamento. A análise térmica auxilia na determinação se o encapsulamento dissipará uma quantidade suficiente de calor.

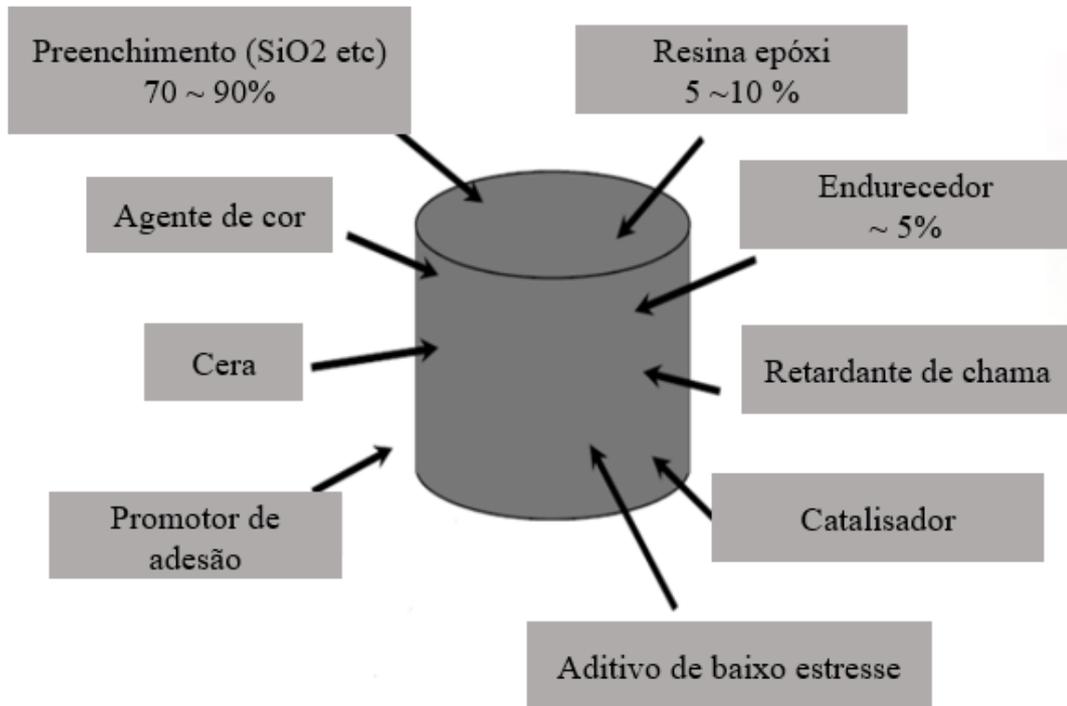
Em um encapsulamento do tipo SiP, uma maior resistência térmica resulta em uma capacidade de transferência de calor ineficiente, o que provavelmente causa problemas de superaquecimento. Uma menor resistência térmica maximizará o desempenho intrínseco e estenderá a vida útil dos dispositivos semicondutores, além de ajudar a atender às necessidades dos clientes em termos de desempenho mais elevado e custo reduzido. Compreender o papel da resistência térmica é muito importante para o projeto térmico e análise das características de transferência de calor dos encapsulamentos.

Para o SiP, a fim de dispersar o calor das lâminas de silício internas, é necessário encurtar os caminhos de transferência de calor para reduzir a resistência térmica nesses caminhos. Isso pode ser alcançado por meio da alteração do projeto do componente e da estrutura do encapsulamento, além do uso de materiais com maior condutividade térmica (GAO et al., 2009).

#### 2.4 PROPRIEDADES DO EMC (EPOXY MOLDING COMPOUND)

O composto para moldagem para circuitos integrados, mais conhecido por sua sigla EMC em inglês, que significa *Epoxy Molding Compound*, é um elemento de grande importância no processo de fabricação e é o responsável pelo encapsulamento da maioria dos circuitos integrados atualmente. É possível encontrar o EMC em diversos formatos de acordo com as necessidades do cliente, sendo as mais usuais em grânulos e em tabletes. Na Figura 9 é possível ver as composições genéricas de um composto para moldagem, sendo sua composição formada basicamente por um preenchedor (normalmente sílica), resina epóxi, agentes de cor, ceras, promotores de adesão, endurecedores, retardantes de chama, catalisadores e aditivos de baixo estresse (KOKATEV et al., 2019).

Figura 9 - Composição genérica de um composto de moldagem.



Fonte: Adaptado de Kokatev et al. (2019).

A resina é um dos principais elementos de qualquer composto de moldagem, empregá-la na composição do EMC traz muitos benefícios por apresentar características tanto químicas quanto físicas atrativas para o processo de moldagem de circuitos integrados, como por exemplo, alta aderência, fortes ligações químicas, resistência térmica, resistência a umidade e baixa viscosidade. A resina epóxi também é ótima para o processo de selamento hermético por causa de seu baixo  $T_g$  (Temperatura de transição vítrea) e curto *gel time* (KOKATEV et al., 2019). Para aplicações elétricas e eletrônicas o mais empregado hoje são encapsulantes do tipo PEM (*Plastic Encapsulated Microcircuit*). PEM é basicamente um material plástico que protege um dispositivo eletrônico de efeitos adversos de manuseio, armazenamento e operação (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

Uma das primeiras resinas utilizadas para encapsulamento de microeletrônicos são silicones fenólicos e epóxi de bisfenol A (BPA), em função de suas características atrativas de moldagem. Silicones já foram utilizados como composto de moldagem por causa de sua performance a alta temperatura e pureza, porém, a má adesão dos silicones aos dispositivos

metalizados resultou em falhas em diversos testes. Nos circuitos integrados os silicões mostraram corrosão e falhas devido a amônia formada no pós-cura da moldagem. O BPA ofereceu uma adesão muito mais satisfatória do que compostos a base de silicone, porém apresentou um baixo  $T_g$ , variando entre 100 e 120 °C e alta concentração de corrosão. Em aplicações elétricas e eletrônicas, três tipos de resinas epóxi são comumente usadas: Os éteres diglicídílicos de bisfenol A (DGEBA) ou bisfenol F (DGEBF), os novolacs fenólicos e cresol, e os epóxidos cicloalifáticos. Os DGEBA's líquidos sintetizados a partir de derivados petroquímicos são os mais comuns. Eles são facilmente adaptáveis para encapsulamento de dispositivos elétricos e eletrônicos. DGEBF é menos viscoso que o DGEBA. Os epóxidos novolacs, sintetizados essencialmente da mesma forma que DGEBA, são principalmente sólidos. Devido ao seu desempenho relativamente superior em temperaturas elevadas, eles são amplamente utilizados como compostos de moldagem. Os epóxidos cicloalifáticos ou epóxidos perácidos, geralmente curados com anidridos de ácido dicarboxílico, oferecem excelentes propriedades elétricas e resistência à exposição ambiental (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

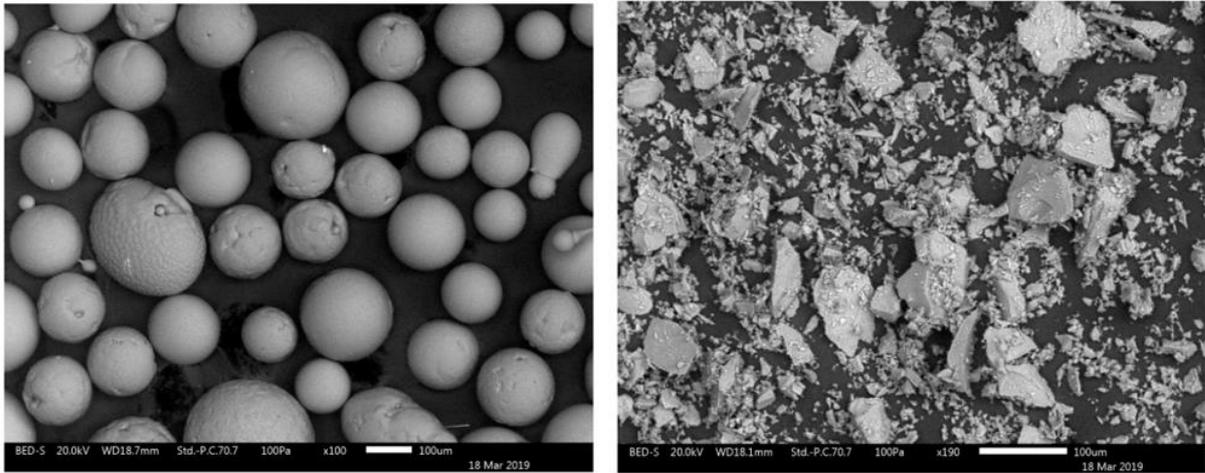
Algumas resinas de fenol formaldeído, anidridos, aminas ou álcoois alifáticos podem ser usados como endurecedores. Cada endurecedor tem suas próprias vantagens e desvantagens como preço e produtividade (KOKATEV et al., 2019). Novolac de fenol epoxidado e novolac de cresol epoxidado são outro exemplo de endurecedores, estes citados são mais frequentemente utilizados. Por exemplo, a incorporação de Novolac de fenol na resina pode acelerar o tempo de cura. No geral, o  $T_g$  é maximizado (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

Já os catalisadores são usados para acelerar o processo de cura da mistura, a escolha apropriada do catalisador pode prolongar a vida útil do EMC (KOKATEV et al., 2019). Agentes de cura e aceleradores desempenham a função primária de definir a extensão e a taxa de polimerização da resina. Conseqüentemente, a seleção do agente e a química de cura são tão importantes quanto a escolha da resina. Muitas vezes, o mesmo agente é usado para cura e aceleração. Os agentes de cura mais utilizados são aminas e anidridos ácidos. Embora as aminas alifáticas reajam rapidamente à temperatura ambiente, os agentes de cura de aminas aromáticas conferem maior estabilidade térmica e resistência química melhorada dependendo do agente de cura utilizado. Como essa reação é praticamente quantitativa, a resina e o agente de cura são misturados na proporção de um amino-hidrogênio para um epóxido. No caso de anidridos e fenóis como curativos, a reticulação ocorre através de hidroxilas. (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

Agentes corantes são normalmente usados para distinguir diferentes tipos em embalagens, reduzem a atividade fotônica do dispositivo e eliminam a visibilidade do dispositivo através do encapsulamento epóxi, normalmente amarelo pálido. As cores são produzidas pela adição de corantes ou pigmentos orgânicos termicamente estáveis. O negro de fumo é usado na maioria dos circuitos integrados de silício encapsulados, embora aumente ligeiramente a condutividade elétrica do epóxi e possa reduzir a resistência à umidade. A concentração da cadeia de carbono é geralmente inferior a 0,5% para evitar problemas relacionados à umidade (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

A sílica, que tem utilização variável de acordo com as especificações do EMC, é o composto com maior quantidade na composição do EMC, variando em torno de 70% a 90%. A sílica ( $\text{SiO}_2$ ) promove características de isolamento elétrico e ajuda a resolver grande parte dos problemas com vedação hermética. Um circuito integrado pode ser composto por vários materiais, placa de circuito impresso, adesivos ou DAF, fios de ouro e lâminas de silício (que são materiais compostos de sílica). A sílica presente no EMC também auxilia na homogeneidade do coeficiente de expansão térmica dos materiais. Levando em consideração que um único circuito integrado, no caso de encapsulamentos 3D, pode conter diversas lâminas de silício empilhadas, com isso pode-se evitar a deformação do substrato e uma possível delaminação do EMC. Outro parâmetro importante é o formato da sílica que irá incorporar o composto de moldagem, podendo essas terem formato angular ou esférico com diversas dimensões, isso influencia diretamente na resistência ou fluidez do EMC, sua capacidade de preenchimento de acordo com o projeto do circuito integrado e também o preço EMC selecionado (KOKATEV et al., 2019). Na Figura 10, tem-se um exemplo do aspecto de uma sílica que apresenta um formato esférico e de uma que possui formato angular, sendo a de formato esférico com custo mais elevado, porém possui melhor escoamento devido ao seu formato padronizado e controlado de acordo com a necessidade e aplicação do EMC.

Figura 10 - Formato de sílica para EMC (Sílica esférica x Sílica angular).



Fonte: Linec & Mušič (2019).

#### 2.4.1 Compatibilidade reológica

A reologia é a ciência que estuda a deformação e o escoamento da matéria. Por se tratar de uma resina epóxi com a finalidade de preenchimento de molde, entender a reologia do EMC é a chave para a seleção do projeto do circuito integrado, material, processo e fabricação eficientes e com alta taxa de confiabilidade. O desafio da compatibilidade reológica se torna ainda mais complexo quando se trata de empilhamento de lâminas de silício, encontrando obstáculos com altura e arraste de fios no processo de moldagem (ABDULLAH et al., 2009). Na Tabela 1 são listadas algumas propriedades e características importantes do EMC para encapsulamento de dispositivos semicondutores e que geralmente são reportados pelos fabricantes do composto.

Tabela 1 - Propriedades típicas de encapsulastes.

<b>Grupo</b>	<b>Propriedades e características</b>	<b>Unidade</b>
Propriedades de manufatura	Fluxo em espiral	cm
	<i>Gel time</i>	s
	Viscosidade	Poise
	Taxa de cisalhamento	s <sup>-1</sup>
	Temperatura de cura	°C
	Tempo de cura	S
	Dureza a quente	Adimensional
	Tempo de pós-cura	Hora
Propriedades higro-termomecânicas	Coefficiente de expansão térmica	ppm/°C
	Temperatura de transição vítrea	°C
	Resistência a flexão	MPa
	Alongamento do módulo de flexão	GPa
	Alongamento	%
	Absorção de humidade	%
	Coefficiente de difusão de humidade	cm <sup>2</sup> /s
	Condutividade térmica	W/m.K
Propriedades elétricas	Resistividade do volume	ohm.cm
	Constante dielétrica	Adimensional
	Força dielétrica	MV/m
	Fator de dissipação	%
Propriedades químicas	Impureza iônica	ppm
	Inflamabilidade	Taxa UL

Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

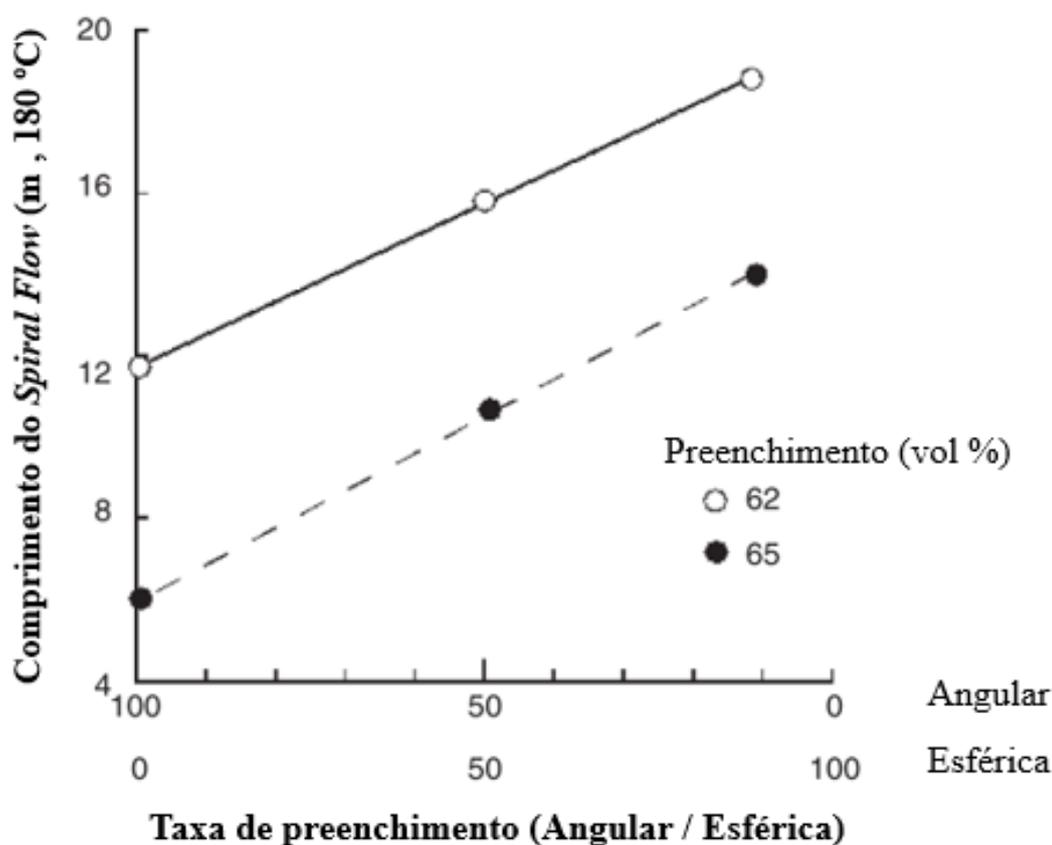
Uma informação importante sobre o composto de moldagem é o *Spiral Flow* pois ele tem impacto direto no comportamento de preenchimento na cavidade do molde. Este é um método que é utilizado para comparar diferentes materiais a fim de avaliar a qualidade do

composto e sua compatibilidade com o material a ser moldado. Sendo assim, é possível avaliar a distância e o preenchimento que o composto terá no material a ser moldado (KOKATEV et al., 2019).

O *gel time* é o tempo que o composto de moldagem leva para passar de um estado líquido para sólido. Quanto menor este tempo, menor é o tempo necessário para o composto se solidificar, por consequência, deve preencher a cavidade do molde completamente de maneira mais rápida e, portanto, demanda maior pressão de modelagem. Um *gel time* baixo ou alto não significa necessariamente que seja bom ou ruim, sendo este um parâmetro que deve se adequar ao projeto do circuito integrado. Em um cenário em que a pressão de moldagem se torna insuficiente, ou seja, o fluxo do composto de moldagem se mostra insuficiente, somado a um *gel time* baixo, pode vir a apresentar problemas de vedação e surgimento de vazios (KOKATEV et al., 2019). O *gel time* é um ponto qualitativo no processo, a norma SEMI G 11-88 recomenda o uso do teste de *spiral flow* como um avaliador comparativo. O *gel time* indica a produtividade de um composto de moldagem. *Gel time* mais curto leva a uma taxa de polimerização mais rápida e tempos mais curtos para o ciclo do molde, aumentando a produção (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997).

O teste de *spiral flow*, SEMI G11-88 é um teste padronizado para avaliar o potencial de vazamento de escoamento do EMC. É um experimento de moldagem por transferência que mede o fluxo do composto de moldagem em um molde de canal em espiral semicircular seccionado até que o fluxo cesse. O teste é utilizado para avaliar tanto o ponto de derretimento induzido do material encapsulante sob pressão, viscosidade e *gel time*. O teste de *spiral flow* é usado tanto para comprar diferentes materiais para avaliar a qualidade do composto de moldagem (ARDEBILI; ZHANG; PECHT, 2018). No gráfico da Figura 11 é mostrada a influência do formato da sílica em um teste de *spiral flow*, onde para um mesmo EMC, com formato de esférico de sílica, apresenta uma taxa de preenchimento maior do que um EMC com sílica de formato angular.

Figura 11 - Característica *Spiral Flow* sob influência do volume de sílica angular e esférica.



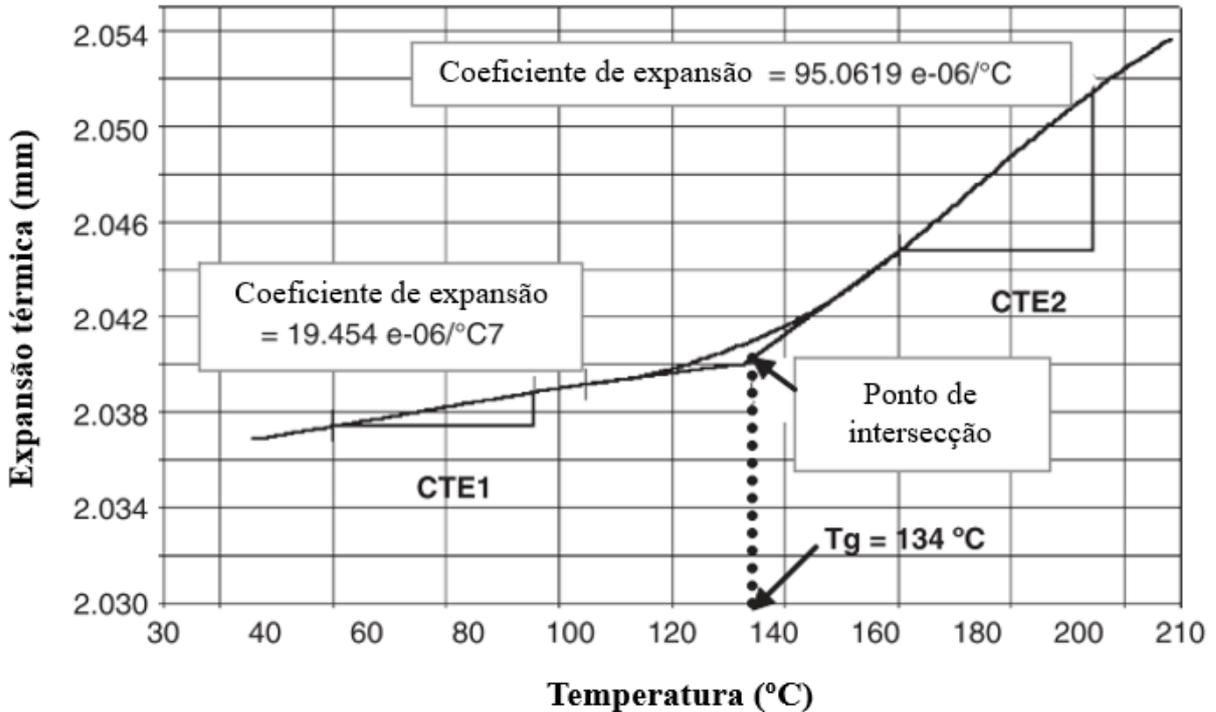
Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

A temperatura de transição vítrea é uma propriedade importante da resina epóxi, é a temperatura onde o EMC passará do estado vítreo para o estado elástico (aspecto borrachoso). O  $T_g$  não deve ser confundido com uma temperatura específica, sendo na verdade uma faixa de temperatura, aumentando o coeficiente de expansão térmica e diminuindo sua dureza e módulo de elasticidade. A transição vai ocorrer aumentando a mobilidade das cadeias poliméricas e permitindo que o EMC preencha a cavidade do molde (KOKATEV et al., 2019).

Conforme exemplificado na Figura 12, o coeficiente de expansão térmica (CTE) é o parâmetro que caracteriza a mudança de volume referente ao aumento de temperatura, no EMC o CTE pode ser caracterizado em  $\alpha_1$  (Coeficiente de expansão térmica antes da transição vítrea) e  $\alpha_2$  (Coeficiente de expansão térmica após a transição vítrea), que são valores medidos em ppm/°C, antes e após a faixa de  $T_g$ . Se o  $\alpha_2$  não é conhecido, o ideal é escolher um material

com CTE próximo ao coeficiente de expansão térmico do substrato, com a finalidade de evitar defeitos de processo como empenamento e delaminação do EMC (KOKATEV et al., 2019).

Figura 12 - Mudança de CTE influenciada pela  $T_g$  em um EMC.



Fonte: Adaptado de Ardebili, Pecht e Zhang (2018).

## 2.5 MÉTODOS DE ENCAPSULAMENTO

Neste subcapítulo serão abordadas as principais características do processo de moldagem por compressão. Aborda-se alguns parâmetros de comparação com o usual método de moldagem por transferência e as principais vantagens e desvantagens de cada um dos processos e os defeitos mais comuns que podem surgir nesta etapa do processo.

A eficiência dos encapsulamentos de dispositivos semicondutores continua a crescer conforme aumentam o número de interconexões a serem considerados nos processos de encapsulamento. Mudanças substanciais têm sido feitas em circuitos integrados de alta densidade, com o passar dos anos os circuitos integrados têm se tornando cada vez menores e mais finos, sendo capazes de prover I/Os mais rápidos (ARDEBILI; PECHT; ZHANG, 2019).

A moldagem por transferência atualmente ainda é o método de encapsulamento mais utilizado, porém com o aumento da densidade dos encapsulamentos, eles precisam de um

espaço adequado para o EMC fluir e preencher uma cavidade com fios cada vez mais finos e em grande quantidade, se tornando um desafio para este tipo de processo de encapsulamento (ARDEBILI; PECHT; ZHANG, 2019).

### 2.5.1 Processo de moldagem por compressão

O processo de moldagem por compressão inicia-se com um polímero que é chamado de carga ou composto de moldagem (EMC) que é despejado em um molde pré-aquecido com o formato da cavidade, com temperatura e pressão determinada e que varia de acordo com equipamento e EMC selecionado, até que ela esteja curada. Este processo é muito adequado para circuitos integrados de alta complexidade geométrica, conferindo grande força e resistência mecânica e trazendo benefícios como grande capacidade de produção e baixo custo produtivo. Um dos métodos de moldagem por compressão utilizando uma placa de circuito impresso com os passivos já montados em sua superfície, inclui etapas básicas de todo processo de moldagem por compressão, que são: preparação do substrato, inserção de filme desmoldante na cavidade, pré-aquecimento do EMC em grânulos e por fim a moldagem (ARDEBILI; PECHT; ZHANG, 2019).

Na Figura 13, tem-se de maneira simplificada, o processo de moldagem por compressão de circuitos integrados. O filme tem como objetivo auxiliar no processo de desmoldar o circuito integrado da cavidade, evitando que ele fique aderido às paredes da cavidade após a cura. Esse filme de desmoldagem é mais conhecido como *release film*.

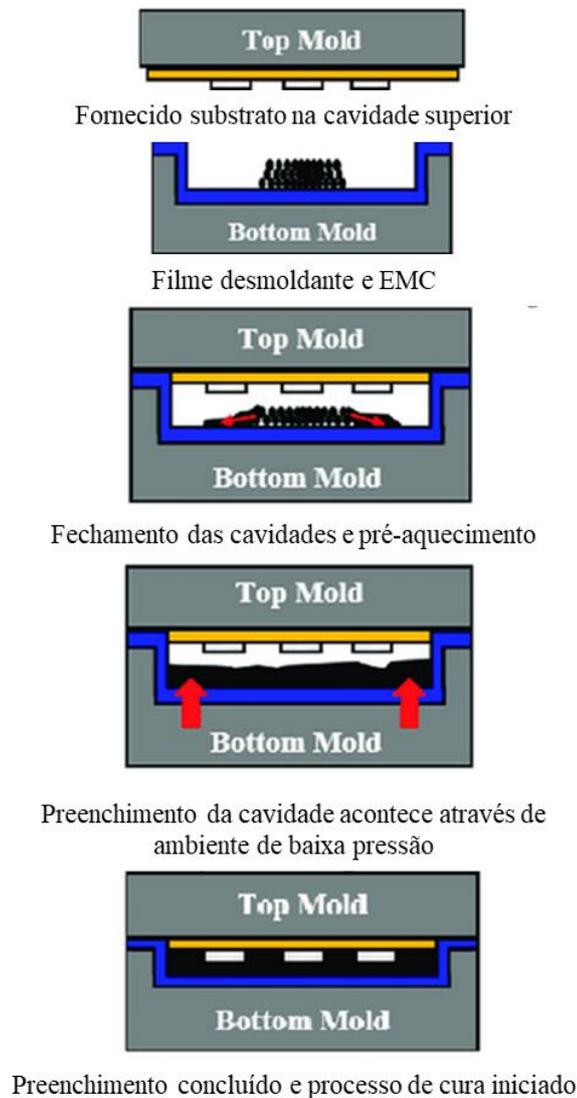
O molde é composto pela cavidade superior, responsável pela fixação da placa de circuito impresso com os passivos já soldados e prontos para o encapsulamento e a cavidade inferior, onde o EMC será fluído em cima do filme desmoldante, a fim de evitar que a resina epóxi fique fortemente aderida na cavidade do molde, e dessa forma, facilitando a sua desmoldagem da cavidade.

É necessário fornecer um substrato ao molde superior. O substrato é carregado no molde superior pelo manipulador mecânico após a liberação do filme mantido no molde inferior. Após o posicionamento do substrato, é necessário carregar o equipamento de moldagem com composto granular. O composto granular é preparado na caixa após a medição da quantidade necessária, detectando o número de chips fixados no substrato, o composto é então depositado na cavidade do molde inferior, tudo isso é calculado através da receita que foi fornecida ao equipamento para determinado produto. Com a placa prestes a ser moldada e o composto de

molde carregado, o substrato será fixado através do vácuo aplicado com a finalidade de remover o ar do interior do molde, gás e umidade (ARDEBILI; PECHT; ZHANG, 2019).

Primeiramente, a parte superior e inferior são fechadas, os chips são preparados para um banho aquecido de resina epóxi na cavidade inferior, que foi coberta pelo filme de desmoldagem. Então a resina aquecida é fluída na cavidade coberta pelo filme desmoldante, que com a ajuda do ambiente de baixa pressão, preenche todas as regiões da placa de circuito impresso, seguindo o dimensional das cavidades do molde. Após a conclusão do processo de cura, o molde começa a se abrir e o substrato moldado é liberado por meio do filme de liberação e um mecanismo de ejeção (ARDEBILI; PECHT; ZHANG, 2019).

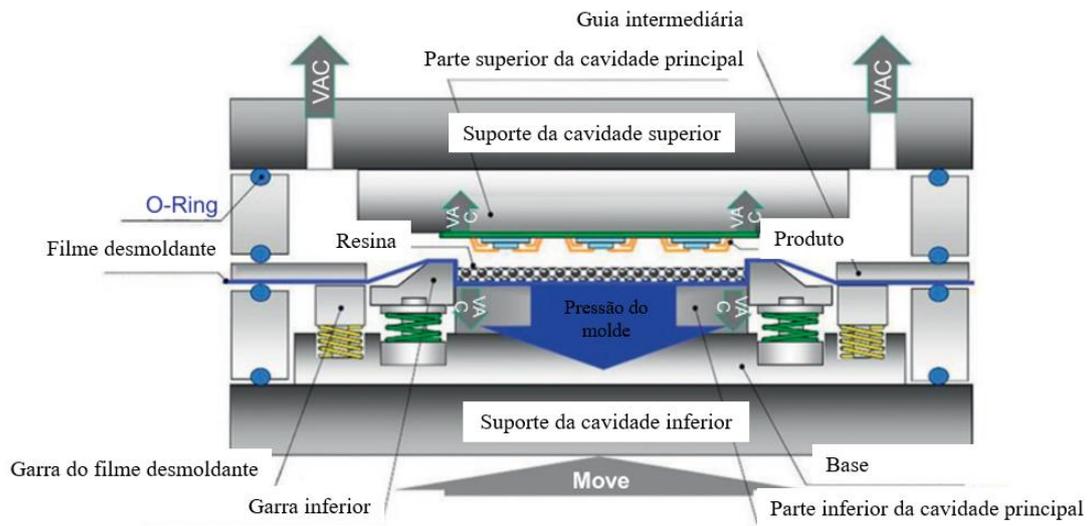
Figura 13 - Esquema básico do processo de moldagem por compressão de circuitos integrados.



Fonte: Adaptado de Ardebili, Pecht e Zhang (2019).

Na Figura 14 pode-se ver a representação de um molde de um equipamento de moldagem por compressão com todos seus principais elementos para seu completo funcionamento, conforme explicado anteriormente.

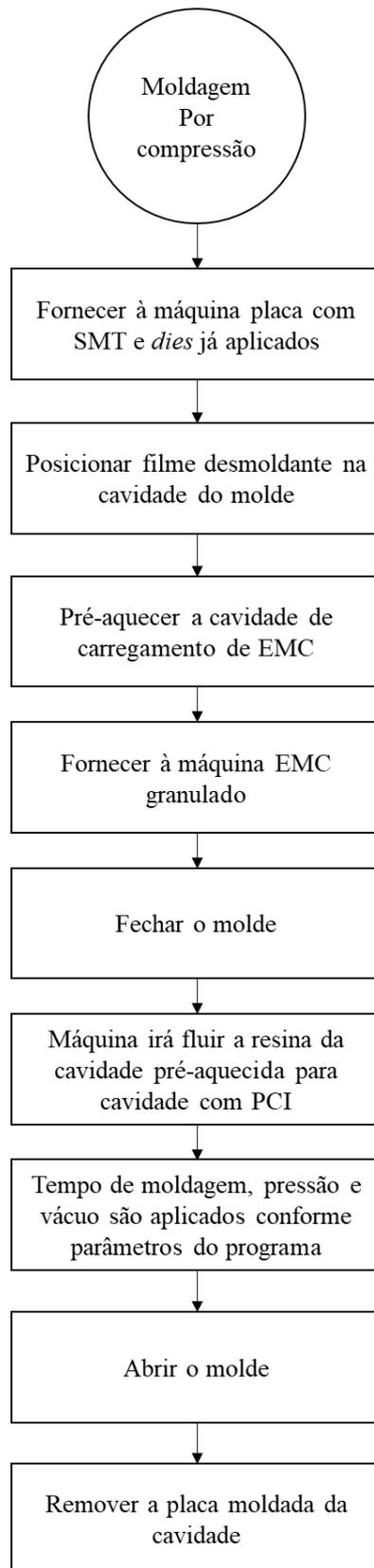
Figura 14 - Esquema de moldagem por compressão após o fechamento das cavidades.



Fonte: Ardebili, Pecht e Zhang (2019).

No Fluxograma 1 tem-se o passo-a-passo simplificado do que foi descrito acima.

Fluxograma 1 - Passos básicos para moldagem por compressão.



Fonte: Elaborado pelo autor (2022).

### 2.5.1.1 Equipamento de moldagem por compressão (C-MOLD)

Para sistemas de produção em massa, no caso deste estudo foi utilizado o equipamento PMC1040-D, projetado e vendido pela empresa Towa. Podem ser acoplados até 4 módulos de acordo com a necessidade de produção. Este equipamento de moldagem por compressão suporta grandes substratos de BGA. O equipamento é o ideal para redução de defeitos como arraste de fios (este defeito que pode surgir na etapa de moldagem e será abordado nos próximos capítulos) e projetos que necessitam de longas interconexões que utilização fio (ARDEBILI; PECHT; ZHANG, 2019). Na Figura 15 é possível ver a foto do equipamento de moldagem por compressão modelo PCM1040-D, fabricado pela empresa Towa.

Figura 15 - Equipamento de moldagem por compressão PMC1040-D da empresa Towa.



Fonte: Ardebili, Zhang e Pecht (2018).

Na Tabela 2, pode-se ver as especificações do maquinário utilizado neste estudo para realização da moldagem por compressão. O modelo oferece basicamente 3 módulos de moldagem, mas para finalidades de aumento de produção, existe a possibilidade de acoplar um

quarto módulo, atingindo capacidade de moldagem de 2 a 8 placas com os componentes já montados (ARDEBILI; PECHT; ZHANG, 2019).

Tabela 2 - Especificação de equipamento de moldagem por compressão.

<b>Itens</b>	<b>Unidade</b>	<b>PMC1040-D</b>	
Dimensões	Módulo	3	4
	Largura (mm)	4420	5060
	Profundidade (mm)	1250	
	Altura (mm)	1850	
Tamanho	mm	130-260 x 45-100	
Tempo de ciclo	s	35 ~ 45	
Capacidade	Toneladas	40	
Quantidade	Módulos	1 – 4	
Quantidade de substratos	Unidades	2 – 8	
Composto de moldagem	(Não se aplica)	Composto granular	
Fechamento do molde	tf	10~40	
Temperatura	°C	~200	

Fonte: Ardebili, Zhang e Pecht (2018); Towa (2023).

### 2.5.2 Vácuo na câmara do molde

A bomba de vácuo utilizada no PMC1040-D, equipamento de moldagem por compressão, da empresa TOWA, é uma bomba vácuo do tipo scroll, esse é um modelo de bomba de vácuo que age através dos movimentos combinados do rotor e do estator, realizando uma ação semelhante à de um redemoinho. Com os dois rolos de forma idêntica ligeiramente descentralizados e as paredes em contato linear, os dois rolos executam os movimentos oscilantes entre si. O gás aprisionado no espaço em forma crescente é comprimido em direção à parte central e liberado pelo orifício central. Graças a essa estrutura, a exaustão de alta velocidade e o vácuo limpo e de alta potência pode ser realizados. Como se trata de uma bomba de vácuo que é hermética, o defeito de alguma peça ou a entrada de resíduos, de alguma forma, pode danificá-la, podendo levá-la a manutenção e ou até mesmo substituição.

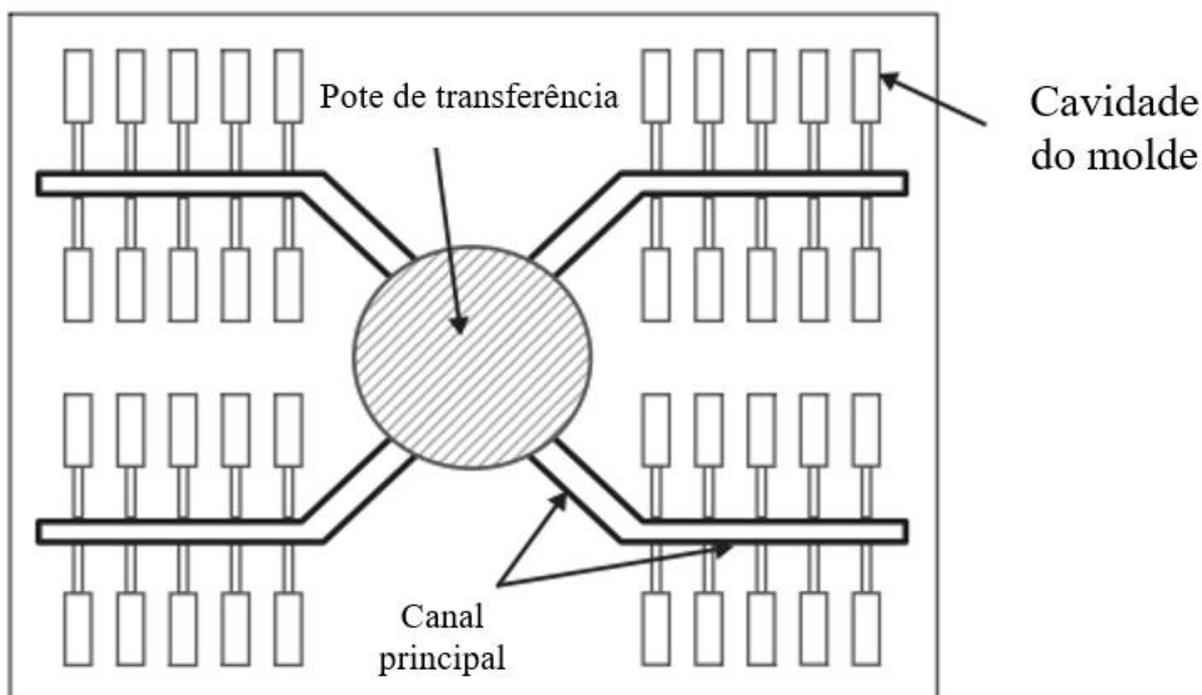
O vácuo gerado pela bomba de compressão, permite o sistema atuar em baixa pressão na câmara de moldagem, permitindo uma moldagem mais uniforme dos circuitos integrados.

Como referenciado, de acordo com o manual da fabricante, a pressão do ar deve estar ajustada entre 0,4 e 0,45 Mpa para um correto funcionamento do equipamento.

### 2.5.3 Processo de moldagem por transferência

A moldagem por transferência atualmente é o processo mais popular para encapsulamento de circuitos integrados. Basicamente seu processo se baseia em aquecer o EMC e com alta pressão forçar o EMC em canais para preencher as cavidades do molde. Uma das maiores limitações da moldagem por transferência é a perda de material, pois a quantidade remanescente de resina que fica nos canais após o processo deve ser descartada e os canais limpos para receber a próxima leva de circuitos integrados a serem moldados (TUMMALA; RYMASZEWSKI; KLOPFENSTEIN, 1997). Na Figura 16 observa-se a ilustração do funcionamento básico de um processo de moldagem por transferência, onde o EMC aquecido no pote de transferência é forçado pelos canais principais até preencher totalmente as cavidades do molde. Esse processo possui perdas pois o EMC que fica nos canais não podem ser reutilizados pois se trata de um material plástico termofixo.

Figura 16 - Esquema de moldagem por transferência.



Fonte: Adaptado de Ardebili, Zhang e Pecht (2018).

Existem muitas diferenças significativas entre o processo de moldagem por compressão e o processo de moldagem por transferência. Cada um deles apresenta seu conjunto de vantagens, desvantagens e peculiaridades de processo. Na Tabela 3 se pode ver um comparativo entre as duas tecnologias de encapsulamento de dispositivos semicondutores.

Tabela 3 - Vantagens e desvantagens dos processos de moldagem por compressão e transferência.

<b>Tecnologia</b>	<b>Vantagens</b>	<b>Desvantagens</b>
Compressão	<ul style="list-style-type: none"> <li>▪ Adaptabilidade a <i>packages</i> muito finos, <i>multi-chip packages</i> e <i>wafer-level packages</i>.</li> <li>▪ Equipamento com baixo custo a longo prazo.</li> <li>▪ Tempo de ciclo curto.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Alto investimento inicial.</li> <li>▪ Se a receita for mal dimensionada, pode ocorrer rebarba na moldagem.</li> <li>▪ Moldagem com alta pressão.</li> </ul>
Transferência	<ul style="list-style-type: none"> <li>▪ Muitas cavidades.</li> <li>▪ Equipamento com baixo custo.</li> <li>▪ Tempo de ciclo curto.</li> <li>▪ Baixo custo com ferramental e manutenção.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Pressão de moldagem muito alta.</li> <li>▪ Necessita remoção de material encrustado.</li> <li>▪ Material pode ser desperdiçado, portanto, maior despesa com material.</li> </ul>

Fonte: Adaptado de Ardebili, Zhang e Pecht (2018).

#### 2.5.4 Principais defeitos gerados durante o processo de moldagem

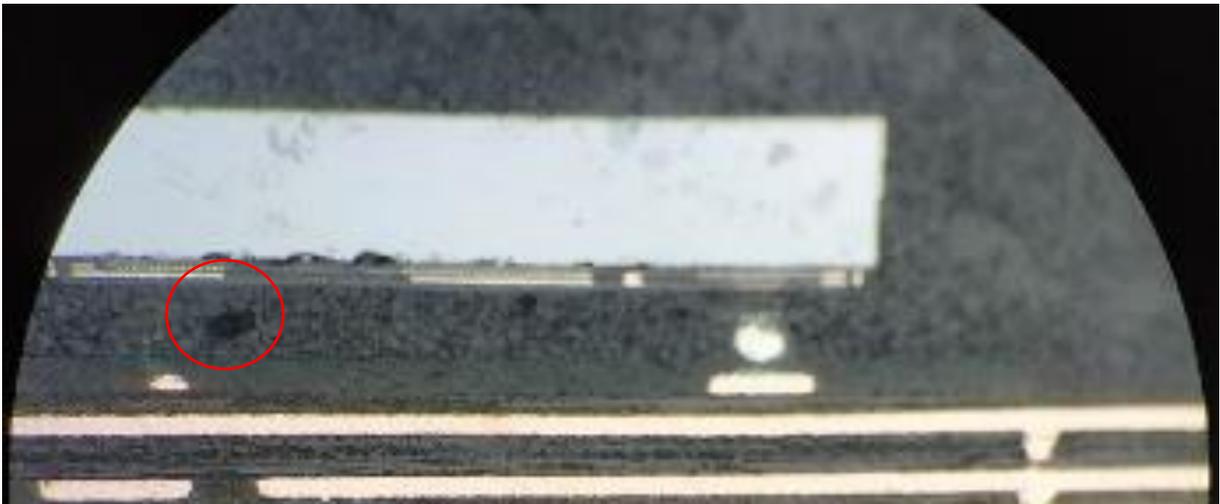
Neste subcapítulo, foram abordados os principais defeitos que podem surgir nesta etapa do processo.

##### 2.5.4.1 Vazios (*voids*)

Os vazios gerados no processo de moldagem, mais conhecidos como *voids* em inglês, são basicamente pacotes de ar que ficaram aprisionados na resina durante a execução do processo de moldagem. Diversos fatores podem causar o surgimento de vazios, como por

exemplo: parâmetros não otimizados de processo, gerando ar que não consegue ser expelido da prensa, inconsistências de projeto que não contribuem para o correto preenchimento do EMC na cavidade do molde, escolha do EMC adequada para o projeto do chip, entre outros. Este tipo de defeito pode ocorrer tanto na moldagem por transferência quanto por compressão e pode também acontecer em qualquer tipo de encapsulamento que utilize EMC (HUNT, 2008). Na Figura 17 é mostrada uma imagem de um componente analisado em microscópio após a realização de um corte de secção transversal. O corte mostra a formação de um vazio embaixo de um componente 16 LGA.

Figura 17 - Vazios gerados no processo de moldagem e analisadas através de corte de secção transversal.



Fonte: Elaborado pelo autor (2022)

No caso do projeto de circuitos integrados em que o vazio se concentra em uma região de muitos contatos, a pasta de solda poderia vaziar entre estas regiões, causando interferência de sinal entre os contatos. Os vazios podem causar também estresse concentrado no componente e quando próximo ou junto à placa de circuito impresso pode ser responsável por delaminação entre o composto de moldagem e a PCI, inutilizando o componente (KHOR & ABDULLAH, 2012).

#### 2.5.4.2 Delaminação

A delaminação é causada por má adesão entre o composto de moldagem e a placa de circuito impresso. Além dos vazios contribuírem para essa condição, o estresse residual e termomecânico pode contribuir para a propagação de microfissuras interfaciais. Um agravante pode ser a umidade, pois em um encapsulamento com pouca adesão a umidade tende a se difundir ao longo da fronteira interfacial e isso pode levar o polímero que faz interface com a placa de circuito impresso a sofrer hidrólise, dessa forma, ocorre uma redução da adesão. Por consequência, a delaminação pode ter um potencial de fadiga que irá se propagar por todo o circuito integrado, gerando a quebra de lâminas de silício e dos fios de ouro, o que pode levar o CI a apresentar diversas falhas mecânicas, elétricas e de confiabilidade de produto (TUMMALA, 2001).

Figura 18 – Delaminação.



Fonte: Elaborado pelo autor (2022)

Na Figura 18, observa-se um bom exemplo de delaminação após processo de moldagem, onde o EMC está claramente não aderido à placa de circuito impresso.

Após o processo de moldagem, é possível realizar o *Peel of test*. Este teste consiste basicamente em executar de forma manual ou com uso equipamento de tração a remoção da borda da placa de circuito impresso (conforme Figura 19). Desta forma pode-se verificar se houve ou não a aderência da mesma à PCI. Caso a camada superior da placa de circuito

impresso fique aderida ao EMC, significa que o encapsulamento durante o processo de moldagem teve uma aderência satisfatória (ARDEBILI; PECHT; ZHANG, 2019).

Figura 19 - Resultado de um '*Peel of test*' satisfatório.



Fonte: Elaborado pelo autor (2021).

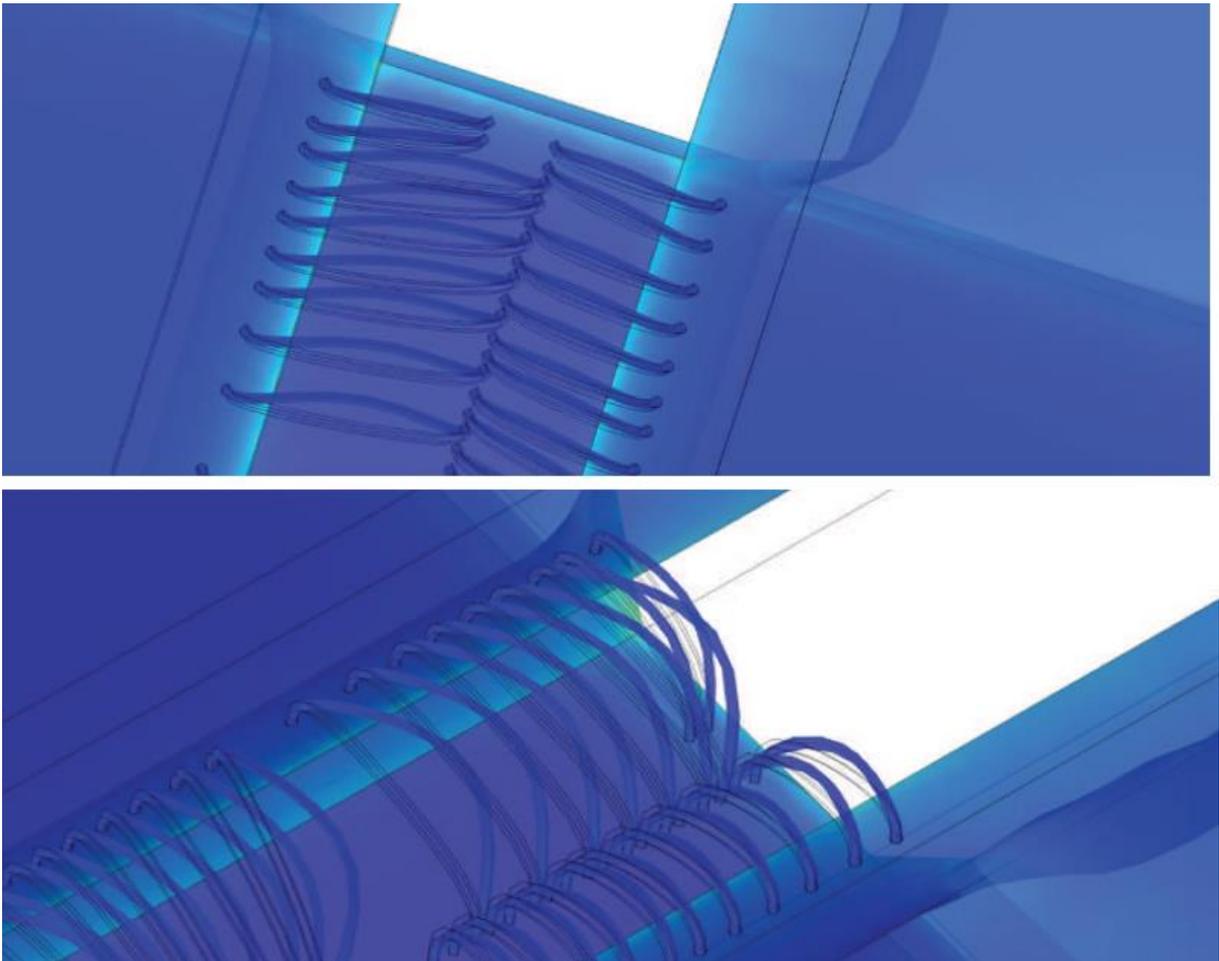
#### 2.5.4.3 Arraste de fios (*Wire Sweep*)

Este defeito se caracteriza pela deformação dos fios de ouro resultante do fluxo de EMC durante o processo de moldagem de circuitos integrados. Entre suas causas estão o alto fluxo em um determinado local e o arraste causado pelo tamanho das partículas de sílica. Tipicamente este defeito é mais presente em processos de moldagem por transferência, porém a moldagem de compressão também está sujeita a este tipo de defeito. O arraste de fios pode ser detectado através de análise por raios-x (TUMMALA, 2001).

Na Figura 20, representado em formato de simulação computacional, observa-se os efeitos do escoamento do composto de moldagem, os quais podem causar uma força de arraste paralela ao substrato, com isso os fios de ouro podem se encostar, causando curto-circuito e

falha no funcionamento do chip, sendo esse um dos principais defeitos relacionados à falha com conexões de fio de ouro na etapa de encapsulamento. A literatura atual está mais voltada para prever este defeito através de perfis específicos de solda de fios para cada tipo de encapsulamento (KUNG; CHEN; LU, 2013).

Figura 20 - Comparação entre moldagem por transferência com velocidade mínima (superior) x velocidade máxima (inferior) em CI do tipo DRAM.



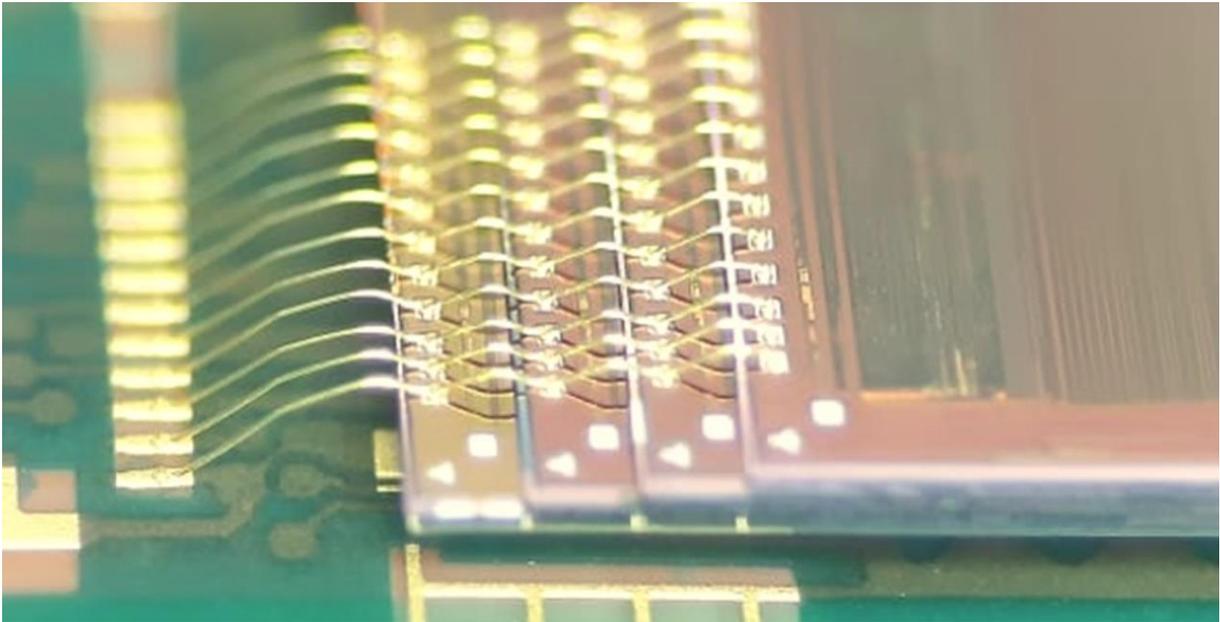
Fonte: Stracke (2018).

#### 2.5.4.4 Arqueamento de fios (*Wire sagging*)

Este defeito de processo resume-se à deformação do fio de ouro no sentido perpendicular para baixo em relação ao substrato durante o processo de encapsulamento de circuitos integrados. O arqueamento dos fios de ouro pode não ser um defeito tão inconveniente quando se trata de circuitos integrados com uma camada, mas o cenário muda quando se fala

de encapsulamentos 3D, ou seja, como empilhamento de chips. Isso porque no processo de solda de fios de ouro o fio é soldado no substrato e posteriormente na lâmina de silício, causando um efeito cascata (KUNG; CHEN; LU, 2013). Na Figura 21, tem-se uma imagem extraída de um microscópio, onde é mostrado como fica o cascadeamento da conexão entre chips no processo de solda de fios, sendo essa uma condição considerada boa, ou seja, sem a presença de qualquer tipo de defeito neste processo.

Figura 21 – Fios de ouro com vários pontos de solda e com alturas variáveis.



Fonte: Elaborado pelo autor (2021).

Para diferentes tipos de configuração de solda de fios a resistência à deformação perpendicular do fio, durante o processo de moldagem por transferência por exemplo, pode ser definida como a rigidez do fio. A força de arrasto do fio pode ser descrita da seguinte forma:

$$K_{sag} = \frac{P_{sag}}{\delta^C_{sag}} \quad (1)$$

Onde o  $P_{sag}$  é a força concentrada de arrasto, o  $K_{sag}$  a rigidez do fio e o  $\delta^C_{sag}$  a deflexão máxima relacionado à força máxima de arraste. Porém, a força real de arraste é uma distribuição de carga no processo de moldagem, logo a força concentrada pode ser calculada conforme a seguir:

$$P_{sag} = p_{sag} * S \quad (2)$$

Onde o  $p_{sag}$  se refere à deformação por unidade de comprimento e o  $S$  se refere ao comprimento do fio de ouro.

Figura 22 - Típica deflexão de um fio de ouro com solda em cascata.



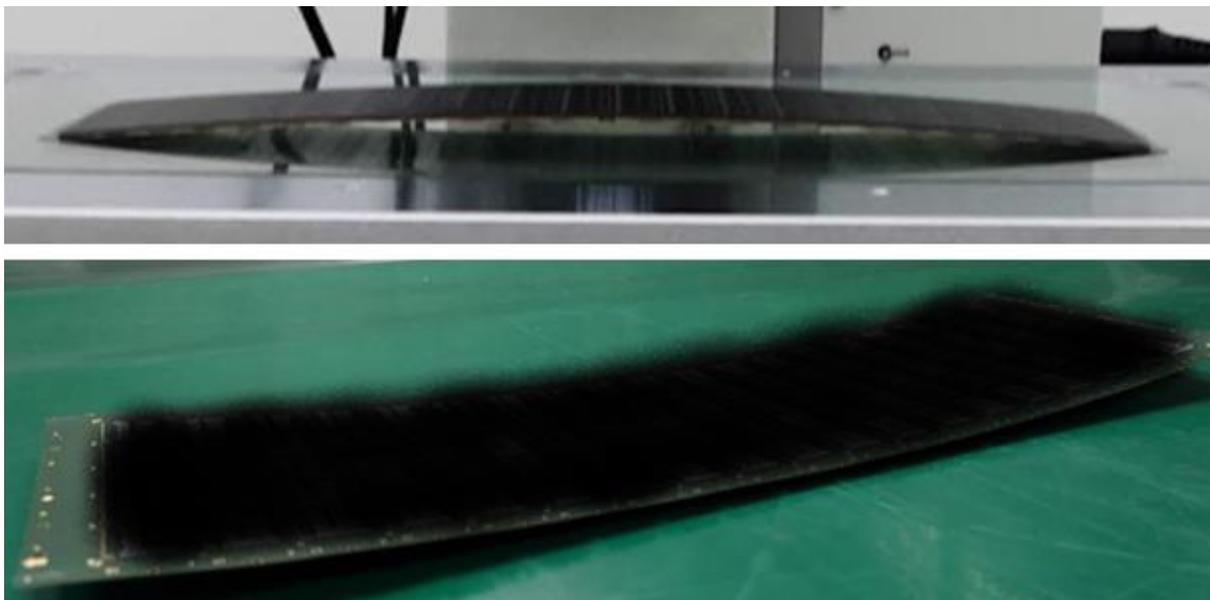
Fonte: Elaborado pelo autor (2022).

Na Figura 22, tem-se duas imagens, a primeira uma foto aumentada da região onde aconteceu o arqueamento do fio de ouro e a segunda a visualização através de análise por raios-x. Felizmente este defeito somado ao arraste de fio podem ser amenizados substituindo o processo de moldagem de transferência pelo processo de moldagem por compressão. Isso pois as características da moldagem por compressão permitem suavizar os efeitos de arraste dos fios.

#### 2.5.4.5 Empenamento (*Warpage*)

No projeto de um circuito integrado uma das maiores preocupações é a compatibilidade de materiais. É necessário se preocupar com o estresse mecânico e térmico que será causado por cada uma das etapas do processo de fabricação, isso porque os diversos coeficientes de expansão térmica (CTE) vão afetar o produto e um dos defeitos que podem vir a surgir na etapa de moldagem é o defeito de empenamento da PCI, mais conhecido como *warpage*. Este é um defeito gerado no processo de moldagem, que se deve ao aquecimento térmico e contração do composto de moldagem durante a cura. O conjunto de parâmetros de moldagem definidos no maquinário também é um fator chave para se evitar este tipo de defeito (WONG et al., 2014).

Figura 23 - Empenamento em uma placa de circuito impresso após o processo de moldagem.



Fonte: Elaborado pelo autor (2022).

O empenamento ainda pode ser classificado de duas maneiras, sendo uma delas quando o empenamento é concavo em relação ao plano horizontal, conhecido na indústria como ‘*smile*’ e o empenamento convexo em relação ao plano horizontal, conhecido como ‘*cry*’. Na Figura 23 tem-se uma foto dos efeitos de empenamento em uma placa de circuito impresso.

## 2.6 FLUIDODINÂMICA COMPUTACIONAL

A Fluidodinâmica Computacional (CFD – Computational Fluid Dynamics) é uma ferramenta que tem como base a solução por métodos numéricos das equações diferenciais que modelam os fenômenos de transporte. São estas, as equações de balanço de quantidade de movimento, balanço de massa e balanço de energia. A solução destas equações em um domínio computacional consiste nos campos de velocidade, pressão e temperatura no mesmo. A partir dos anos 1990, quando os principais problemas relativos à implementação e estabilidade dos métodos numéricos aplicados à fluidodinâmica foram solucionados e com a democratização de computadores com velocidades muito superiores à antes deste período, foram surgindo programas comerciais de CFD, os quais passaram a ser empregados não só no meio acadêmico, mas também na indústria. Conforme as empresas desenvolvedoras destes programas foram crescendo em estrutura, tecnologia e conhecimento, os códigos de CFD passaram a ser

complementados com modelos para os mais variados problemas físicos, como turbulência, escoamentos multifásicos, mudança de fase, fluidos com reologia complexa, reações químicas, eletromagnetismo, interação fluido-estrutura, entre outros. Atualmente, códigos comerciais de CFD são poderosas ferramentas de análise e projeto nos mais diversos setores da indústria, como automotivo, petróleo, refrigeração, entre outros.

Dentre os métodos numéricos mais utilizados, estão o Método de Volumes Finitos (PATANKAR, 2018) o Método de Elementos Finitos (HUGHES, 2008). Em ambos os métodos, o domínio do problema é discretizado em um número de células, e as equações diferenciais são reduzidas a equações algébricas com base nesta discretização.

O programa COMSOL, o qual é utilizado pelo grupo de trabalho do iTT Chip da UNISINOS, é um programa de CFD que utiliza multifísica, ou seja, um código de CFD que incorpora inúmeros modelos para físicas complexas acoplados ao problema central de escoamento.

COMSOL *Multiphysics*® é um programa de modelagem e simulação que foi desenvolvido por uma empresa sueca e desde 1998 faz sua comercialização. O programa permite conceber e estudar aplicações elétricas, mecânicas, de fluidos, e químicas e diversas outras aplicações.

O produto base é o COMSOL *Multiphysics*®, o qual utiliza métodos numéricos avançados para modelar e simular fenômenos de física. O programa é versátil a nível de compatibilidades com outras ferramentas, podendo ser usado em combinação com CAD, permitindo, por exemplo, importar geometrias de outros programas de modelagem 3D. Ele também permite gerir com eficiência aspectos das físicas, estudos, complexidade de malhas e outros diversos estudos de resultados.

O programa se baseia em método dos elementos finitos (MEF) para resolução dos seus modelos matemáticos. A descrição das leis da física para problemas dependentes do espaço e do tempo são geralmente expressas em termos de equações diferenciais parciais (EDPs). Para a grande maioria das geometrias e problemas, esses EDPs não podem ser resolvidos com métodos analíticos. Em vez disso, uma aproximação das equações pode ser construída, normalmente com base em diferentes tipos de discretização. Esses métodos de discretização aproximam os EDPs com equações de modelo numérico, que podem ser resolvidas usando métodos numéricos. A solução das equações do modelo numérico é, por sua vez, uma aproximação da solução real das EDPs. O método dos elementos finitos (MEF) é usado para calcular tais aproximações. Um dos benefícios da utilização do método dos elementos finitos é que oferece grande liberdade na seleção da discretização, tanto nos elementos que podem ser

utilizados para discretizar o espaço quanto nas funções de base. Outro benefício do método dos elementos finitos é que a teoria é bem desenvolvida. A razão para isso é a estreita relação entre a formulação numérica e a formulação do problema EDP (COMSOL MULTIPHYSICS, 2016).

A multifísica é uma ferramenta que o COMSOL tem disponível, podendo ter uma gama de combinações muito grande. O programa dispõe de opções de simulações de físicas em diversos campos, como por exemplo, acústica, corrente elétrica, fluxo de fluidos, transferência de calor, rádio frequência, semicondutores e outros. É possível combina-las da melhor maneira para que os objetivos da simulação sejam devidamente atendidos (COMSOL MULTIPHYSICS, 2016).

De acordo com Versteeg e Malalasekera (2007) as principais etapas para solução de um problema utilizando um programa de fluidodinâmica computacional são:

- a) **Definição do domínio do problema:** O domínio do problema é o local onde as equações serão resolvidas. É necessário primeiramente definir qual é a região de interesse a ser modelada em uma simulação, e que simplificações podem ser feitas. Esse processo inclui a retirada de elementos considerados não essenciais ao escoamento; definição de simetria, axisimetria, ou periodicidade, quando apropriado; e adaptação do domínio fluido a áreas onde as condições de contorno são conhecidas.
- b) **Geração de geometria e malha:** Consiste no modelo/desenho computacional, e na discretização desta geometria por uma malha.
- c) **Definição dos modelos físicos e pré-processamento:** nesta etapa, são definidas quais as físicas estão presentes no modelo, para que as equações apropriadas sejam resolvidas pelo programa. São prescritas condições de contorno e iniciais, definidos materiais e suas propriedades. No pré-processamento são setados os parâmetros numéricos para simulação.
- d) **Solução do problema:** Solução numérica das equações discretizadas, geralmente utilizando métodos iterativos, até um critério de convergência definido na etapa de pré-processamento.
- e) **Visualização de resultados e pós processamento:** Essa etapa abrange muitas maneiras de visualização de resultados e que depende da configuração e da preferência de acordo com a necessidade. Podendo ser desde gráficos, até por exemplo a representação visual de uma física ou movimento ocorrendo, dessa forma, facilitando o entendimento e interpretação dos dados obtidos.

## 2.7 TRABALHOS SIMILARES

Na literatura, pode-se encontrar estudos utilizando programas de simulação numérica para detecção e soluções mais rápidas e viáveis para processo de moldagem de chips utilizando EMC.

Stracke (2018), utilizou o programa COMSOL para simular o arraste de fios no processo de moldagem por transferência de um chip do tipo BOC BGA. Ele simulou o arraste de fios definindo cada material individualmente e fazendo o refino de malha. Primeiramente obteve um tempo de simulação muito alto devido ao alto número de elementos (3077208). Ao cortar esse número pela metade, conseguiu reduzir o tempo de simulação de 7 horas para apenas 3 horas. Stracke (2018) conseguiu atingir alta confiabilidade entre sua simulação e as amostras produzidas. De acordo com seus resultados, a simulação de um dos fios, por exemplo, teve razão de 5,21% no fio real, enquanto no simulado obteve 5,14%. Sua metodologia foi empregada em duas partes, sendo que a primeira visou realizar a validação do modelo computacional referente à simulação do comportamento de arraste de fios, a segunda parte visou avaliar o fenômeno tanto na simulação quanto em amostras utilizando variação dos parâmetros de moldagem. Posteriormente, utilizou um equipamento de raio-x para uma avaliação não destrutiva das amostras e comparação dos resultados.

Lin et al., (2020) fizeram diversas simulações do processo de encapsulamentos de SiPs na etapa de moldagem por compressão. Eles utilizaram o programa Moldex 3D para validar seu modelo computacional e resultados de simulação. Foram analisadas as possíveis causas que podem levar ao surgimento de vazios em diversos circuitos integrados, apenas com a variação de parâmetros. Eles observaram que vários fatores influenciam na geração de vazios. Os passivos, pasta de solda e espaços estreitos para o escoamento do EMC podem contribuir fortemente para que isso ocorra, além do mais, através das simulações e de amostragem, chegaram à conclusão que espaços menores do que 40  $\mu\text{m}$  também contribuem para surgimento deste defeito para o EMC que estava sendo utilizado na construção do chip.

Alguns pesquisadores de Taiwan também utilizaram simulação computacional através do programa Moldex 3D para atingir resultados livres de vazios no processo de moldagem por transferência em chips com encapsulamento do tipo SiP. Eles fizeram a variação de diversos parâmetros para atingir o resultado ideal, sendo variação da altura do *bump*, variação da altura do molde, variação do vácuo e EMCs com viscosidades diferentes. Eles conseguiram verificar que o EMC de menor viscosidade consegue fluir e penetrar melhor em regiões mais complexas do SiP, gerando pouco ou nenhum vazio, também em resultado de simulação verificaram que

a influência na altura do *bump*, ou seja, a região entre o SMD e o substrato influencia fortemente na geração de vazios. Isso se deve pelo espaço limitado para o escoamento do EMC (HUANG et al., 2020).

Ouyang et al. (2020) fala sobre os defeitos de empenamento da placa e de vazios após a moldagem por compressão em chips do tipo SiP. Eles usaram Moldex 3D como ferramenta de simulação de preenchimento de EMC. Foram testados SiPs com diferentes densidades, sendo elas de 42%, 49% e 65%. Também foram utilizados 4 diferentes tipos de EMC. Os experimentos demonstram que a maior densidade de componentes pode contribuir para defeitos de empenamento após o processo de moldagem. A alta densidade de componentes e EMC de baixa viscosidade comparado aos demais deste estudo, contribuem para o surgimento de vazios, principalmente em regiões de difícil acesso como embaixo de lâminas de silício ou componentes soldados.

Neste estudo foi utilizado o programa COMSOL para realizar a simulação de preenchimento de EMC em um chip do tipo SiP. Diferentemente dos trabalhos similares citados, onde são variados parâmetros de processo e características do EMC, o principal objetivo deste estudo é apresentar uma simulação que ajude na previsibilidade de projetos de SiPs que porventura, possam vir a apresentar a formação de vazios. A simulação computacional e testes de qualidade como microscopia acústica (modo-C e modo-T) e corte transversal validaram os projetos em relação à ausência de vazios durante o processo de moldagem por compressão.

### 3 METODOLOGIA

Neste capítulo, foi descrita a metodologia utilizada para alcançar os objetivos estabelecidos neste estudo, apresentando seus mecanismos de funcionamento de forma clara e concisa. Foi decidido utilizar duas placas de circuito impresso com projetos distintos de um mesmo chip, a fim de simular o processo de moldagem e testar a eficácia de cada projeto.

Uma das placas, que foi utilizada como base de controle para a prototipagem do dispositivo SiP, foi denominada de projeto “A”, enquanto a outra, foi usada para testar outro projeto em estudo, denominado de “B”. O objetivo era verificar se havia problemas de preenchimento ou fluxo de escoamento do composto de moldagem na região do dispositivo 16 LGA.

Além dos projetos “A” e “B”, foram propostos dois outros projetos, denominados como “C” e “D”. Estes foram propostos como alternativas de projetos visando melhoria no escoamento do EMC. Porém, como ambos não apresentaram resultados melhores que o projeto “A” e “B”, optou-se por não realizar a prototipagem das mesmas. Assim sendo, para avaliar os projetos “C” e “D”, optou-se por utilizar simulação numérica através de um programa, em conjunto com os projetos “A” e “B”.

Primeiramente, houve a produção de amostras tanto para o projeto “A” quanto para o projeto “B”. Para ambos, foram produzidos 6 lotes de engenharia contendo 22 peças cada, os quais foram submetidos a uma análise por microscopia acústica utilizando o modo-C e modo-T, análise do corte de secção transversal e posteriormente análise estatística com a finalidade de verificar qual a porcentagem de incidência de vazios em cada lote, de cada projeto analisado.

No caso da construção de modelos para análise por simulação computacional, foram considerados os 4 projetos (“A”, “B”, “C”, “D”). O primeiro passo foi construir um modelo tridimensional. A modelagem de cada projeto foi realizada dentro de um programa de modelagem 3D. Após a modelagem, os próximos passos ocorreram dentro do software COMSOL *Multiphysics*®, responsável pela parte de CFD. A partir do modelo computacional, foi configurado o domínio a ser analisado, definido o modelo matemático, configuradas as malhas e por fim configurada a visualização dos resultados para auxiliar em uma maior compreensão dos resultados obtidos.

Uma maneira de analisar qual projeto apresentou um melhor preenchimento de EMC, foi calculando qual é a vazão mássica pela área em cada um dos circuitos integrados, dessa forma, foi realizado o cálculo de acordo com a equação a seguir:

$$\dot{m} = \rho * A * V_{Med} \quad (3)$$

Onde:

$\dot{m}$  = Vazão mássica [kg/s]

$\rho$  = Massa específica do EMC [kg/m<sup>3</sup>]

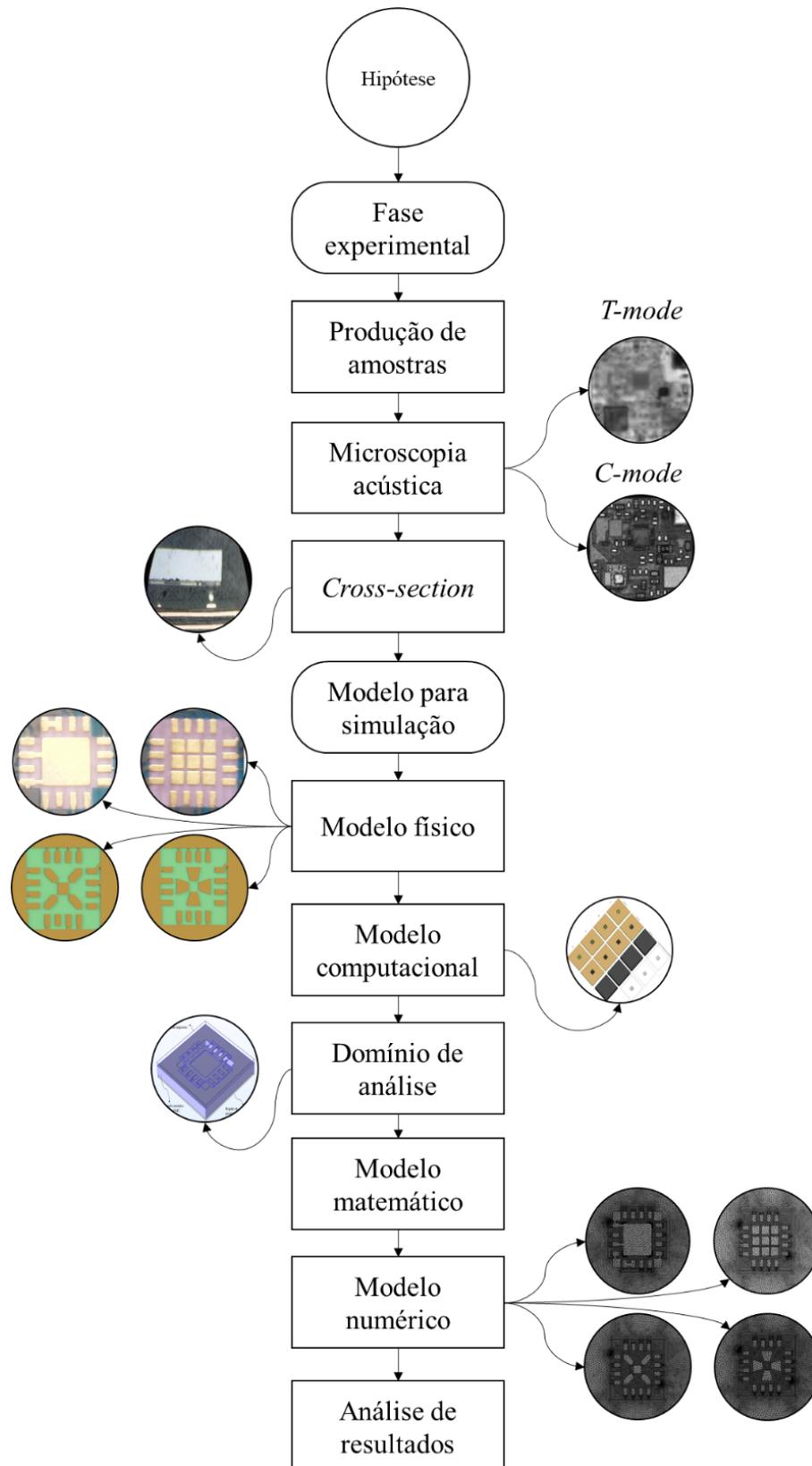
$A$  = Área total de saída [m<sup>2</sup>]

$V_{Med}$  = Velocidade média [m/s]

A massa específica do EMC, foi obtida através de ficha técnica do fabricante, já a área total e a velocidade média foram obtidas através do programa de simulação.

Ao utilizar essa metodologia, foi possível avaliar os resultados da simulação, comparando as diferenças entre os dois projetos e verificando se o projeto proposto atendia aos critérios de qualidade. Para o problema de vazios, a análise realizada para avaliar a qualidade do circuito integrado foi feita através de microscopia acústica para verificar anomalias e posteriormente, realizar o seccionamento da peça para confirmação, sendo esta última, uma análise destrutiva. A abordagem científica garantiu que os resultados obtidos fossem confiáveis e que fosse possível a tomada de decisão sobre o preenchimento de EMC no dispositivo SiP. A metodologia utilizada neste estudo, está descrita no Fluxograma 2.

Fluxograma 2 - Metodologia.



Fonte: Elaborado pelo autor (2023).

### 3.1 ANÁLISE DAS AMOSTRAS

Para validar os resultados obtidos por meio da simulação, foram produzidas amostras dos projetos “A” e “B” para avaliação experimental. A análise foi realizada por meio de técnicas destrutivas e não destrutivas, como corte transversal e microscopia acústica, respectivamente.

A análise de falhas e defeitos é crucial para garantir a confiabilidade e a alta qualidade dos encapsulamentos. Identificar e analisar possíveis defeitos pode levar à redução e, até mesmo, à eliminação de problemas no processo de manufatura, resultando em melhorias significativas. A análise experimental é fundamental para complementar os resultados obtidos por meio da simulação e garantir a efetividade do processo de fabricação. (ARDEBILI; ZHANG; PECHT, 2018).

#### 3.1.1 Amostragem

Para validar os resultados apresentados na simulação, foram produzidas placas de circuito impresso para os projetos “A” e “B”. Essas amostras foram analisadas por meio de técnicas de microscopia acústica (modo-C e modo-T) e por análise em corte de seção transversal das regiões onde foram identificados os vazios. No momento deste estudo, não havia amostras para os projetos “C” e “D” sendo estes, analisados somente via simulação numérica.

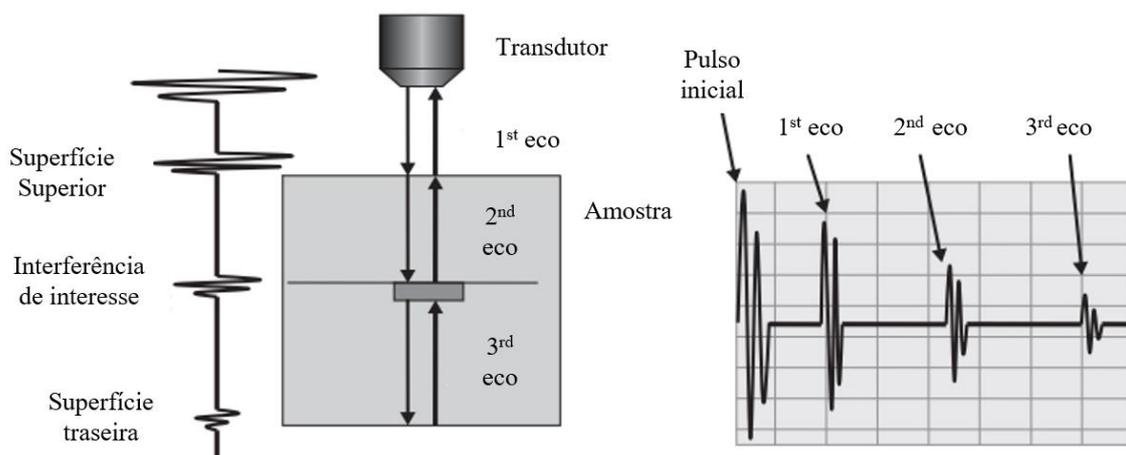
A análise das amostras produzidas foi fundamental para a validação da simulação e para a avaliação da qualidade do processo de fabricação de circuitos integrados. Por meio da microscopia acústica, foi possível visualizar a construção do chip, assim como identificar, após o processo de moldagem, se houve algum deslocamento de passivos ou outros defeitos mais aparentes, podendo também, identificar se houve indícios de delaminação ou formação de vazios. Já a análise em corte de seção transversal permitiu confirmar a região onde houve suspeita de surgimento de vazios, de fato ocorreu. Com a combinação dessas técnicas de análise, foi possível avaliar a conformidade dos resultados simulados com as amostras produzidas, bem como identificar possíveis melhorias no processo de fabricação de circuitos integrados.

#### 3.1.2 Método Para Realização De Microscopia Acústica

A tecnologia de escaneamento por microscopia acústica, também conhecida pela sigla SAM (*Scanning Acoustic Microscopy*) se baseia na reflexão e transmissão característica de

ondas de som em vários materiais. SAM pode ser utilizada para inspecionar múltiplos dispositivos a fim de assegurar qualidade da produção e identificar unidades defeituosas provenientes do processo de moldagem. Neste estudo, foi utilizado o modo-C e modo-T para avaliação de encapsulamentos, estes dois tipos são os métodos principais de avaliação utilizando SAM. O Modo-C é muito útil para definir a natureza exata de falhas em dispositivos eletrônicos encapsulados com materiais plásticos, como o caso do EMC, este método ainda pode ser usado selecionando a profundidade desejada. (ARDEBILI; ZHANG; PECHT, 2018). Na Figura 24, pode-se ver o esquema de funcionamento da SAM utilizando Modo-C.

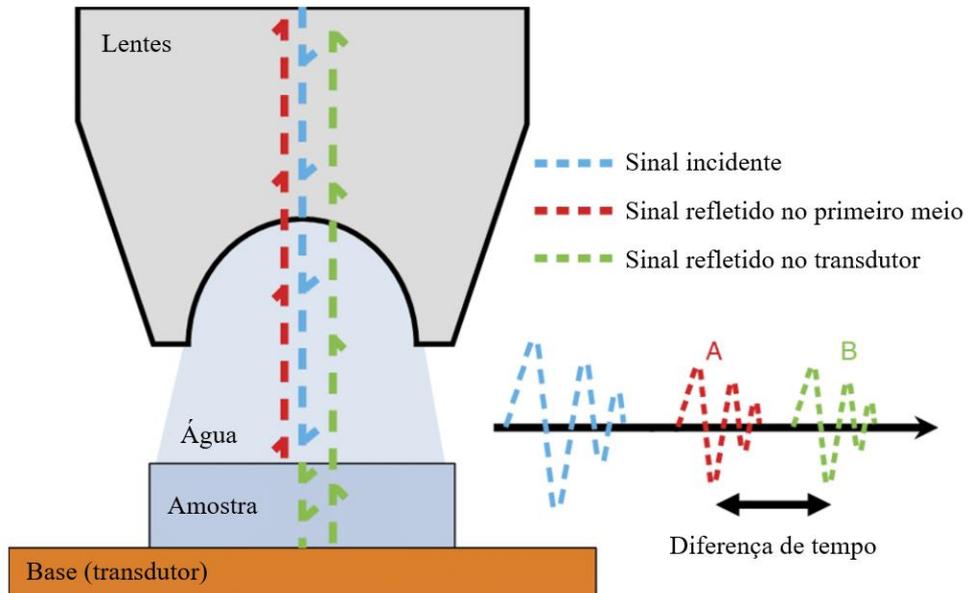
Figura 24 - Esquema de funcionamento de escaneamento por microscopia acústica utilizando modo-C.



Fonte: Adaptado de Ardebili, Zhang e Pecht (2018).

Outro método de análise por SAM é o modo-T, que diferentemente do modo-C, a energia ultrassônica ultrapassa todo o componente. Neste método, são necessário transdutores de ultrassom em ambos os lados da peça a ser analisada, um gerando o ultrassom e outro para recepção do sinal. Assim, quando ocorre uma mudança drástica no meio, é possível identificar possíveis defeitos no processo de fabricação (ARDEBILI; ZHANG; PECHT, 2018). O método de funcionamento pode ser observado na Figura 25, onde o transdutor emite um sinal e que é recebido por outro transdutor do outro lado de onde a placa de circuito impresso está posicionada, dessa forma o sinal é interpretado pelo equipamento e gerando uma imagem.

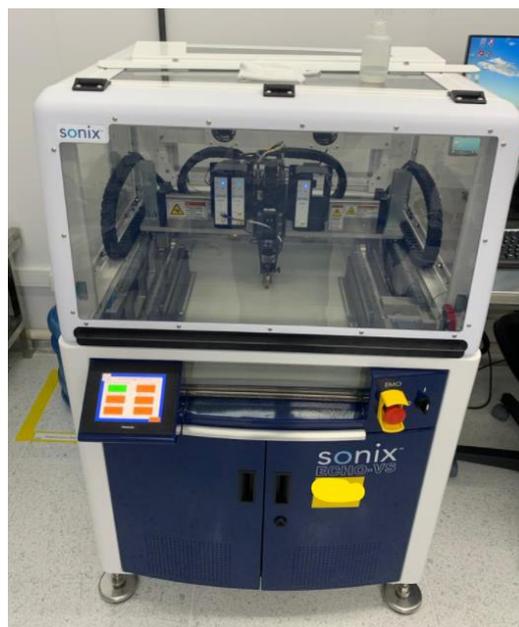
Figura 25 - Esquema de funcionamento de escaneamento por microscopia acústica utilizando modo-T.



Fonte: Elaborado pelo autor (2018).

O equipamento que foi utilizado para as análises de microscopia acústica é o SONIX ECHO-VS, apresentado na Figura 26. Este equipamento conta com sistemas de análise por modo-C e modo-T.

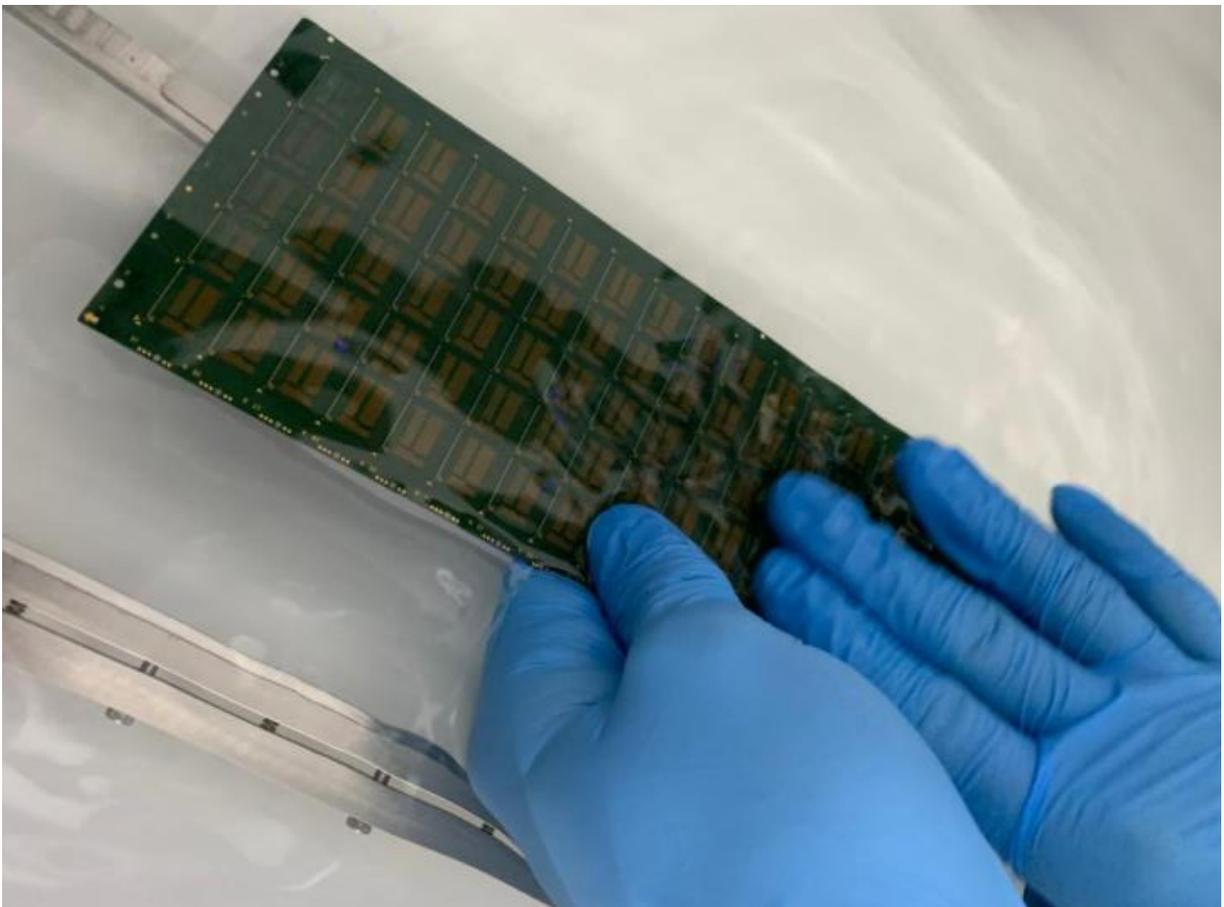
Figura 26 - Equipamento de microscopia acústica SONIX.



Fonte: Elaborado pelo autor (2022).

Antes de iniciar o processo de análise da placa de circuito impresso que já passou pela etapa de moldagem, a PCI precisa ser mergulhada em água deionizada, dentro do equipamento de microscopia acústica. É essencial garantir a eliminação de bolhas de ar tanto na superfície da placa quanto na ponta do transdutor que entra em contato com a água. Essa etapa é crucial, pois a presença de bolhas de ar pode gerar imagens de baixa qualidade ou até mesmo apontar defeitos inexistentes, o que pode levar a conclusões equivocadas e comprometer a precisão do estudo. O correto manuseio da PCI é exemplificado conforme Figura 27, onde deve-se passar os dedos pelos contatos, utilizando luvas, para eliminar as bolhas de ar.

Figura 27 - Processo para eliminar ar da superfície da placa de circuito impresso.

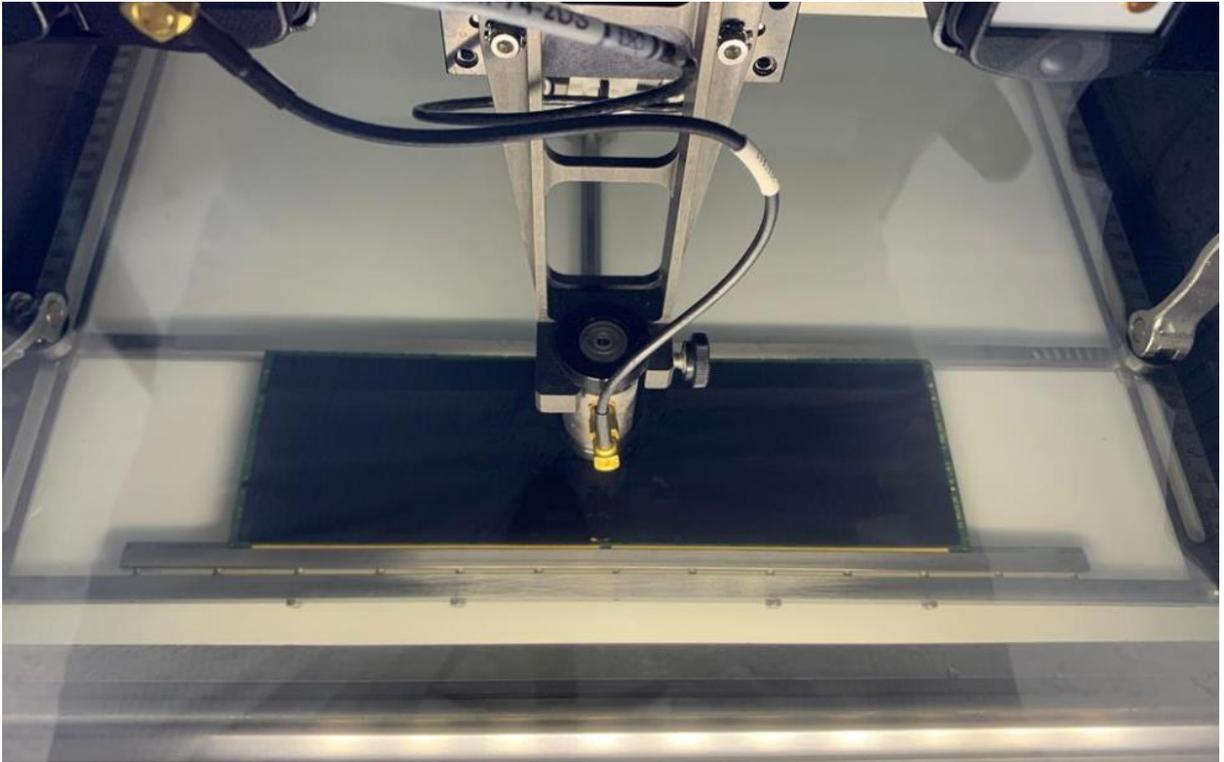


Fonte: Elaborado pelo autor (2022).

Após a etapa de eliminação de bolhas de ar na parte inferior da placa de circuito impresso, onde encontram-se os rebaixos onde as esferas são soldadas, a placa é posicionada na máquina. Nesse processo, a PCI é imersa em um recipiente com água juntamente com o transdutor que emitirá o sinal. Na Figura 28 é mostrado como fica o posicionamento da PCI e

o posicionamento do transdutor durante a emissão de sinais ultrassônicos para análise do circuito integrado.

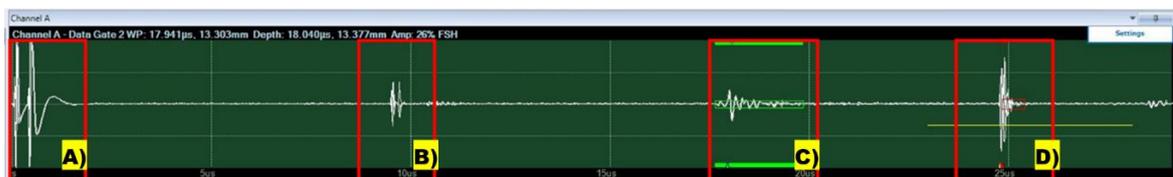
Figura 28 - PCI sendo analisada por equipamento de microscopia acústica.



Fonte: Elaborado pelo autor (2022).

O programa irá gerar resultados para modo-C e modo-T se dessa forma for configurado. Na Figura 29 são mostrados os formatos de onda geradas pelo equipamento. Cada uma delas representa um evento específico.

Figura 29 - Padrão de onda típica gerada em um encapsulamento.

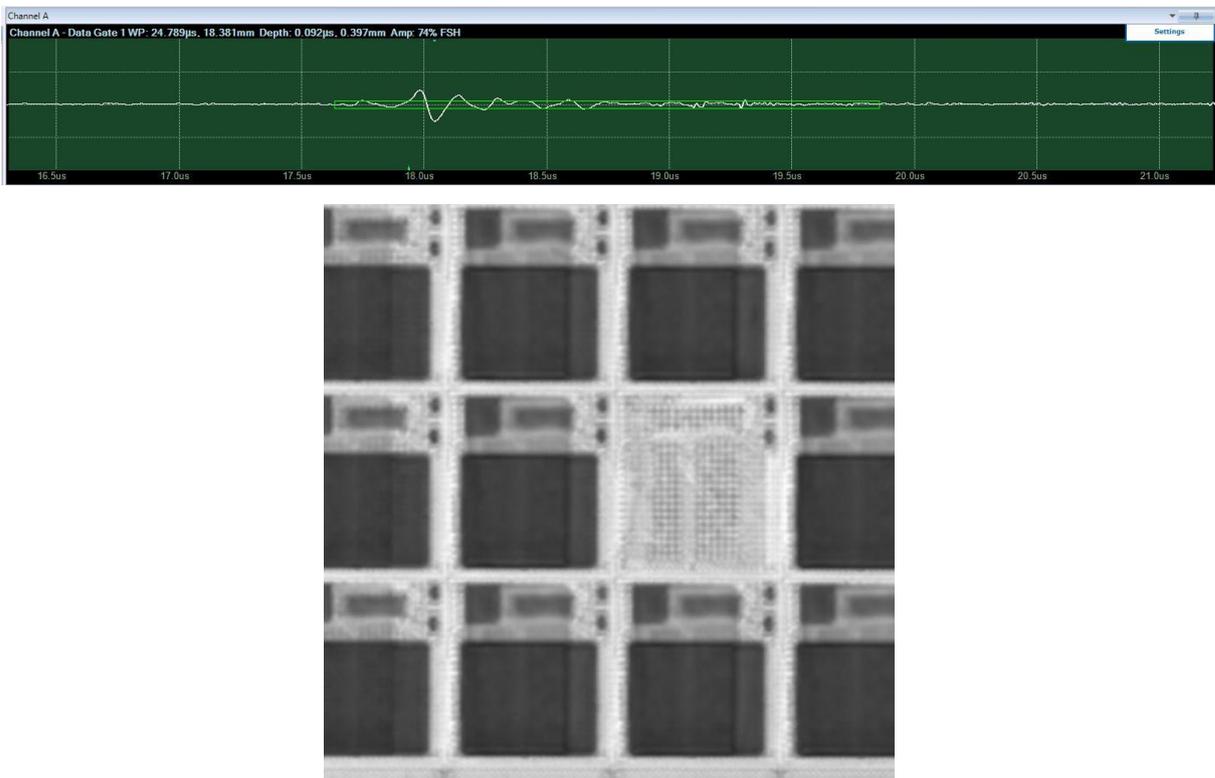


Fonte: Elaborado pelo autor (2022).

- a) Sinal inicial gerado pelo transdutor.
- b) Sinal entra em contato com a superfície da água aonde os circuitos integrados encapsulados se encontram mergulhados.
- c) Sinal gerado pelo transdutor em uma análise por modo-T.
- d) Sinal gerado pelo transdutor em uma análise por modo-C.

No modo-T, o programa interpreta e gera sinais onde são identificadas regiões e camadas que se distinguem entre si. Na Figura 30 vê-se o gráfico com a onda isolada e também o resultado em imagem da microscopia acústica usando modo-T. As regiões escuras representam onde ocorre maior resistência a passagem do sinal, a região branca é a região mais baixa na escala de tonalidades. No caso abaixo, existem indícios que uma das posições não possui nenhum componente soldado, enquanto nas demais posições encontram-se componentes com lâminas de silício devidamente soldados à PCI. Para o caso de ser encontrado algum defeito como vazio ou delaminação, a região ficaria preta, pois indicaria a existência de um espaço não preenchido naquela região, ou seja, o equipamento interpreta que aquele sinal recebido, para determinada região da placa, não percorreu nenhum meio sólido.

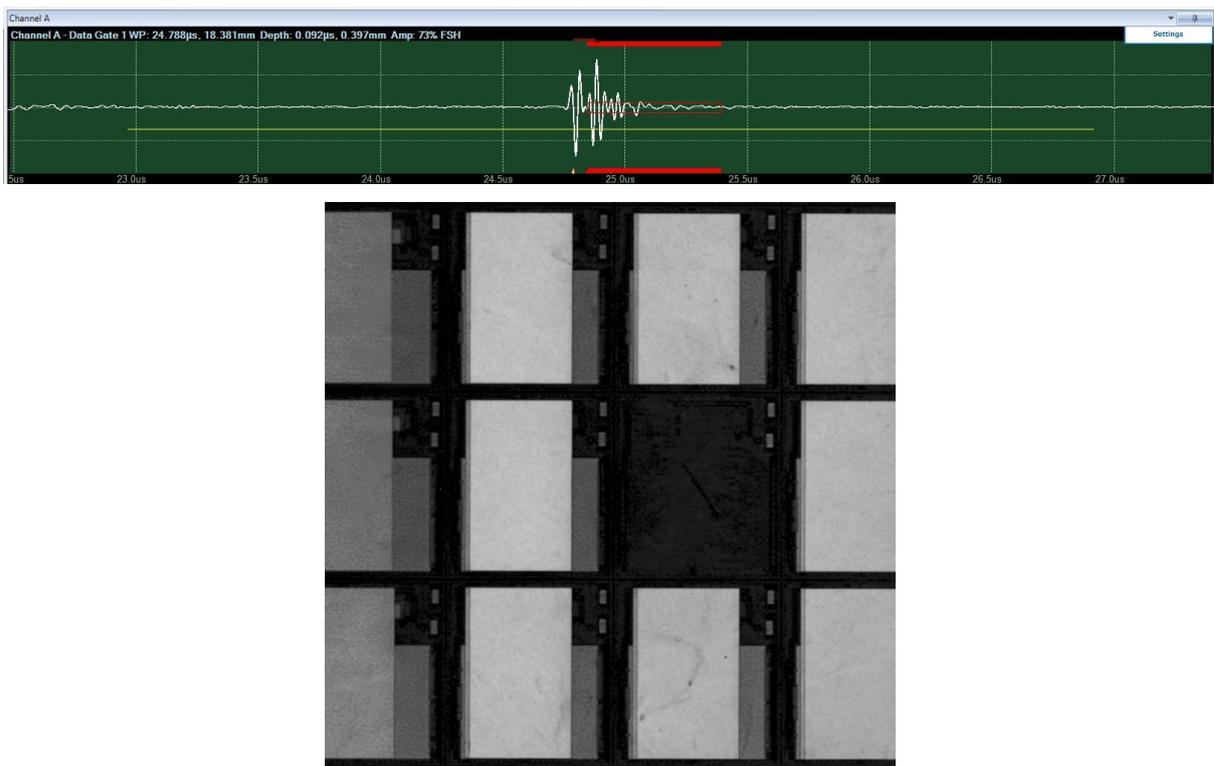
Figura 30 - Padrão de onda para um sinal em modo-T de um circuito integrado.



Fonte: Elaborado pelo autor (2022).

No modo-C, o programa também interpreta e gera sinais onde são identificadas regiões e camadas que se distinguem entre si. Na Figura 31 vê-se o gráfico com a onda isolada e também o resultado em imagem da microscopia acústica usando modo-C. Ao contrário do modo-T, as regiões escuras representam, em escalas de tonalidade, maior distância em relação ao sinal emitido pelo transdutor. No caso a seguir, existem indícios que uma das posições não possui nenhum componente soldado, enquanto nas demais posições encontram-se componentes com lâminas de silício devidamente soldados à PCI. Nesse tipo de análise, o foco não é a identificação de defeitos entre-camadas, sendo o objetivo principal a identificação de defeitos superficiais e análise visual do encapsulamento assim como sua estrutura após o processo de encapsulamento.

Figura 31 - Padrão de onda para um sinal em modo-C de um circuito integrado.



Fonte: Elaborado pelo autor (2022).

### 3.1.3 Método Para Realização De *Cross-Section*

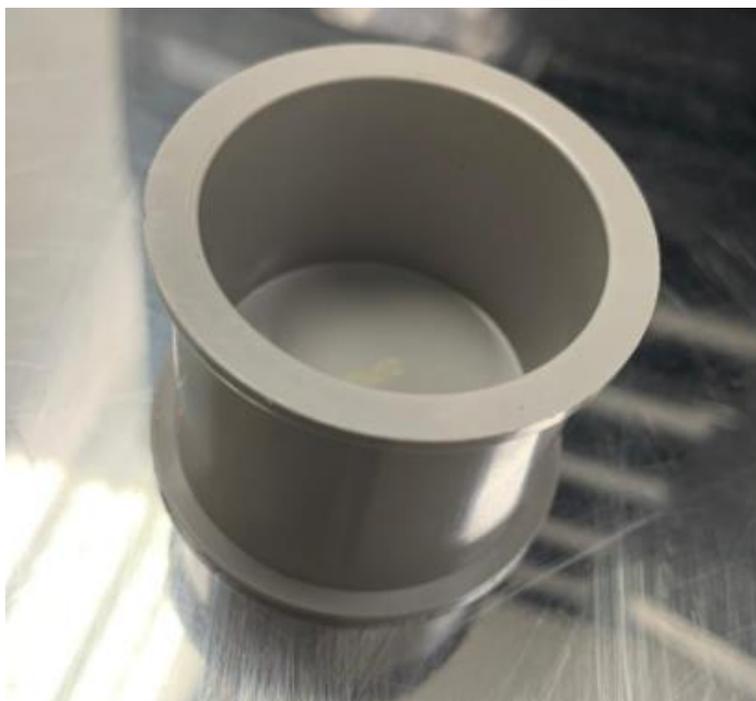
A análise de falha através da secção transversal (sendo *cross-section* o termo mais utilizado na indústria) normalmente envolve desencapsulamento do chip. Esta é uma

abordagem destrutiva de análise, onde é selecionado um plano de corte na secção onde se deseja realizar a análise de falha (ARDEBILI; ZHANG; PECHT, 2018). Após o seccionamento a peça é analisada em um microscópio.

A análise da secção transversal é realizar o embutimento da peça em uma mistura de resina epóxi e endurecedor utilizando um recipiente como molde. Esse processo permite um manuseio mais adequado do componente no momento de realizar o lixamento da peça.

No recipiente da Figura 32, a peça é posicionada na orientação desejada e então a cavidade é preenchida com uma parte de resina e outra de endurecedor na proporção de 100:12 de acordo com o volume do recipiente.

Figura 32 - Molde para embutimento com resina epóxi e endurecedor.



Fonte: Elaborado pelo autor (2022).

A parte da resina é composta por uma mistura de Epícloridrina e Éter Butil Glicídílico (THERMO FISHER SCIENTIFIC, 2012), enquanto a parte do endurecedor é formado por Trietilenotetramina (THERMO FISHER SCIENTIFIC, 2012). Por indicação, a mistura deverá agir por 8 horas em um ambiente controlado, no caso desse estudo, uma capela, por se tratar de uma reação levemente exotérmica.

Após finalização do embutimento, a peça embutida deverá ser retirada do molde e passar pela etapa do lixamento, o equipamento em questão é uma politriz lixadeira metalográfica,

modelo PPV, potência de 550W e prato com diâmetro de 200 mm, apresentada na Figura 33. No início do processo de lixamento se utiliza uma sequência pré-estabelecida para este tipo de processo. Começa-se com uma lixa de granulometria 400, após isso é utilizada uma lixa 600, 2400 e na finalização é utilizado um disco de polimento com água corrente e alumina branca 0,3 micra, composta por uma mistura de óxido de alumínio, água, destilados com condutividade ou pureza similar (VIDAL & ALVES, 2012).

Figura 33 - Politriz modelo PVV utilizado para lixar chip embutido com epóxi.



Fonte: Elaborado pelo autor (2022).

Com a finalização do polimento, a peça está pronta para ser analisada utilizando um microscópio. Através dele, serão geradas imagens ampliadas da região de interesse, confirmando ou não a presença de vazios.

### 3.1.4 Análise Do Composto de Moldagem

A composição que mais se destaca entre as propriedades-chaves EMC que será utilizado neste estudo, pode ser basicamente dividida em resina epóxi e endurecedor. A resina epóxi possui características como baixa viscosidade e ‘*Self-Extinguishing Resin*’, termo utilizado para materiais plásticos e resinas que não entram em combustão sem a ação de uma chama externa. O EMC, possui temperatura de transição vítrea de 145 °C e coeficientes de expansão térmica  $\alpha_1$  e  $\alpha_2$  de 9 e 38 ppm/°C respectivamente. O composto de moldagem é formado por cerca de 88% de sílica em sua composição, sendo ela uma sílica de baixo coeficiente de expansão térmica e com perfil dos grãos em formato esférico. Este é um EMC utilizado para moldagem do SiP em questão e todas suas informações técnicas para realização da simulação se encontram na ficha técnica do material.

O tamanho da sílica é um aspecto importante e que pode afetar o fluxo do material através dos canais do chip. Para garantir que os dados fornecidos no documento técnico do material correspondam às expectativas, foram realizadas análises amostrais da sílica, visando garantir que seu tamanho não ultrapasse 55  $\mu\text{m}$ , conforme especificado.

O método utilizado para medir a sílica foi o uso de um microscópio de precisão denominado SMART-Scope. Esse equipamento possui programa independente, permitindo a automação das medições, bem como medições manuais de componentes eletrônicos. É uma ferramenta muito útil para assegurar a qualidade dos produtos e garantir a confiabilidade das medições.

Por meio do SMART-Scope, foi possível realizar medições precisas do tamanho da sílica após a preparação das peças conforme apresentado neste capítulo.

## 3.2 SIMULAÇÃO NUMÉRICA COMPUTACIONAL

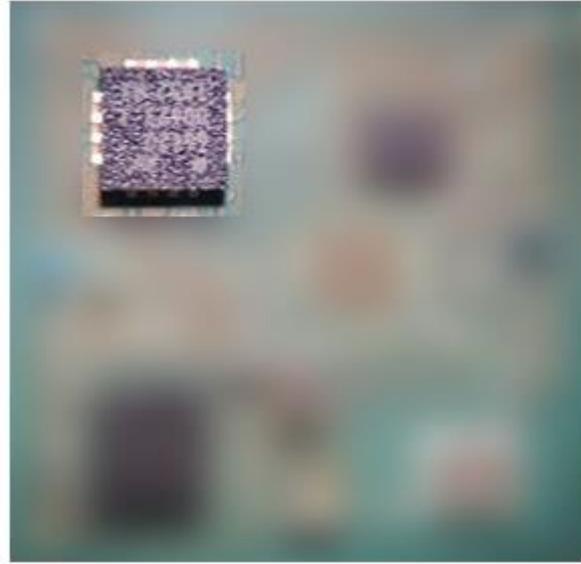
Neste subcapítulo foi apresentada a metodologia utilizada para implementação das condições, modelo matemático, numérico e computacional dos projetos “A”, “B”, “C” e “D”.

### 3.2.1 Modelo Físico

Para entender as regiões de formação de vazio, é importante esclarecer que este estudo se concentra em uma área específica do chip, e não no chip inteiro. A região em questão é

aquela representada na Figura 34, onde é possível visualizar a região do chip em que esse estudo se baseia, enquanto as demais áreas do chip foram ocultadas por questões de confidencialidade.

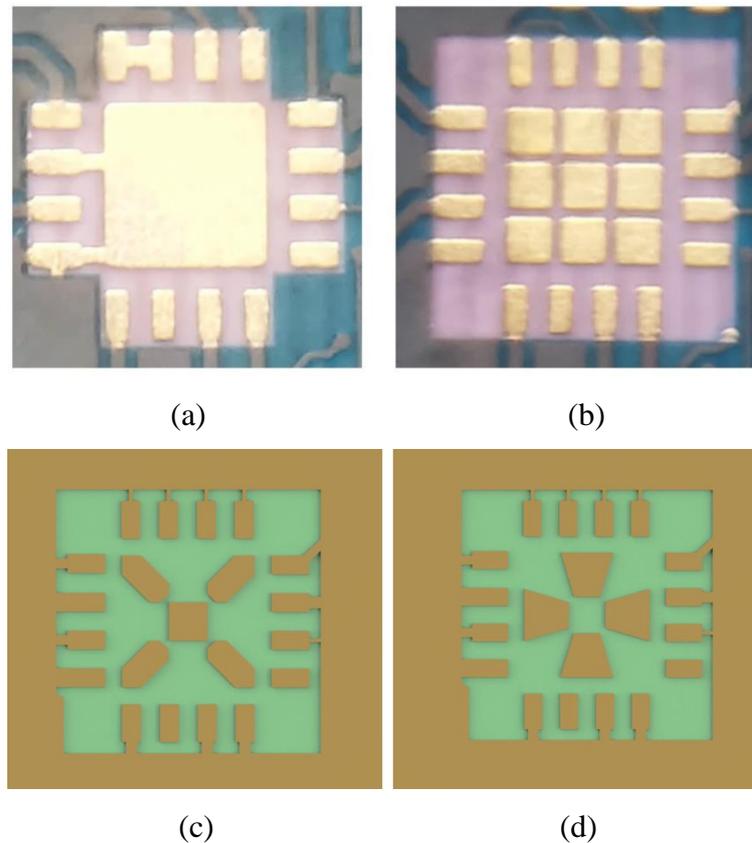
Figura 34 - Identificação da área de formação de vazios.



Fonte: Elaborado pelo autor (2023).

Na Figura 35 pode-se ver o projeto da placa de circuito impresso na região do dispositivo 16 LGA, sendo a imagem (a) o projeto “A” de um circuito integrado SiP, na imagem (b) a o projeto “B” proposta pela equipe de engenharia de uma empresa de semicondutores. Embora os projetos “C” e “D” não possuam amostras no momento deste estudo, pois se trata de propostas adicionais, ainda na Figura 35 observa-se o desenho de ambas, construídas em programa de modelagem, sendo representados pelas letras (c) e (d) respectivamente.

Figura 35 - Projetos da PCI da região do dispositivo 16 LGA.



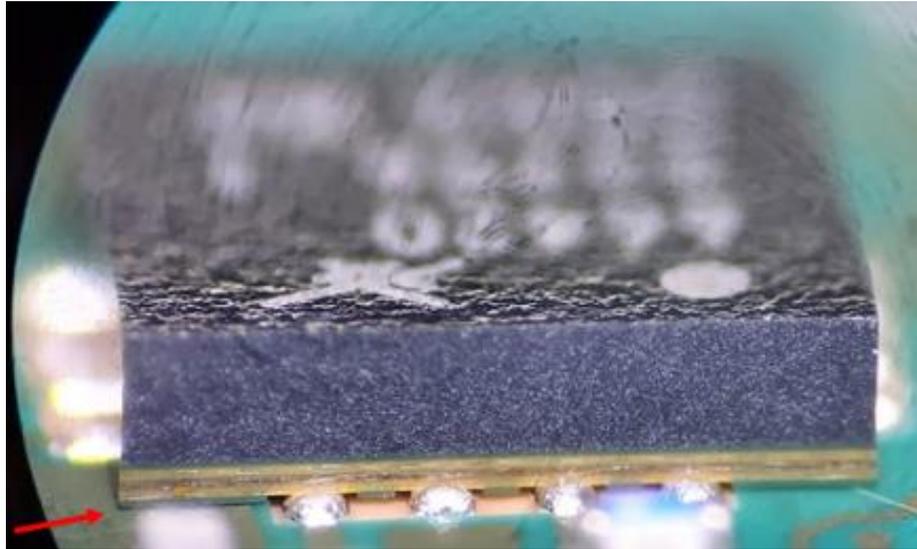
Fonte: Elaborado pelo autor (2023).

A fim de compreender melhor a causa da geração de vazios, a Figura 36 apresenta o projeto “A”, região do SiP que foi desenvolvida com o objetivo de acomodar o dispositivo 16 LGA. Ainda na figura, ele aparece já soldado à placa de circuito impresso. Nota-se que o projeto possui aberturas bastante limitadas, com aproximadamente  $5\ \mu\text{m}$  para permitir o escoamento do composto de moldagem nas quinas entre o componente e a PCI, região indicada por uma seta vermelha.

Essas aberturas restritas podem afetar a qualidade da moldagem e contribuir para a formação de vazios no dispositivo. Para evitar esse problema, é essencial garantir que as aberturas sejam projetadas com precisão e dimensional adequado para acomodar o fluxo de composto de moldagem de maneira eficiente.

Através de análises detalhadas e simulações numéricas, é possível otimizar o e minimizar a ocorrência de vazios. Assim, é fundamental ter uma abordagem sistemática para garantir a eficácia e a qualidade.

Figura 36 - Dispositivo 16 LGA posicionado na PCI do SiP.

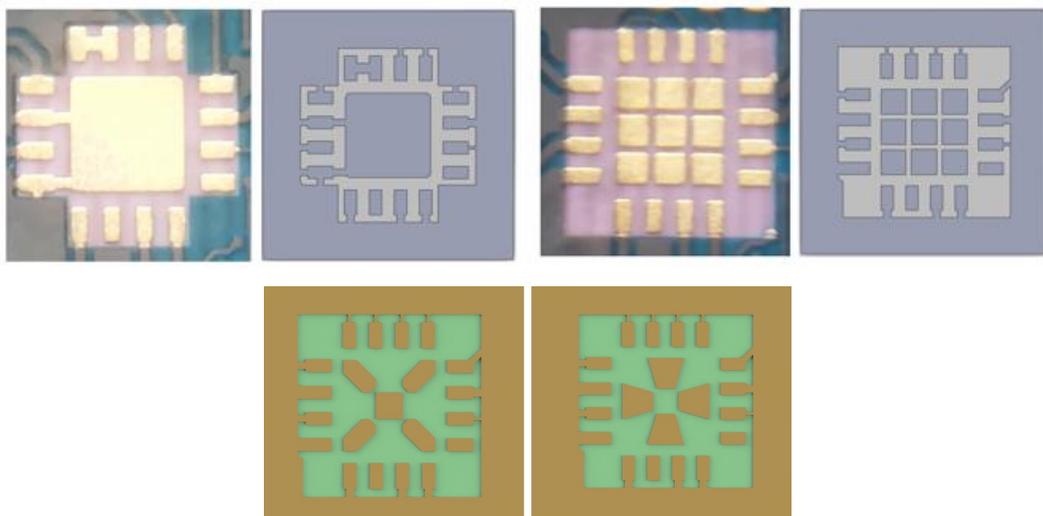


Fonte: Elaborado pelo autor (2021).

### 3.2.2 Modelo Geométrico

Para os projetos de chip “A”, “B”, “C” e “D” foram construídos modelos tridimensionais em um programa de modelagem, para posteriormente, serem utilizados para simular as físicas envolvidas no processo de encapsulamento do dispositivo, conforme é apresentado na Figura 37.

Figura 37 - PCI versus tridimensional do projeto de chip “A”, “B”, “C” e “D”.

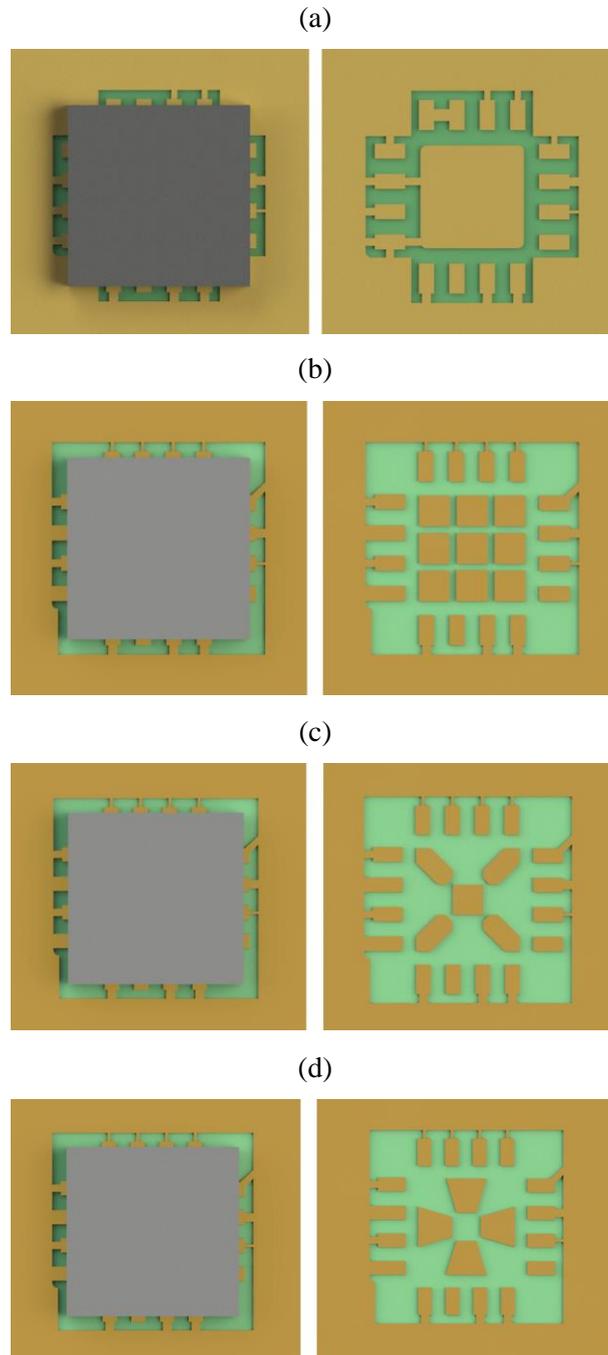


Fonte: Elaborado pelo autor (2023).

A Figura 38 apresenta a vista de topo do componente, proporcionando uma compreensão mais clara da geometria do dispositivo SiP na região de interesse. Na figura, a região verde/cinza clara, corresponde ao rebaixo na placa de circuito impresso, que permite que o composto de moldagem escoe por debaixo do componente preto, que é o dispositivo 16 LGA.

Essa região é crítica para o sucesso do processo de moldagem, pois é por onde o composto deve escoar para preencher todo o espaço vazio e garantir a integridade do dispositivo. Qualquer obstáculo ou limitação na região do rebaixo pode resultar em fluxo insuficiente de composto de moldagem e, conseqüentemente, em falhas na moldagem e na formação de vazios.

Figura 38 - Vista de topo dos projetos “A” “B”, “C” e “D” respectivamente, com e sem dispositivo 16 LGA posicionado.



Fonte: Elaborado pelo autor (2023).

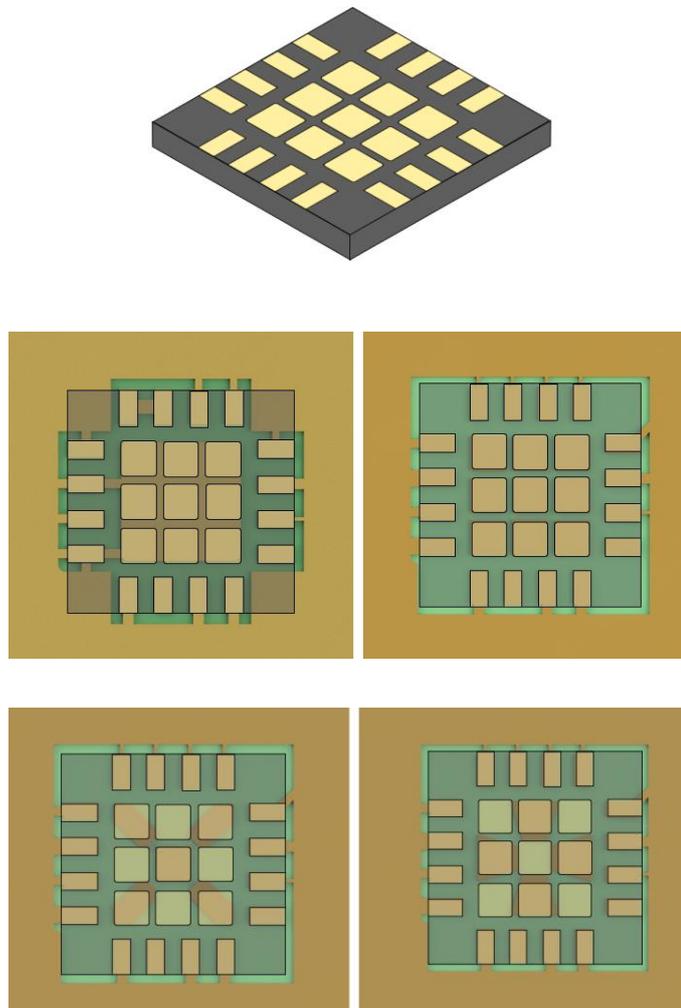
A escolha de projetos para a região do SiP estudada é uma questão crucial que envolve a configuração dos contatos elétricos do dispositivo 16 LGA. Na Figura 39 pode-se observar o dispositivo 16 LGA com seus contatos voltados para cima. Ao contrário dos contatos nas extremidades do chip, os contatos centrais têm como única função, que é dissipar o calor entre

o componente e a placa de circuito impresso. As trilhas que permitem a dissipação de calor, diferentemente do projeto “A”, que estão a mostra na camada mais superior da PCI, nos projetos “B”, “C” e “D” essas trilhas se encontram nas outras camadas da PCI.

Embora a perfeita adequação dos contatos de dissipação de calor aos do dispositivo 16 LGA não seja estritamente necessária, é importante garantir que a área seja adequada para uma dissipação de calor eficiente. É necessário encontrar um equilíbrio entre a área dos contatos e a capacidade de dissipação de calor a fim de garantir um desempenho ideal do sistema.

Na mesma figura, é possível visualizar como cada um dos projetos se adapta ao dispositivo 16 LGA. É importante destacar que a escolha do projeto adequado pode impactar diretamente a performance do sistema, além de garantir sua confiabilidade e durabilidade.

Figura 39 - Dispositivo 16 LGA e a escolha de projeto para cada SiP.



Fonte: Elaborado pelo autor (2023).

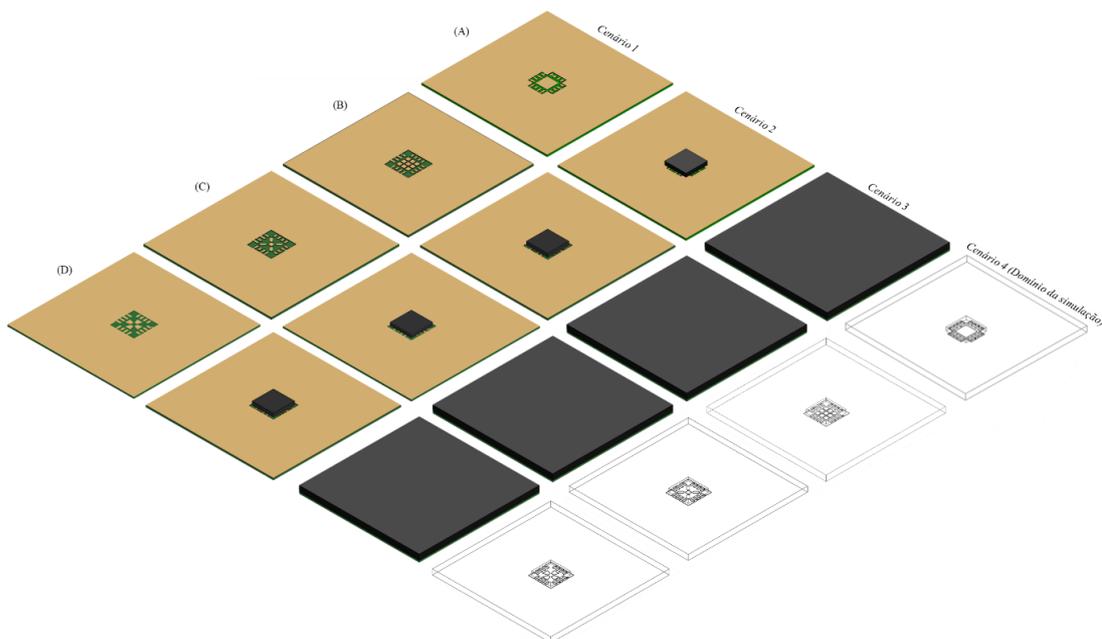
### 3.2.3 Domínio de análise

A Figura 40 representa, de forma visual, os cenários de cada etapa de fabricação do chip SiP em relação a área de interesse deste estudo, que é a do dispositivo 16 LGA, para os projetos "A", "B", "C" e "D". É possível visualizar claramente as diferentes regiões envolvidas em cada projeto, bem como os quatro cenários possíveis para o chip. O processo de fabricação do componente é ilustrado, partindo da placa de circuito impresso sem nenhuma etapa de montagem do chip até o preenchimento de EMC, que será simulado.

No cenário 1, é mostrada a PCI sem qualquer etapa de fabricação executada para os projetos. No cenário 2, a PCI é apresentada com o dispositivo 16 LGA posicionado e soldado nos contatos. Já no cenário 3, o componente passou pela etapa de moldagem por compressão, onde tanto a PCI quanto o dispositivo 16 LGA foram moldados. Por fim, o cenário 4 apresenta apenas o domínio do preenchimento de EMC, que foi simulado.

Essas informações são cruciais para entender os diferentes estágios pelos quais o componente passa durante o processo de fabricação e simulação de circuitos integrados. A identificação clara das regiões envolvidas e dos cenários possíveis, permite que os profissionais da área realizem análises mais precisas e tomem decisões informadas em relação ao projeto e fabricação de circuitos integrados.

Figura 40 - Domínio de análise do problema.



Fonte: Elaborado pelo autor (2023).

### 3.2.4 Modelo matemático e numérico

Na solução do problema de moldagem por compressão, abordada por esse estudo, tem-se um domínio monofásico com escoamento laminar simples, no qual está presente uma fase líquida (EMC). São resolvidas as equações que modelam os problemas de escoamento (equações de balanço de massa e de quantidade de movimento em regime laminar) e a transferência de calor e energia.

De acordo com o próprio guia oficial do COMSOL, a equação de balanço de calor e de energia se dá conforme as equações abaixo, onde a equação 4 representa o balanço de calor e a equação 5 representa o balanço de energia.

$$\frac{d}{dt} \int_{\Omega} \rho E dv + \int_{d\Omega_{int}} q_{tot} * n ds = Q_{int} + W_{str,int} \quad (4)$$

$$\frac{d}{dt} \int_{\Omega} \rho E_0 dv + \int_{d\Omega_{int}} e_{tot} * n ds = Q_{int} + W_{int} \quad (5)$$

Onde:

$\rho$  = Campo de pressão

$E$  = Energia interna

$q_{tot}$  = Fluxo de calor total

$e_{tot}$  = Fluxo de energia total

$\Omega$  = Domínio

$d\Omega_{int}$  = Limites

$n$  = Vetor

$W_{str,int}$  = Pressão de trabalho

$Q$  = Fonte de calor

O sistema é modelado em regime transiente. O campo gravitacional é prescrito como força de corpo atuante. O fluido de trabalho é o EMC, com as propriedades descritas conforme Tabela 4.

Tabela 4 - Principais propriedades do EMC.

<b>Parâmetros</b>	<b>Valor</b>	<b>Unidade</b>
Temperatura de T <sub>g</sub>	145	°C
<i>Spiral Flow</i>	67	in
<i>Gel time</i>	45	s
<i>Hot Hardness</i> (175 °C)	71	Shore-D
CTE $\alpha$ 1	9	ppm/°C
CTE $\alpha$ 2	38	ppm/°C
Viscosidade cinemática	80	Pa.s
Coeficiente de Poisson	0,45	Adimensional

Fonte: Folha de dados do material (2022).

A partir da simulação, foi possível obter e analisar a vazão da massa e a magnitude de velocidade por meio da área do chip e dos canais, a fim de comparar os resultados simulados com o projeto “A”, que foi considerado o ponto de referência para os demais resultados. Para alcançar esse objetivo, utilizou-se a física de escoamento laminar e os parâmetros do composto de moldagem listados nas tabelas Tabela 4. A escolha desses parâmetros teve como objetivo garantir um nível de acurácia adequado para simulação. Assim, a simulação permitiu analisar os resultados de forma precisa e consistente, possibilitando a comparação entre diferentes projetos e a tomada de decisões informadas em relação ao projeto e fabricação de circuitos integrados.

A Tabela 5 contém os parâmetros relevantes para uma compreensão mais aprofundada das características da simulação que será utilizada neste estudo. Esses parâmetros serão incorporados na simulação da física de preenchimento da cavidade do chip SiP. Dessa forma, os parâmetros listados na Tabela 5 desempenham um papel crucial na simulação, possibilitando a avaliação de diferentes cenários e a tomada de decisões informadas no desenvolvimento e fabricação de circuitos integrados.

Tabela 5 - Parâmetros de simulação.

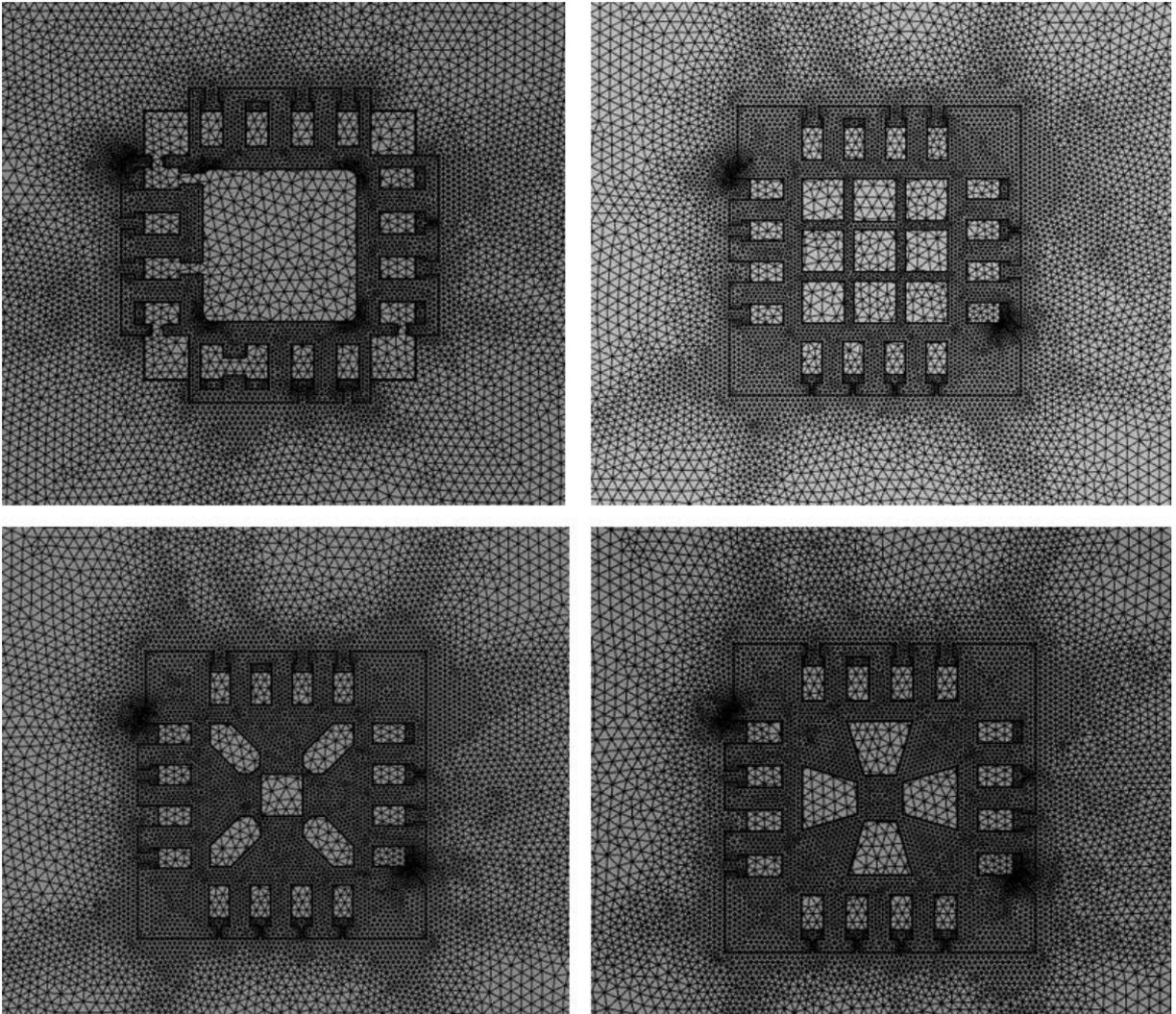
<b>Simulação de escoamento laminar do EMC</b>		
<b>Parâmetros</b>	<b>Valor</b>	<b>Unidade</b>
Domínio computacional (eixos)	18 [x] ; 18 [z] ; 1,1 [y]	mm
Compressibilidade do fluido	Incompressível	-
Temperatura inicial	293,5	K
Temperatura final (Moldagem)	440,2	K
Pressão inicial	101.325	Pa
Pressão final (Moldagem)	14	ton
Temperatura de T <sub>g</sub>	145	°C
CTE $\alpha_1$	9	ppm/°C
CTE $\alpha_2$	38	ppm/°C
Tempo de moldagem	13	s
Viscosidade cinemática	80	Pa.s
Coeficiente de Poisson	0,45	-

Fonte: Elaborado pelo autor (2022).

#### 3.2.4.1 Modelo da malha

Para uma simulação de maior qualidade, o correto dimensionamento e ajuste da malha é muito importante. Quanto mais refinada se torna a malha, ou seja, quanto maior o número de elementos, maior o número de cálculos e interações são realizadas. Dessa forma, o resultado se torna mais preciso e a parte de visualização da simulação se torna mais refinada e realista. Na Figura 41, segue um exemplo de malha a ser aplicada no chip SiP durante este estudo, tanto para o projeto “A” quanto para o projeto “B”, “C” e “D”.

Figura 41 - Malha do chip SiP, para os projetos “A”, “B”, “C e “D”.



Fonte: Elaborado pelo autor (2023).

O programa utilizado fornece uma grande quantidade de informações relevantes para a compreensão da malha e seu dimensionamento. Na Tabela 6, estão listadas as informações fornecidas pelo programa após o ajuste e dimensionamento da malha. Essas informações são fundamentais para a avaliação da qualidade da malha, bem como para a verificação da precisão e acurácia dos resultados obtidos por meio da simulação.

Tabela 6 - Estatísticas da malha.

Parâmetros	Quantidade			
	A	B	C	D
Tetraedros	15325116	15974332	15848307	15869696
Triângulos	625170	651988	675622	678242
Elementos de borda	9622	10689	2936	9929
Elementos de vértice	352	354	346	314
Número de elementos	116265392	16965688	16868447	16895016
Qualidade mínima (Elemento)	0.09014	0.04814	0.07264	0.09477
Média de qualidade (Elemento)	0.6855	0.685	0.6857	0.6863
Volume de cada elemento	$2.533 \times 10^{-5}$	$1.283 \times 10^{-5}$	$1.453 \times 10^{-5}$	$1.814 \times 10^{-5}$
	mm <sup>3</sup>	mm <sup>3</sup>	mm <sup>3</sup>	mm <sup>3</sup>
Volume da malha	271.1 mm <sup>3</sup>	271.3 mm <sup>3</sup>	255.1 mm <sup>3</sup>	255.1 mm <sup>3</sup>

Fonte: Programa COMSOL *Multiphysics*® (2022).

#### 3.2.4.1.1 Convergência e sensibilidade de malha

Com a finalidade de demonstrar que os resultados obtidos com a simulação foram independentes da resolução da malha utilizada, foi necessário realizar estudos de convergência e sensibilidade de malha.

Ao analisar a convergência de uma malha, os resultados são avaliados em regiões de interesse da simulação, podendo ser comparados ponto a ponto ou resultados médios, logo, conforme a malha é refinada os resultados irão convergir e o resultado se tornará independente da qualidade da malha em um determinado ponto (SILVA, 2016).

O propósito do estudo de sensibilidade de malha é garantir não que a solução seja independente da malha, mas sim que a influência da malha nas propriedades estudadas sejam de baixo impacto. Isso pode ser feito e analisado graficamente, quando a propriedade / física estudada tem variação nula ou baixa variação pode-se dizer que a malha foi suficientemente refinada (SILVA, 2016).

É crucial assegurar a independência da solução em estudos de Dinâmica dos Fluidos Computacional (CFD) em relação à quantidade de pontos usados para discretizar o domínio. Isso envolve a condução de um estudo de convergência de malha para mitigar qualquer influência nos resultados. Para garantir essa independência, é aplicado o método do Índice de

Convergência de Malha (*Grid Convergence Index* - GCI) proposto pela *American Society of Mechanical Engineers* (ASME). Dado que os estudos CFD são frequentemente conduzidos em 3D, a discretização do domínio espacial ocorre pela divisão do meio de escoamento em vários elementos de volume, cada um podendo ter geometrias distintas (SANTOS et al., 2022).

## **4 RESULTADOS E DISCUSSÃO**

Partindo do problema inicial, onde tem-se um projeto da placa de circuito impresso na região do dispositivo 16 LGA que não possibilita de maneira eficiente o escoamento do EMC por debaixo do componente e com base nos resultados das simulações, das informações obtidas através da análise das amostras confeccionadas e de diversos outros estudos realizados, foi possível sintetizar os resultados deste estudo com embasamento científico através dos trabalhos similares e demais referenciais teóricos.

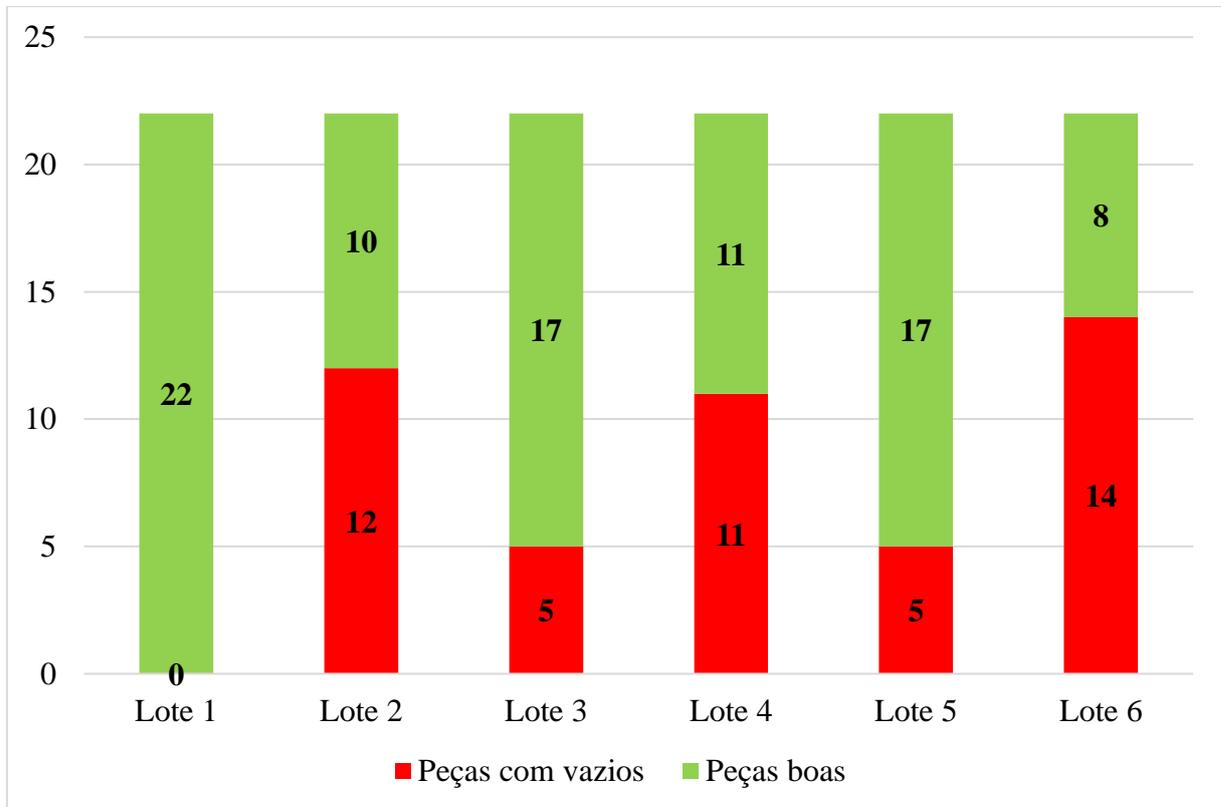
### **4.1 RESULTADOS EXPERIMENTAIS**

Neste subcapítulo foram apresentados os resultados decorrentes do estudo realizado e da aplicação das metodologias mostradas no capítulo 3.

#### **4.1.1 ANÁLISE ESTATÍSTICA**

Os 6 lotes, conforme mencionado no capítulo 3 (metodologia), foram compostos por 22 unidades cada um, cada lote apresentou um resultado variado. O resultado da eficiência do processo de moldagem em relação à formação de vazios no projeto “A” para a região do dispositivo 16 LGA pode ser observada no Gráfico 1.

Gráfico 1 - Composição de 6 lotes de validação do processo de moldagem por compressão no projeto “A” (Boas x com vazios).



Fonte: Elaborado pelo autor (2022).

O gráfico apresenta uma relação entre a quantidade de peças consideradas boas e peças que foram detectadas presença de vazios na moldagem após análise por microscopia acústica modo-T. Na Tabela 7 pode-se verificar a porcentagem de falhas por lote causado pela presença de vazios embaixo do dispositivo 16 LGA, levando a falha do componente.

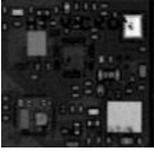
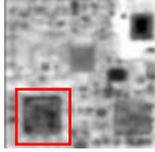
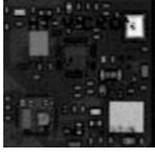
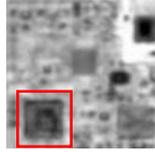
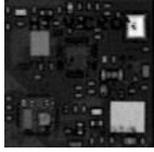
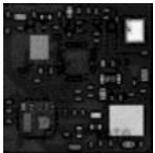
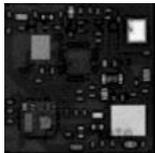
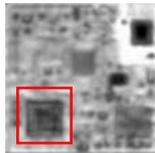
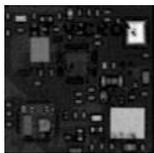
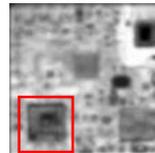
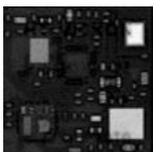
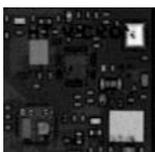
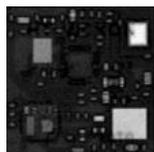
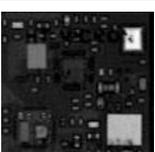
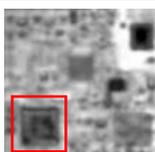
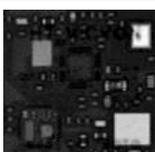
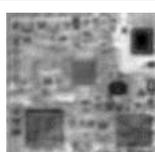
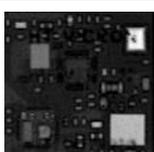
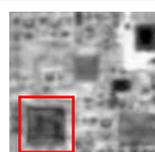
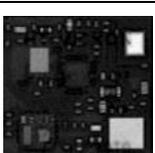
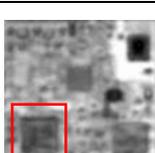
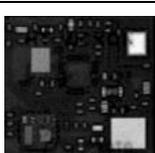
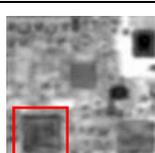
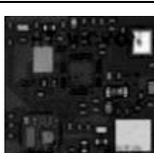
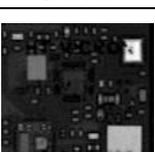
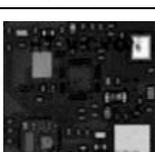
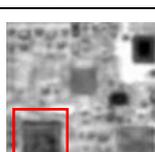
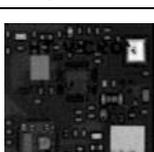
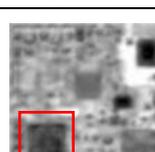
Tabela 7 - Porcentagem de falhas por lote.

<b>Análise de lotes de prototipagem por falhas</b>				
<b>Lote</b>	<b>Total de peças</b>	<b>Peças boas</b>	<b>Peças com vazios</b>	<b>% de falhas</b>
#1	22	22	0	0,00%
#2	22	10	12	54,54%
#3	22	17	5	22,72%
#4	22	11	11	50,00%
#5	22	17	5	22,72%
#6	22	8	14	63,63%

Fonte: Elaborado pelo autor (2022).

Na Figura 42, tem-se de maneira visual uma amostragem do lote 6, que foi o lote do projeto “A” que apresentou maior número de falhas com a formação de vazios. Após a execução de análises por microscopia acústica (modo-C e modo-T), identificaram-se as peças consideradas boas e com falha devido à presença de vazios. Ainda Figura 42, está destacado por um quadrado vermelho, a região do dispositivo 16 LGA. Nesta região nota-se uma diferença entre uma peça considerada boa e uma peça com presença de vazios. As peças boas apresentam uma cor uniforme em escala de cinza, enquanto as peças com presença de vazios, apresentam manchas pretas nas trilhas por de baixo do componente soldado. Na microscopia acústica, a tonalidade preta representa uma região de vazio, pois é onde o sinal do transdutor interpreta que o meio naquela região teve uma diferença drástica do meio por onde a onda está percorrendo, como por exemplo, do composto de moldagem para um meio não-sólido (ar). Ardebili, Zhang, Pecht, (2018) escreveram a respeito da importância desses métodos, sendo eles muito comuns na indústria eletrônica para identificação de vários modos de falha. No caso dos defeitos causados por surgimento de vazio, se tornam uma boa ferramenta para identificação do local exato de sua formação sem necessidade de uma intervenção destrutiva.

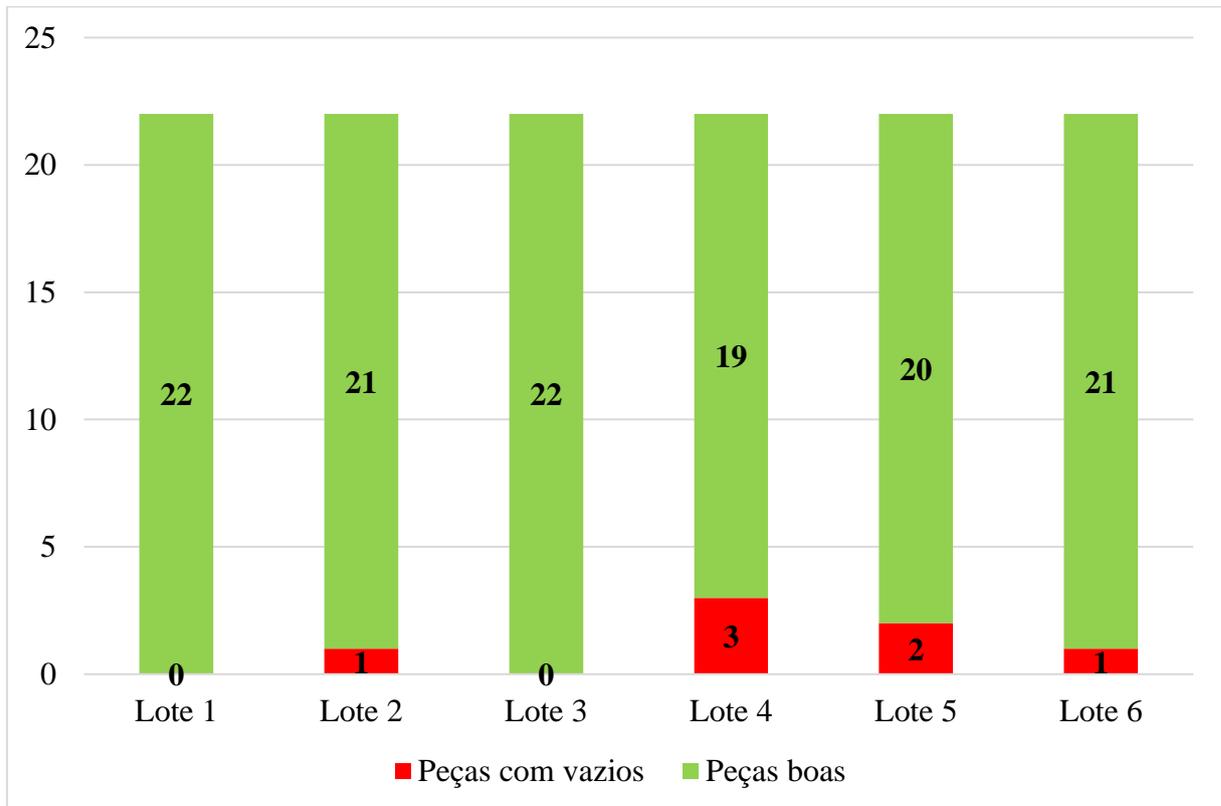
Figura 42 - Amostragem de peças do lote 6 após análise por microscopia acústica modo-C e modo-T.

Amostragem do lote #6 após análise por modo-C e modo-T					
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Falha	Boa	Falha	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Falha	Boa	Falha
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Boa	Boa	Falha
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Falha	Boa	Boa	Boa	Falha
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Falha	Boa	Falha	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Falha	Boa	Falha

Fonte: Elaborado pelo autor (2022).

A alteração do projeto do chip para o projeto “B” trouxe resultados melhores em comparação aos resultados do projeto “A”. No Gráfico 2, tem-se o resultado da eficiência do processo de moldagem em relação à formação de vazios no projeto “B” para a região do dispositivo 16 LGA, utilizando as mesmas condições de processo que foram utilizadas para a moldagem do projeto “A”.

Gráfico 2 - Composição de 6 lotes de validação do processo de moldagem por compressão no projeto “B” (Boas x com vazios).



Fonte: Elaborado pelo autor (2022).

O gráfico apresenta uma relação entre a quantidade de peças consideradas boas e peças que foram detectadas presença de vazios na moldagem após análise por microscopia acústica modo-T. Na Tabela 8 pode-se verificar a porcentagem de falhas por lote causado pela presença de vazios embaixo do dispositivo 16 LGA, levando a falha do componente.

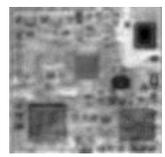
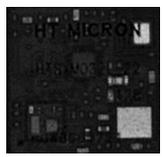
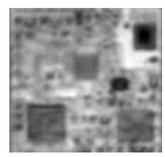
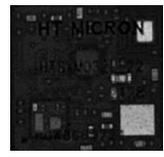
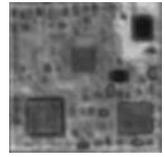
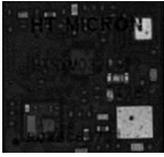
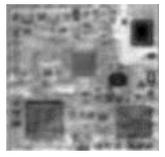
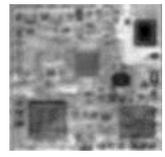
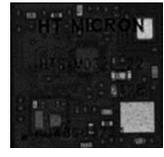
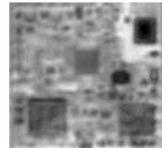
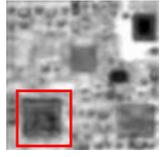
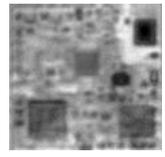
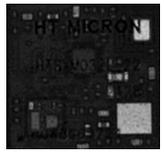
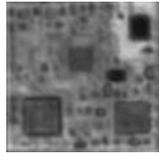
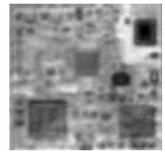
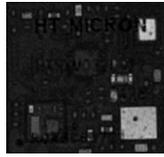
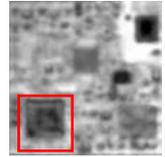
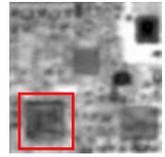
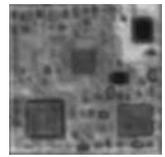
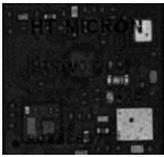
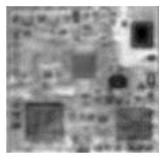
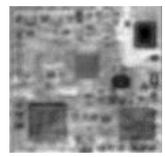
Tabela 8 - Porcentagem de falhas por lote.

<b>Análise de lotes de prototipagem por falhas</b>				
<b>Lote</b>	<b>Total de peças</b>	<b>Peças boas</b>	<b>Peças com vazios</b>	<b>% de falhas</b>
#1	22	22	0	0,00%
#2	22	21	1	4,54%
#3	22	22	0	0,00%
#4	22	19	3	13,63%
#5	22	20	2	9,09%
#6	22	21	1	4,54%

Fonte: Elaborado pelo autor (2022).

Da mesma maneira que foi feito para o chip com projeto “A”, na Figura 43 tem-se de maneira visual, uma amostragem do lote 4 (que apresentou maior número de falhas com a formação de vazios) após a execução de análises por microscopia acústica (modo-C e modo-T).

Figura 43 - Amostragem de peças do lote 4 após análise por microscopia acústica modo-C e modo-T.

<b>Amostragem do lote #4 após análise por modo-C e modo-T</b>					
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Boa	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Boa	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Falha	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Boa	Boa	Boa
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Falha	Boa	Boa	Boa	Falha
<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 	<i>C-Mode</i> 	<i>T-Mode</i> 
Boa	Boa	Boa	Boa	Boa	Boa

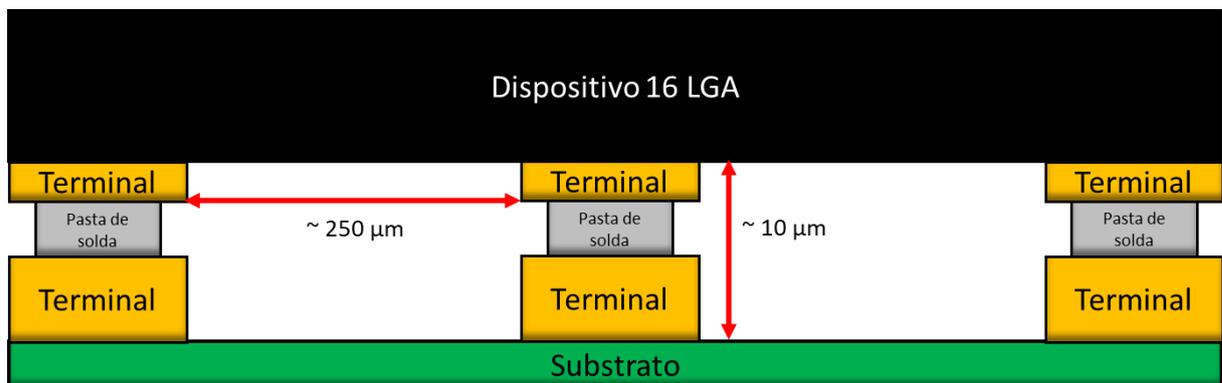
Fonte: Elaborado pelo autor (2022).

A distância entre os componentes passivos e o substrato, assim como o espaçamento nos canais e seu projeto, são fatores fundamentais que influenciam o escoamento do composto de moldagem em todas as regiões do circuito integrado. Na Figura 44, é possível visualizar as dimensões entre terminais, o dispositivo 16 LGA e o substrato.

O substrato é projetado com terminais específicos de acordo com as especificações do projeto, enquanto o dispositivo 16 LGA possui seus próprios terminais, que precisam ser alinhados com os do substrato. A pasta de solda é usada para unir os dois elementos. A distância entre a base do dispositivo e o topo do substrato é de cerca de  $10\ \mu\text{m}$ .

Considerando a importância desses fatores, é essencial que o projeto da placa de circuito impresso seja cuidadosamente planejado, levando em consideração as dimensões e espaçamentos necessários para um escoamento eficiente do composto de moldagem. Com um projeto bem estruturado, é possível evitar problemas de preenchimento inadequado, garantindo a qualidade e eficiência do circuito integrado produzido.

Figura 44 - Representação dos contatos entre dispositivo 16 LGA e substrato.



Fonte: Elaborado pelo autor (2023).

Cada um dos projetos do chip, tem suas particularidades em relação a região do dispositivo 16 LGA. O projeto “A” tem um terminal grande no meio, que foi projetado dessa forma por causa da dissipação de calor. Gao et al (2009) no seu estudo “*Thermal numerical simulation for advanced package development*” ressalta algumas importâncias e conceitos básicos para aplicação de boas práticas quanto a dissipação de calor em dispositivos eletrônicos. Práticas essas, que são estabelecidas conforme norma JEDEC e que devem ser aplicadas em todos os circuitos integrados para conformidade. Para os encapsulamentos SiP, a dissipação de calor nas lâminas de silício e outros componentes ocorre de forma similar aos circuitos

integrados que utilizam BGA e não LGA. Para obter a melhor eficiência é necessário encurtar os caminhos de transferência de calor para reduzir a resistência térmica. Isso pode ser alcançado através da modificação do projeto da estrutura de construção do circuito integrado, bem como pelo uso de materiais com maior condutividade térmica. Boas práticas essas, que são aplicadas nos analisados neste estudo.

Além disso, as regiões de quinas do projeto “A” não possuem nenhum rebaixo no substrato para facilitar o escoamento do composto de moldagem. Essa é a principal diferença entre os projetos. No caso do projeto “B”, o terminal central foi seccionado e foram acrescentados rebaiços nas regiões de quina, dessa forma, ocorreu um aumento de área livre na região do dispositivo, outras modificações foram realizadas nos projetos “C” e “D” a fim de proporcionar uma maior área livre e verificar quais efeitos essas mudanças podem proporcionar em relação a formação e vazios. Essa diferença de área e de volume na região pode ser encontrada na Tabela 9.

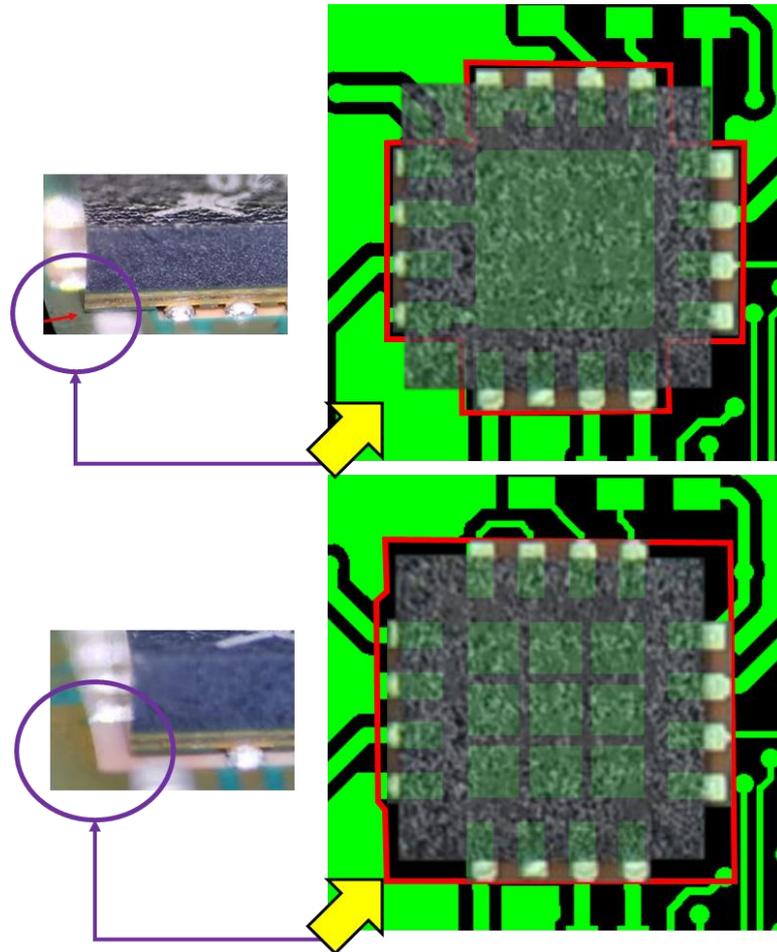
Tabela 9 - Área e volume livre para escoamento do composto de moldagem no projeto “A”, “B”, “C” e “D”.

<b>Dimensionamento dos canais para escoamento de EMC no dispositivo 16 LGA</b>		
<b>Projeto</b>	<b>Área total dos canais (mm<sup>2</sup>)</b>	<b>Volume total dos canais (mm<sup>3</sup>)</b>
A	4,719	0,04719
B	7,564	0,07564
C	8,668	0,08668
D	8,548	0,08548

Fonte: Elaborado pelo autor (2022).

As regiões de quina, no caso do projeto “A” foram muito suscetíveis à formação de vazios, pois fatores como espaço insuficiente para escoamento do composto de moldagem e às dimensões da sílica no composto de moldagem foram fatores que contribuíram negativamente quanto a formação de vazios. O espaço disponível para o escoamento do composto de moldagem assim como a área com rebaixo (destacado por linha vermelha) pode ser visto na Figura 45, onde foram destacados os projetos “A” e “B”, os quais possuíam amostras disponíveis para análises dos componentes.

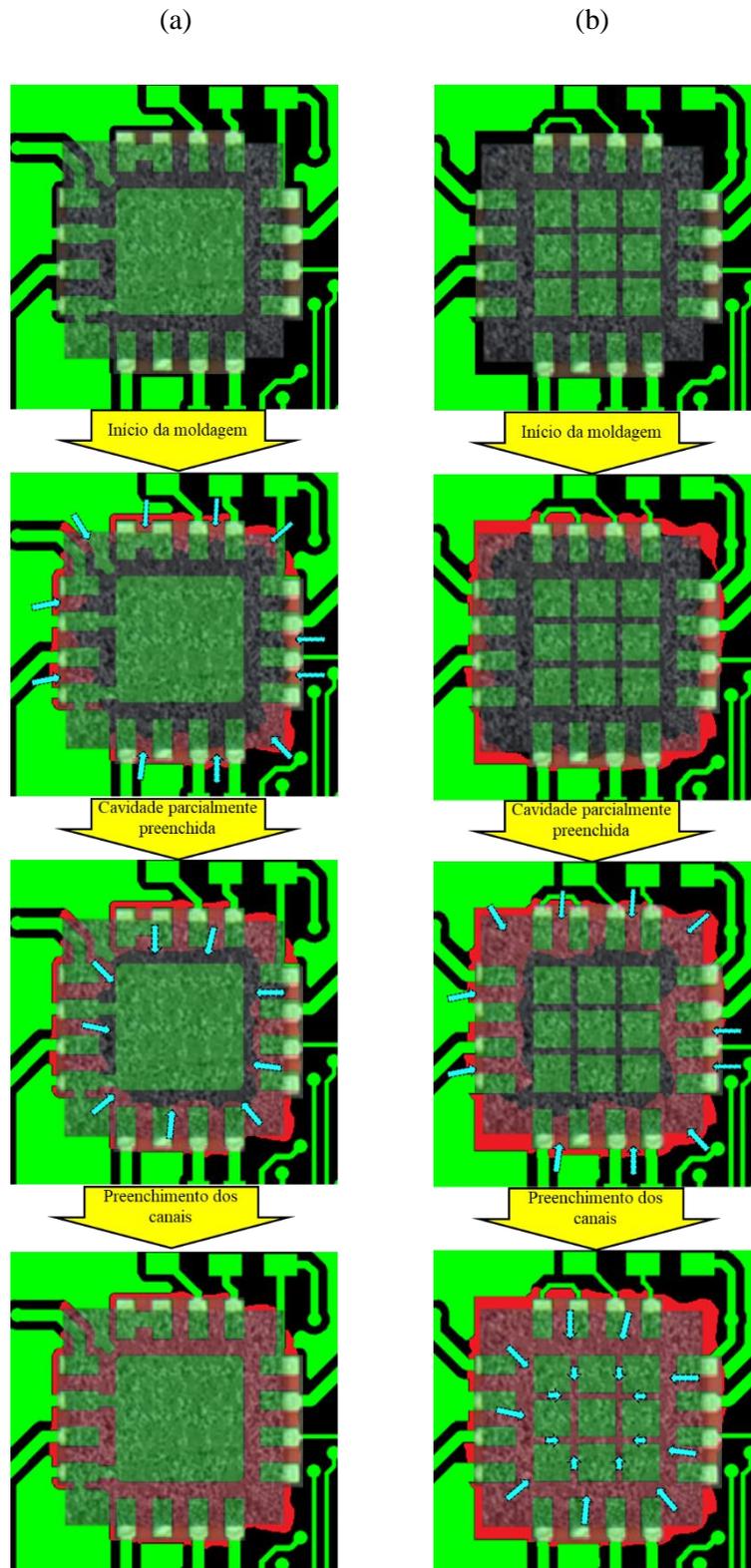
Figura 45 - Rebaixos nos substratos para o projeto “A” e “B” respectivamente.



Fonte: Elaborado pelo autor (2022).

O processo de preenchimento do EMC na cavidade do chip foi realizado por meio de um equipamento de moldagem por compressão, que difere do processo de moldagem por transferência. Tanto Ardebili, Pecht, Zhang (2019) quanto a própria fabricante do equipamento, Towa (2023), falam das diferenças e principais benefícios da moldagem por compressão para encapsulamentos de alta densidade de passivos. Essa diferença resulta em um preenchimento uniforme do EMC tanto na cavidade do equipamento quanto nos canais do chip. Para facilitar a compreensão, a Figura 46 apresenta um esquema do preenchimento na região do dispositivo 16 LGA para os projetos “A” e “B”. Para os projetos propostos, “C” e “D”, foi desenvolvido somente a configuração dos terminais a fim de melhorar o escoamento de EMC, sendo assim não existe o real posicionamento das trilhas e rebaixos de entrada real.

Figura 46 - Esquema de preenchimento do composto de moldagem, tanto para o projeto “A” quanto para o “B”.



Fonte: Elaborado pelo autor (2023).

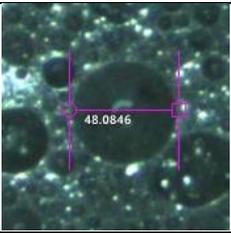
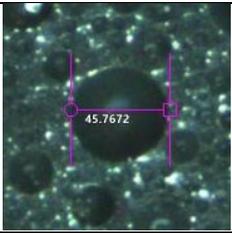
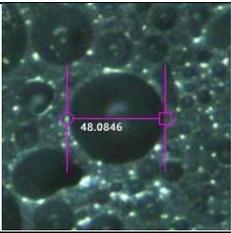
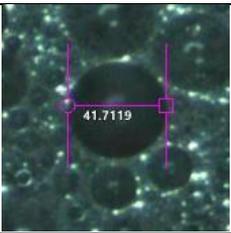
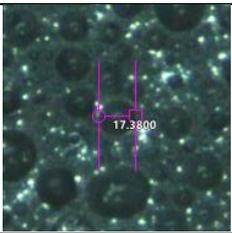
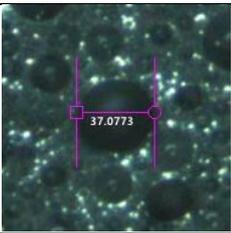
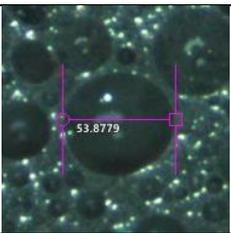
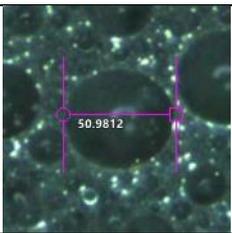
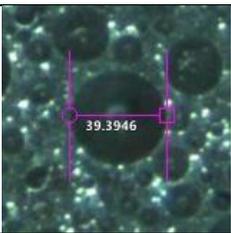
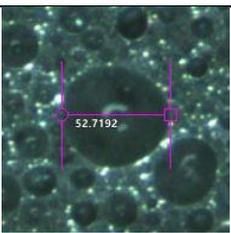
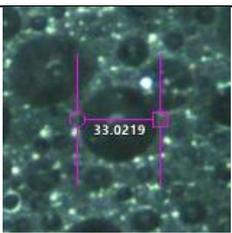
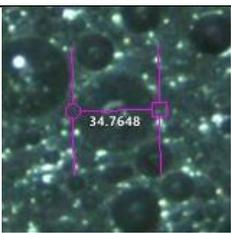
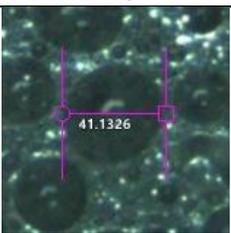
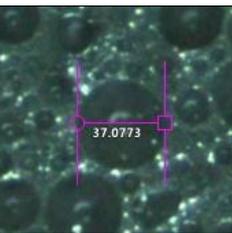
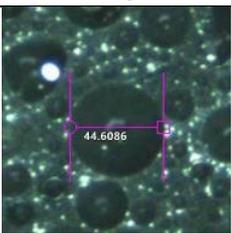
#### 4.1.2 ANÁLISE DO TAMANHO DA SÍLICA DO COMPOSTO DE MOLDAGEM

O composto de moldagem escolhido para a fabricação do componente SiP utilizado neste estudo é o SG-8500BE produzido pela Samsung. Embora o documento técnico do produto não forneça informações sobre o tamanho médio das esferas de sílica presentes no EMC, especifica-se o tamanho máximo presente no composto, que é de cerca de 55  $\mu\text{m}$ .

A Tabela 10 apresenta 15 medições da sílica esférica encontradas no EMC, com tamanhos variados. Os mesmos métodos foram utilizados para a preparação da amostra e análise. Para tanto, foi utilizado o microscópio SMART-Scope para a aquisição de imagens e medição dimensional. As imagens obtidas mostram que o maior tamanho de sílica detectado foi de 53,8779  $\mu\text{m}$ , o que indica que o tamanho máximo especificado pelo fabricante do EMC está em conformidade.

É importante ressaltar que essas medições foram realizadas de forma aleatória, escolhendo alguns grãos de sílica que aparentavam possuir um formato maior, assim como foram escolhidos alguns grãos que apresentavam um formato menor.

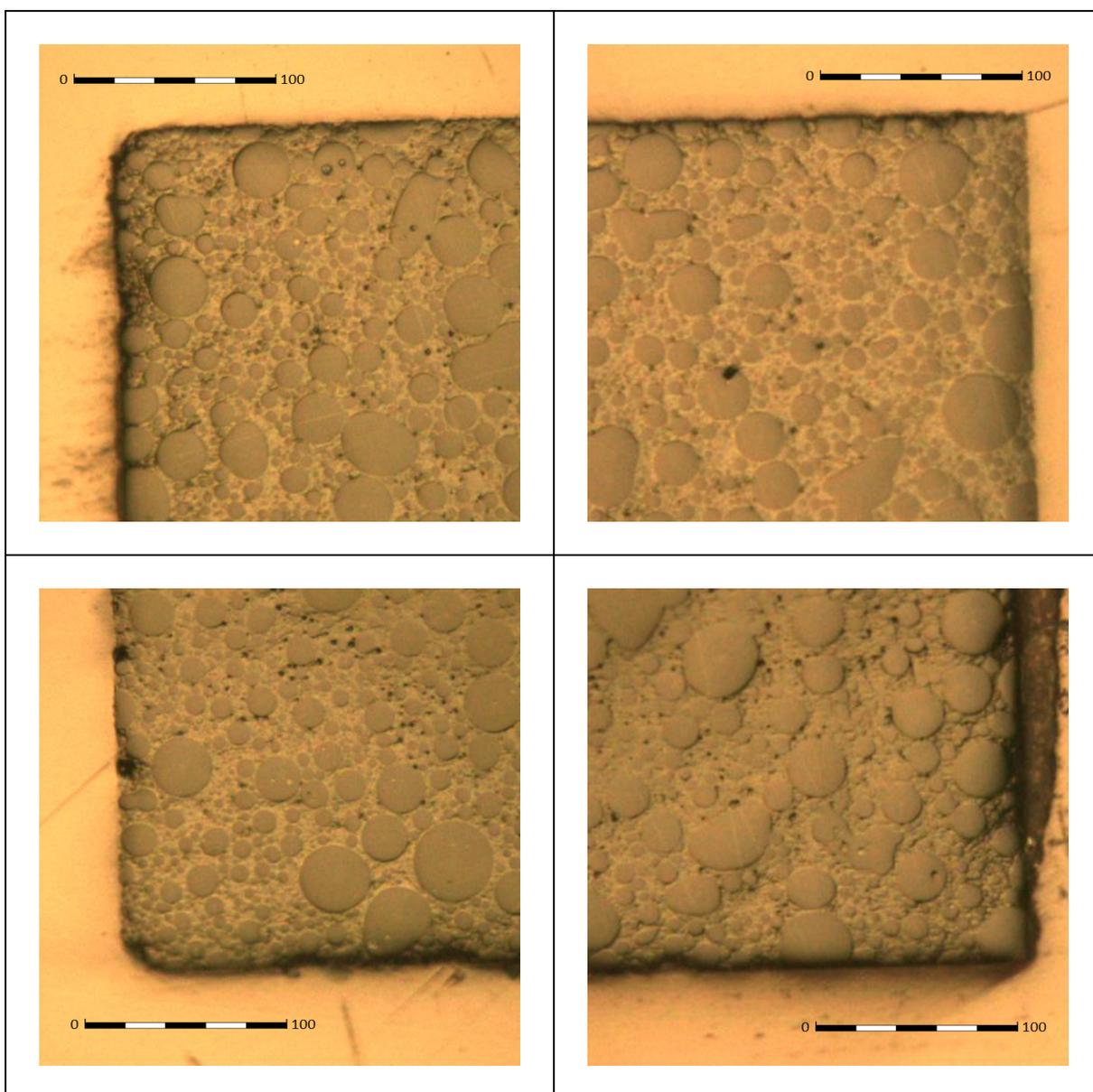
Tabela 10 - Análise em microscópio do tamanho da sílica SG-8500BE com formato esférico.

<p>#1</p>  <p>Diâmetro: 48,0846 <math>\mu\text{m}</math></p>	<p>#2</p>  <p>Diâmetro: 45,7672 <math>\mu\text{m}</math></p>	<p>#3</p>  <p>Diâmetro: 48,0846 <math>\mu\text{m}</math></p>
<p>#4</p>  <p>Diâmetro: 41,7119 <math>\mu\text{m}</math></p>	<p>#5</p>  <p>Diâmetro: 17,3800 <math>\mu\text{m}</math></p>	<p>#6</p>  <p>Diâmetro: 37,0773 <math>\mu\text{m}</math></p>
<p>#7</p>  <p>Diâmetro: 53,8779 <math>\mu\text{m}</math></p>	<p>#8</p>  <p>Diâmetro: 50,9812 <math>\mu\text{m}</math></p>	<p>#9</p>  <p>Diâmetro: 39,3946 <math>\mu\text{m}</math></p>
<p>#10</p>  <p>Diâmetro: 52,7192 <math>\mu\text{m}</math></p>	<p>#11</p>  <p>Diâmetro: 33,0219 <math>\mu\text{m}</math></p>	<p>#12</p>  <p>Diâmetro: 34,7648 <math>\mu\text{m}</math></p>
<p>#13</p>  <p>Diâmetro: 41,1326 <math>\mu\text{m}</math></p>	<p>#14</p>  <p>Diâmetro: 37,0773 <math>\mu\text{m}</math></p>	<p>#15</p>  <p>Diâmetro: 44,6086 <math>\mu\text{m}</math></p>

Fonte: Elaborado pelo autor (2023).

A fim de fornecer uma perspectiva alternativa para visualizar o tamanho das sílicas presentes no componente analisado, a Figura 47 apresenta quatro regiões distintas, todas localizadas nas quinas do mesmo componente, junto com uma barra de escala que varia de 0  $\mu\text{m}$  a 100  $\mu\text{m}$ . As imagens permitem uma percepção mais clara do tamanho da sílica, especialmente nas regiões de borda do componente SiP, que utilizam o composto de moldagem SG-8500BE.

Figura 47 - Regiões de quina do SiP, mostrando a relação entre bordas do chip e dimensão da sílica.



Fonte: Elaborado pelo autor (2023).

## 4.2 RESULTADOS DAS SIMULAÇÕES

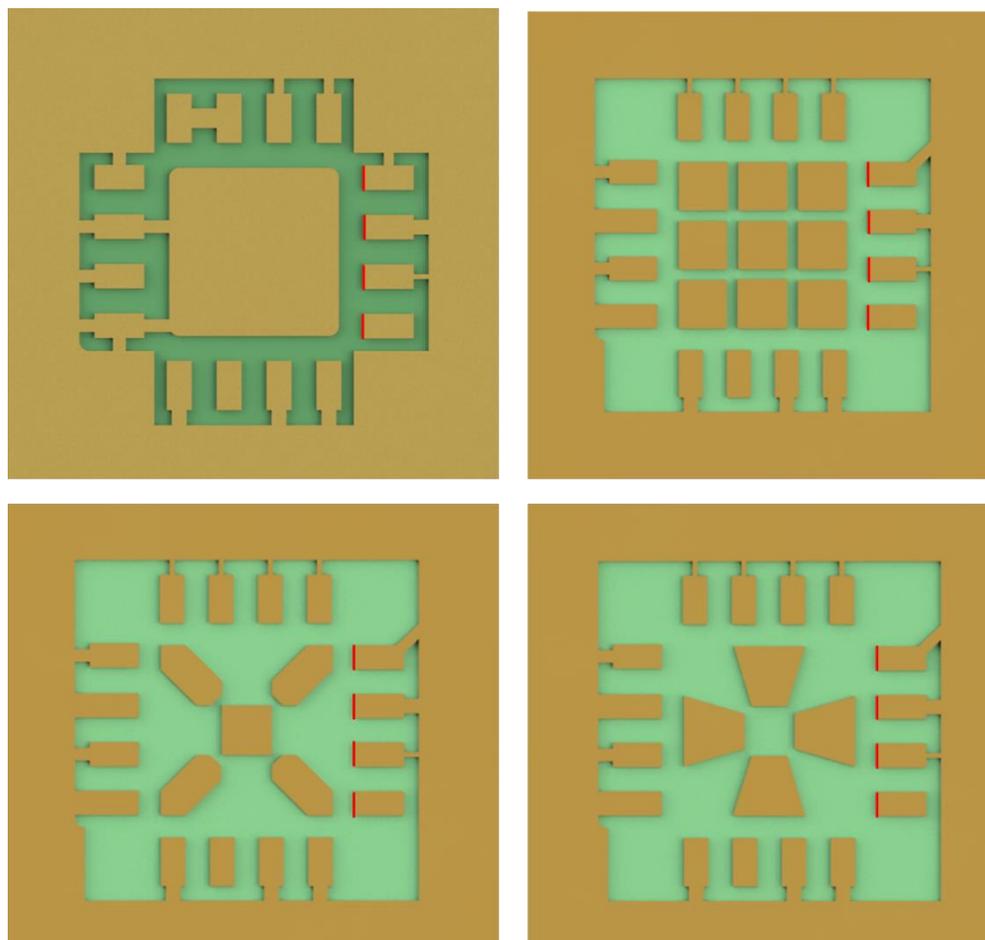
A simulação numérica tem se mostrado uma poderosa ferramenta para resolver problemas complexos de engenharia, permitindo tomadas de decisão mais informadas e eficientes. Stracke (2018), Lin et al., (2020), Ouyang et al. (2020) e HUANG et al. (2020) estão entre alguns dos estudiosos e que trouxeram de maneira categórica em seus estudos, os diversos benefícios da utilização da simulação na previsibilidade de problemas de qualidade e também na otimização de processos de fabricação de semicondutores.

Este método de previsibilidade do processo de moldagem é reforçado por diversos estudiosos. Nesse contexto, o presente estudo utilizou a simulação para avaliar o processo de encapsulamento de semicondutores, especificamente no processo de moldagem por compressão de um SiP. Foram simulados dois projetos, denominados “A” e “B”, sendo que para ambos foram realizados testes amostrais para verificar se os resultados obtidos na simulação correspondiam à realidade.

Foi desafiante modelar a melhor maneira de representar fidedignamente a simulação da formação de vazios. Isso se deu, pois, ao gerar a simulação, não se obteriam resultados visuais ou numéricos diferentes e sim sempre os mesmos, diferentemente de como ocorre na fabricação das peças. Mesmo essa variação sendo mínima, a soma dessas pequenas variações, sendo de processo, do projeto do SiP ou de algum outro parâmetro externo, influência no local específico da formação dos vazios. Para contornar essa situação foi utilizado o projeto “A” como base, sendo este o grande motivador deste estudo, pois apresentava altas taxas de formação de vazios, logo, ele foi utilizado como ponto de partida.

Foi decidido realizar a simulação com um escoamento laminar simples de apenas uma fase, tendo uma região de entrada e uma região de saída. Isto seria uma adaptação, pois na moldagem por compressão os pontos de vácuo ficam na periferia da prensa de moldagem e neste caso foi avaliado somente uma região do chip. Para isso foi selecionada a região natural de entrada, de cima para baixo, pois como anteriormente foi mencionado, na moldagem por compressão os componentes ficam virados para baixo. Para a região de saída, foram selecionadas as áreas das bordas dos terminais centrais de cada projeto (os contatos responsáveis pela dissipação de calor). Na Figura 48, é representado o que foi dito acima, para facilitar a compreensão da simulação, onde se destacam nas linhas vermelhas, as regiões de borda utilizadas como condição de saída em cada um dos projetos apresentados.

Figura 48 - Condição de saída para os projetos "A", "B", "C" e "D".



Fonte: Elaborado pelo autor (2023).

Como pode-se observar, as regiões de saída selecionadas são exatamente as mesmas, permitindo assim uma análise comparativa mais adequada. Ouyang et al. (2020) em seu estudo “*Warpage and Void Simulation of System in Package*”, mostrou como a densidade de componentes e o caminho percorrido pelo EMC impacta diretamente em um preenchimento satisfatório, estudo esse, que reafirma os resultados obtidos com as alterações de projeto propostas em relação ao projeto “A”, onde cada mudança, impactou de maneira diferente no escoamento do EMC.

Uma maneira de analisar a eficácia de preenchimento de EMC em cada projeto. Essa técnica permite analisar qual projeto proporciona uma condição que permite uma maior fluidez em seus canais. Sendo assim, foi calculado qual é o fluxo de massa pela área em cada um dos circuitos integrados, dessa forma, foi realizado o cálculo de fluxo de massa de acordo com a equação 3, apresentada no capítulo 3.

A densidade, foi obtida através de ficha técnica do fabricante, já a área total e a velocidade média foram obtidas através do programa de simulação. Abaixo é apresentado o cálculo para cada um dos projetos.

Cálculo descritivo da vazão mássica em “A”:

$$\begin{aligned}\dot{m} &= \rho * A * V_{Med} \\ \dot{m} &= 1,97 * 5 * 10^{-8} * 3,69 * 10^{-7} \\ \dot{m} &= 3,63 * 10^{-14} \frac{kg}{s}\end{aligned}\tag{6}$$

Cálculo descritivo da vazão mássica em “B”:

$$\begin{aligned}\dot{m} &= \rho * A * V_{Med} \\ \dot{m} &= 1,97 * 5 * 10^{-8} * 4,40 * 10^{-7} \\ \dot{m} &= 4,33 * 10^{-14} \frac{kg}{s}\end{aligned}\tag{7}$$

Cálculo descritivo da vazão mássica em “C”:

$$\begin{aligned}\dot{m} &= \rho * A * V_{Med} \\ \dot{m} &= 1,97 * 5 * 10^{-8} * 3,91 * 10^{-7} \\ \dot{m} &= 3,85 * 10^{-14} \frac{kg}{s}\end{aligned}\tag{8}$$

Cálculo descritivo da vazão mássica em “D”:

$$\begin{aligned}\dot{m} &= \rho * A * V_{Med} \\ \dot{m} &= 1,97 * 5 * 10^{-8} * 4,31 * 10^{-7} \\ \dot{m} &= 4,24 * 10^{-14} \frac{kg}{s}\end{aligned}\tag{9}$$

Com o objetivo de comparar os dados obtidos na análise estatística com os resultados da simulação de cada um dos projetos, foi elaborada a Tabela 11. Essa tabela permite uma avaliação objetiva dos resultados, possibilitando a identificação de possíveis discrepâncias entre

os dados obtidos na simulação e os resultados experimentais. Porém, ressaltando novamente, como não havia amostras dos projetos “C” e “D”, não houve análise estatística em relação aos defeitos destes projetos.

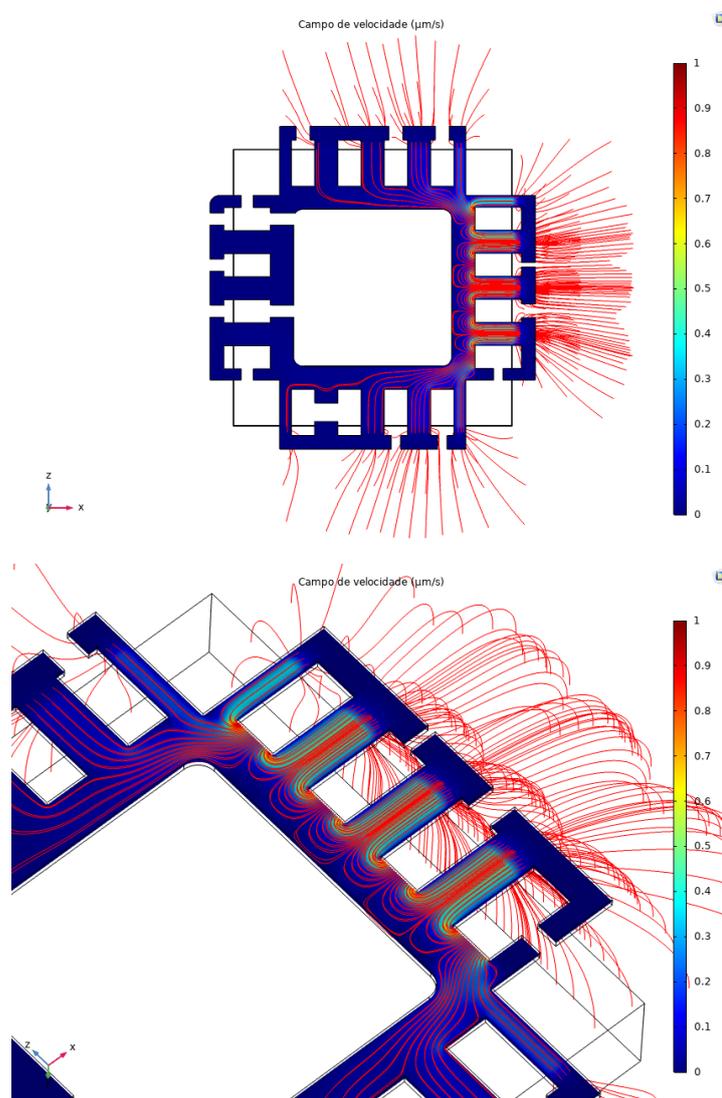
Dessa forma, a utilização da simulação numérica aliada aos testes amostrais permitiu uma análise mais precisa do processo de encapsulamento de semicondutores, proporcionando informações valiosas para a otimização do processo. Além disso, o emprego de técnicas estatísticas possibilitou uma avaliação mais criteriosa dos dados obtidos, contribuindo para a confiabilidade dos resultados e para o avanço da pesquisa nessa área.

Tabela 11 - Resultados de simulação dos projetos "A", "B", "C" e "D".

<b>Projeto</b>	<b>Falhas a cada 100 peças</b>	<b>Vazão mássica (kg/s)</b>	<b>Varição do fluxo de massa (%)</b>
A	~ 35	3,63000E-14	100% (Ref)
B	~5	4,33000E-14	119,28%
C	(Não medido)	3,85000E-14	106,06%
D	(Não medido)	4,24000E-14	116,80%

Fonte: Elaborado pelo autor (2023).

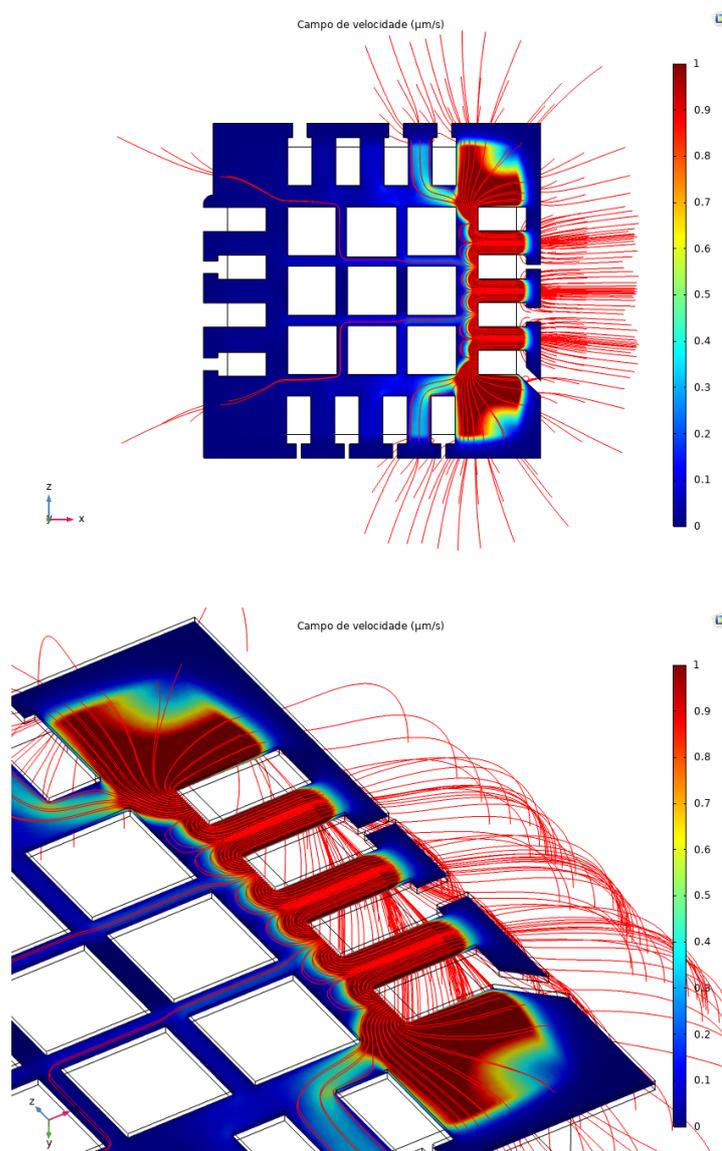
As representações visuais abaixo, da simulação de cada projeto, são simulações que representam os campos de velocidade na região de preenchimento de EMC embaixo do dispositivo 16 LGA. A escala das Figura 49, Figura 50, Figura 51 e Figura 52, é representada em  $\mu\text{m/s}$ , onde observa-se um campo de crescente nas regiões de maior vazão do EMC, ou seja, regiões onde foram selecionadas como regiões de saída nas simulações.

Figura 49 - Campo de velocidade do dispositivo 16LGA no projeto “A” ( $\mu\text{m/s}$ ).

Fonte: Elaborado pelo autor (2023).

Acima, na Figura 49, observa-se a representação do campo de velocidade do escoamento ao longo do chip. Através dos dados extraídos da simulação, foi obtido para a vazão da massa um valor de  $3,63 * 10^{-14}$  kg/s. Como o projeto “A” é a referência para demais resultados, e sabe-se que esse projeto apresenta tendência a formação de vazios, a partir dele, com a mudança de projeto dessa região do chip, foram avaliados os impactos e melhorias gerados.

De acordo com os dados estatísticos obtidos e apresentados no capítulo 4, subcapítulo 4.1.1, no Gráfico 1, a cada 100 peças, 35,60% apresentaram algum tipo de formação de vazio.

Figura 50 - Campo de velocidade do dispositivo 16LGA no projeto “B” ( $\mu\text{m/s}$ ).

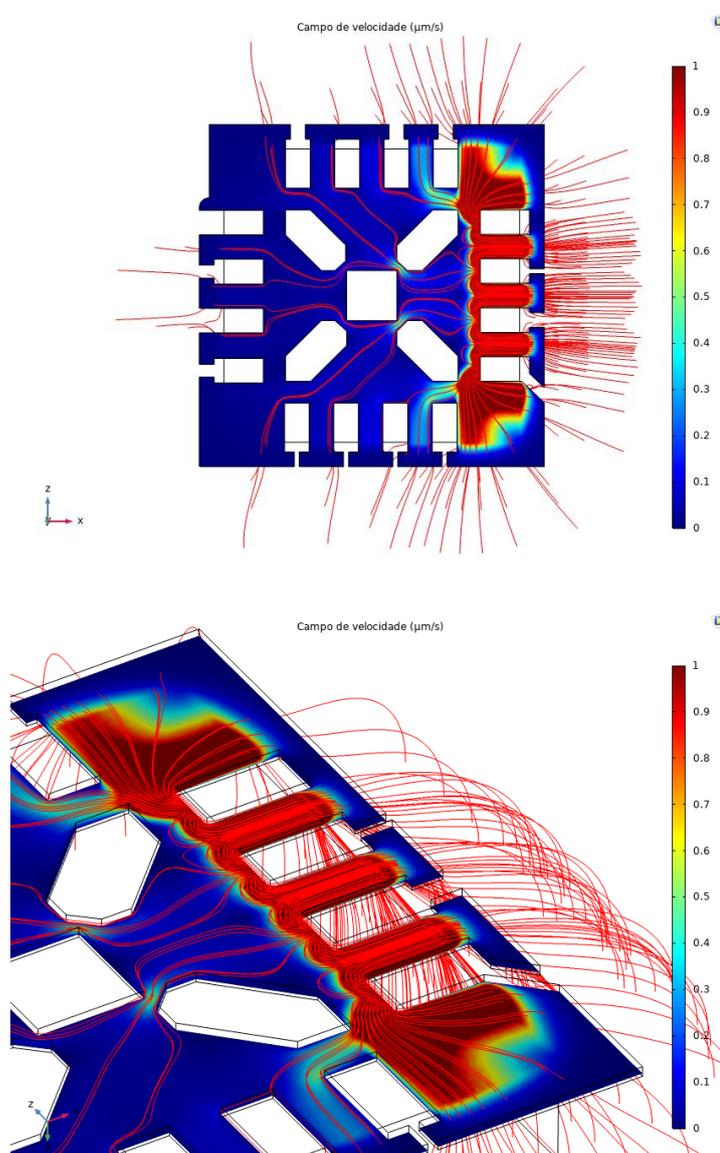
Fonte: Elaborado pelo autor (2023).

Partindo dos dados acima como ponto de partida, foi realizada a simulação no segundo projeto, que é chamado de projeto “B”. Na Figura 50, observa-se a magnitude do campo de velocidade no projeto prosto. Através dos dados extraídos da simulação, foi obtido para a vazão da massa um valor de  $4,33 * 10^{-14}$  kg/s. Tendo esses números em mente, pode-se dizer que a vazão de massa (Fluidez) teve uma melhoria de 19,28%.

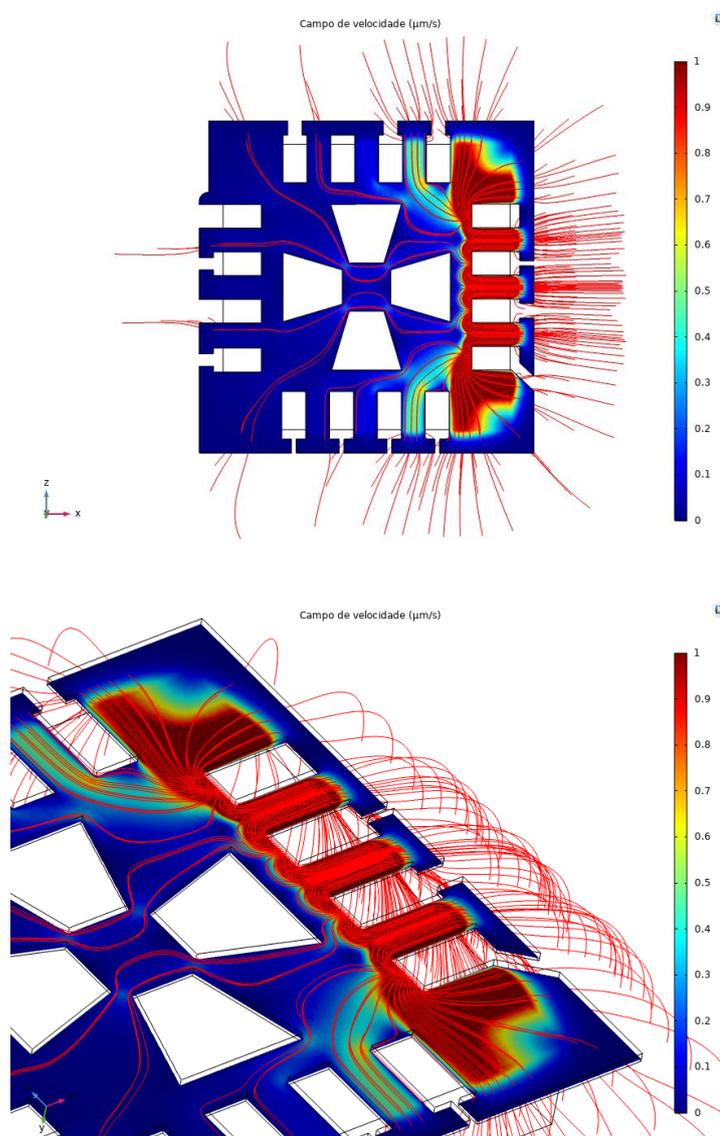
De acordo com os dados estatísticos obtidos e apresentados no primeiro capítulo 4, subcapítulo 4.1.1, no Gráfico 2, a cada 100 peças, 5,30% apresentaram algum tipo de formação de vazio, tendo assim, uma queda significativa na presença deste tipo de defeito de processo.

Os projetos "C" e "D" foram propostos como alternativas aos projetos "A" e "B", porém, devido à ausência de amostras, os resultados desta simulação são apresentados na Tabela 11. Ainda na Figura 51 e Figura 52, pode-se ver o comportamento da vazão nos projetos "C" e "D", respectivamente. Assim como discutido por Huang et al. (2020) através do artigo “*Design for Void Free Transfer Molding SiP*” um dos fatores chave para o sucesso do escoamento de EMC e um encapsulamento sem a presença de vazios, é a análise do projeto do chip e sua adequação para o processo de moldagem escolhido, isso reforça ainda mais como as mudanças nos projetos podem influenciar a formação de vazios e a eficiência do processo de encapsulamento.

Figura 51 - Campo de velocidade do dispositivo 16LGA no projeto “C” ( $\mu\text{m/s}$ ).



Fonte: Elaborado pelo autor (2023).

Figura 52 - Campo de velocidade do dispositivo 16LGA no projeto “D” ( $\mu\text{m/s}$ ).

Fonte: Elaborado pelo autor (2023).

Caso haja a necessidade de reproduzir este estudo ou adapta-lo conforme a necessidade do leitor, consultar o apêndice deste estudo para um tutorial de construção da simulação numérica computadorizada.

## 5 CONCLUSÃO

O processo de encapsulamento de semicondutores é um desafio para a engenharia devido à sua complexidade. A simulação numérica se tornou uma ferramenta importante na resolução de problemas complexos, permitindo a tomada de decisões mais informadas e eficientes. Neste estudo, foram simulados quatro projetos de encapsulamento de semicondutores, sendo os projetos "A" e "B" testados amostralmente para verificação da correspondência entre os resultados obtidos na simulação e a realidade.

Através da análise estatística dos dados obtidos na simulação de cada um dos projetos, foi possível avaliar objetivamente os resultados e identificar possíveis discrepâncias entre os dados obtidos na simulação e os resultados experimentais. A utilização da simulação numérica aliada aos testes amostrais permitiu uma análise mais precisa do processo de encapsulamento de semicondutores, proporcionando informações valiosas para a otimização do processo. Além disso, o emprego de técnicas estatísticas possibilitou uma avaliação mais criteriosa dos dados obtidos, contribuindo para a confiabilidade dos resultados e para o avanço da pesquisa nessa área.

O projeto "A" foi utilizado como referência para os demais resultados, e a partir dele, foram avaliados os impactos e melhorias gerados com a mudança de projeto na região do chip. O projeto "B" apresentou um aumento na magnitude de velocidade nos canais de 43,09% e uma melhoria significativa na vazão de massa (fluidez) de 19,28%. Isso resultou em uma queda significativa na presença de vazios, que são um defeito comum no processo de encapsulamento de semicondutores.

Os projetos "C" e "D" foram construídos como propostas alternativas aos projetos "A" e "B", e os resultados de simulação mostraram que o projeto "C" teve uma diferença na magnitude de velocidade de  $1,08988 \times 10^{-17} \frac{mm^3}{s}$  e uma diferença na vazão de massa de 6,06%. Já o projeto "D" teve uma diferença na magnitude de velocidade de  $7,58844 \times 10^{-18} \frac{mm^3}{s}$  e uma diferença na vazão de massa de 16,80%.

Em resumo, os resultados obtidos através da simulação numérica demonstram que a utilização dessa ferramenta é fundamental para o desenvolvimento e otimização de processos de encapsulamento de semicondutores. Além disso, a análise estatística dos dados obtidos contribuiu para uma avaliação mais precisa e objetiva dos resultados, possibilitando a identificação de possíveis melhorias no processo. Esses avanços são importantes para o

desenvolvimento de tecnologias mais avançadas e confiáveis, proporcionando benefícios para a indústria e a sociedade em geral.

Levando em consideração todas as informações apresentadas ao longo dos capítulos deste estudo e através das análises realizadas, pode-se dizer que o projeto que apresenta resultados mais benéficos em geral, para o preenchimento de composto de moldagem utilizando moldagem por compressão e que apresenta uma menor taxa de vazios, é o projeto “B”, seguido pelo “D”, “C” e então o de referência, “A”.

## 6 TRABALHOS FUTUROS

Para o desenvolvimento de trabalhos futuros, propõe-se aprimorar a simulação do processo de moldagem por compressão afim de analisar de forma abrangente um dispositivo SiP completo. No presente estudo, foi realizada uma análise da região do dispositivo 16LGA, onde foram identificados alguns defeitos decorrentes de vazios no processo de moldagem. No entanto, para a investigação de possíveis soluções para esses defeitos e para a obtenção de um preenchimento mais uniforme e eficiente do composto de moldagem em toda a extensão do dispositivo, é necessário analisar o componente SiP em sua totalidade.

Com o intuito de ampliar ainda mais o escopo dos estudos, propõe-se avaliar a placa de circuito impresso completa, juntamente com o dispositivo SiP. No entanto, deve-se considerar as limitações do programa e do equipamento utilizado para a simulação, pois a análise de toda a PCI exigiria uma grande capacidade de processamento.

Desse modo, os trabalhos futuros devem visar o aprimoramento da simulação, considerando a complexidade dos projetos de dispositivos SiP atuais e a necessidade de uma análise completa para identificar possíveis soluções para os problemas encontrados no processo de moldagem por compressão.

## REFERÊNCIAS

- ABDULLAH, M. K. et al. A Study on the Effect of Epoxy Molding Compound (EMC) Rheology During Encapsulation of Stacked-CHIP Scale Packages (S-CSP). **Journal of Reinforced Plastics and Composites**, v. 28, n. 20, p. 2527–2538, 4 out. 2009.
- ARDEBILI, H.; PECHT, M. G.; ZHANG, J. **Encapsulation Technologies for Electronic Applications**. 2nd. ed. [s.l.] Elsevier, 2019.
- ARDEBILI, H.; ZHANG, J.; PECHT, M. G. Compression encapsulation. In: **Encapsulation Technologies for Electronic Applications**. [s.l.: s.n.]. p. 195–219.
- ARDEBILI, H.; ZHANG, J.; PECHT, M. G. Defect and failure analysis techniques for encapsulated microelectronics. In: **Encapsulation Technologies for Electronic Applications**. [s.l.: s.n.]. p. 317–373.
- BAGNATO, A. et al. **Handbook of Research on Embedded Systems Design**. [s.l.] IGI Global, 2014.
- CHAILLOT, A. et al. Thermo-mechanical simulation of a SiP (System-in-a-Package) LGA (Land Grid Array): Impact of the internal IC (Integrated Circuits) on the 2nd level solder joint reliability. **2010 11th International Conference on Thermal, Mechanical and Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems, EuroSimE 2010**, p. 1–8, 2010.
- COMSOL MULTIPHYSICS. **Detailed Explanation of the Finite Element Method (FEM)**. Disponível em: <<https://www.comsol.com/multiphysics/finite-element-method#:~:text=The finite element method is a systematic way to convert,are tractable with numerical methods.>>>.
- EDWARDS, C. Moore's Law: What Comes Next? **Communications of the ACM**, v. 64, n. 2, p. 12–14, 2021.
- GAO, G. et al. Thermal numerical simulation for advanced package development. **2009 International Conference on Electronic Packaging Technology and High Density Packaging, ICEPT-HDP 2009**, n. 288, p. 238–241, 2009.
- HUANG, B. Y. et al. **Design for Void Free Transfer Molding SiP**. Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT. **Anais...IEEE Computer Society**, 21 out. 2020.
- HUGHES, T. The Finite Element Method: Linear Static and Dynamic Finite Element Analysis: Thomas J. R. Hughes. **Computer-Aided Civil and Infrastructure Engineering**, v. 4, n. 3, p. 245–246, 6 nov. 2008.
- HUNT, M. W. Materials and processes for aerospace. **Advanced Materials and Processes**, v.

166, n. 3, p. 2, 2008.

IBM. **IBM Unveils World's First 2 Nanometer Chip Technology, Opening a New Frontier for Semiconductors**. Disponível em: <<https://newsroom.ibm.com/2021-05-06-IBM-Unveils-Worlds-First-2-Nanometer-Chip-Technology,-Opening-a-New-Frontier-for-Semiconductors>>.

KHOR, C. Y.; ABDULLAH, M. Z. Optimization of IC encapsulation considering fluid/structure interaction using response surface methodology. **Simulation Modelling Practice and Theory**, v. 29, p. 109–122, dez. 2012.

KILBY, J. S. C. Turning potential into realities: The invention of the integrated circuit (Nobel lecture). **ChemPhysChem**, v. 2, n. 8–9, p. 482–489, 2001.

KIM, D. et al. Measurement of heat dissipation and thermal-stability of power modules on DBC substrates with various ceramics by SiC Micro-heater chip system and ag sinter joining. **Micromachines**, v. 10, n. 11, p. 1–11, 2019.

KOKATEV, A. N. et al. Monitoring of properties of epoxy molding compounds used in electronics for protection and hermetic sealing of microcircuits. **IOP Conference Series: Materials Science and Engineering**, v. 665, n. 1, 2019.

KUNG, H. K.; CHEN, H. S.; LU, M. C. The wire sag problem in wire bonding technology for semiconductor packaging. **Microelectronics Reliability**, v. 53, n. 2, p. 288–296, 2013.

LIN, Y. et al. **Compression Molding Mechanism and Parameter Evaluation of SiP**. Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT. **Anais...IEEE**, 21 out. 2020b. Disponível em: <<https://ieeexplore.ieee.org/document/9268556/>>

LINEC, M.; MUŠIČ, B. The effects of silica-based fillers on the properties of epoxy molding compounds. **Materials**, v. 12, n. 11, p. 1–11, 2019.

LU, D.; WONG, C. P. (EDS.). **Materials for Advanced Packaging**. Boston, MA: Springer US, 2009.

OUYANG, E. et al. **Warp and Void Simulation of System in Package**. Proceedings - Electronic Components and Technology Conference. **Anais...Institute of Electrical and Electronics Engineers Inc.**, 1 jun. 2020.

OUYANG, E. et al. Warp of Compression Molded SiP Strips. v. 1, p. 2134–2139, 2021.

PATANKAR, S. V. **Numerical Heat Transfer and Fluid Flow**. [s.l.] CRC Press, 2018.

PMI. **Um Guia do Conhecimento em Gerenciamento de Projetos (Guia PMBOK)/Project Management Institute**. [s.l.: s.n.].

SANTAGATA, F. et al. System in package (SiP) technology: fundamentals, design and applications. **Microelectronics International**, v. 35, n. 4, p. 231–243, 2018.

- SANTOS, P. H. DE J. et al. Estudo de convergência de malha para análise de escoamento gás-líquido utilizando o método GCI / Mesh convergence study for gas-liquid flow analysis using GCI method. **Brazilian Journal of Development**, v. 8, n. 4, p. 32586–32599, 2022.
- SEMICONDUCTOR INDUSTRY ASSOCIATION. **Semiconductor Industry Association - Market**. Disponível em: <<https://www.semiconductors.org/global-semiconductor-sales-increase-26-8-year-to-year-in-january/>>. Acesso em: 29 mar. 2022.
- SILVA, A. B. Utilização de Fluidodinâmica Computacional (CFD) na Simulação de Vazamentos em Dutos. p. 118, 2016.
- STRACKE, M. R. Avaliação do Arraste dos Fios de Solda Durante o Processo de Moldagem por Transferência no Encapsulamento de Memórias DRAM. v. 1, p. 60, 2018.
- TERMS, T. A. D. OF I. S. The Authoritative Dictionary of IEEE Standards Terms. **IEEE Std 100-2000**, p. 1–1362, 2000.
- THERMO FISHER SCIENTIFIC. **Safety Data Sheet - EpoxySet Resin - Part A** **Material Safety Data Sheet**. [s.l.: s.n.]. Disponível em: <[https://us.vwr.com/assetsvc/asset/en\\_US/id/16490607/contents](https://us.vwr.com/assetsvc/asset/en_US/id/16490607/contents)>.
- THERMO FISHER SCIENTIFIC. **Safety Data Sheet - EpoxySet Hardener - Part B** **Material Safety Data Sheet**. [s.l.: s.n.]. Disponível em: <[https://us.vwr.com/assetsvc/asset/en\\_US/id/16490607/contents](https://us.vwr.com/assetsvc/asset/en_US/id/16490607/contents)>.
- THOMPSON, S. E.; PARTHASARATHY, S. Moore's law: the future of Si microelectronics. **Materials Today**, v. 9, n. 6, p. 20–25, 2006.
- TUMMALA, R. R. **Fundamentals of Microsystems Packaging**. 1st. ed. [s.l.] McGraw-Hill Education, 2001.
- TUMMALA, R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics Packaging Handbook: Semiconductor Packaging**. [s.l.] SPRINGER-SCIENCE+BUSINESS MEDIA, B.V., 1997.
- VERSTEEG, H. K.; MALALASEKERA, W. **An Introduction to Computational Fluid Dynamics**. 2nd. ed. [s.l.: s.n.]. v. 2
- VIDAL, R.; ALVES, P. Safety Data Sheet - Alumina em Suspensão para Polimento, Desaglomerada, 0.3 & 1.0 micron. **Material Safety Data Sheet**, v. 2014, p. 1–9, 2012.
- WONG, C. S. et al. Non-destructive laboratory-based X-ray diffraction mapping of warpage in Si die embedded in IC packages. **Microelectronic Engineering**, v. 117, p. 48–56, 2014.
- ABDULLAH, M. K. et al. A Study on the Effect of Epoxy Molding Compound (EMC) Rheology During Encapsulation of Stacked-CHIP Scale Packages (S-CSP). **Journal of Reinforced Plastics and Composites**, v. 28, n. 20, p. 2527–2538, 4 out. 2009.

- ARDEBILI, H.; PECHT, M. G.; ZHANG, J. **Encapsulation Technologies for Electronic Applications**. 2nd. ed. [s.l.] Elsevier, 2019.
- ARDEBILI, H.; ZHANG, J.; PECHT, M. G. Compression encapsulation. In: **Encapsulation Technologies for Electronic Applications**. [s.l.: s.n.]. p. 195–219.
- ARDEBILI, H.; ZHANG, J.; PECHT, M. G. Defect and failure analysis techniques for encapsulated microelectronics. In: **Encapsulation Technologies for Electronic Applications**. [s.l.: s.n.]. p. 317–373.
- BAGNATO, A. et al. **Handbook of Research on Embedded Systems Design**. [s.l.] IGI Global, 2014.
- CHAILLOT, A. et al. Thermo-mechanical simulation of a SiP (System-in-a-Package) LGA (Land Grid Array): Impact of the internal IC (Integrated Circuits) on the 2nd level solder joint reliability. **2010 11th International Conference on Thermal, Mechanical and Multi-Physics Simulation, and Experiments in Microelectronics and Microsystems, EuroSimE 2010**, p. 1–8, 2010.
- COMSOL MULTIPHYSICS. **Detailed Explanation of the Finite Element Method (FEM)**. Disponível em: <<https://www.comsol.com/multiphysics/finite-element-method#:~:text=The finite element method is a systematic way to convert,are tractable with numerical methods.>>.
- EDWARDS, C. Moore's Law: What Comes Next? **Communications of the ACM**, v. 64, n. 2, p. 12–14, 2021.
- GAO, G. et al. Thermal numerical simulation for advanced package development. **2009 International Conference on Electronic Packaging Technology and High Density Packaging, ICEPT-HDP 2009**, n. 288, p. 238–241, 2009.
- HUANG, B. Y. et al. **Design for Void Free Transfer Molding SiP**. Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT. **Anais...IEEE Computer Society**, 21 out. 2020.
- HUGHES, T. The Finite Element Method: Linear Static and Dynamic Finite Element Analysis: Thomas J. R. Hughes. **Computer-Aided Civil and Infrastructure Engineering**, v. 4, n. 3, p. 245–246, 6 nov. 2008.
- HUNT, M. W. Materials and processes for aerospace. **Advanced Materials and Processes**, v. 166, n. 3, p. 2, 2008.
- IBM. **IBM Unveils World's First 2 Nanometer Chip Technology, Opening a New Frontier for Semiconductors**. Disponível em: <<https://newsroom.ibm.com/2021-05-06-IBM-Unveils-Worlds-First-2-Nanometer-Chip-Technology,-Opening-a-New-Frontier-for-Semiconductors>>.
- KHOR, C. Y.; ABDULLAH, M. Z. Optimization of IC encapsulation considering

fluid/structure interaction using response surface methodology. **Simulation Modelling Practice and Theory**, v. 29, p. 109–122, dez. 2012.

KILBY, J. S. C. Turning potential into realities: The invention of the integrated circuit (Nobel lecture). **ChemPhysChem**, v. 2, n. 8–9, p. 482–489, 2001.

KIM, D. et al. Measurement of heat dissipation and thermal-stability of power modules on DBC substrates with various ceramics by SiC Micro-heater chip system and ag sinter joining. **Micromachines**, v. 10, n. 11, p. 1–11, 2019.

KOKATEV, A. N. et al. Monitoring of properties of epoxy molding compounds used in electronics for protection and hermetic sealing of microcircuits. **IOP Conference Series: Materials Science and Engineering**, v. 665, n. 1, 2019.

KUNG, H. K.; CHEN, H. S.; LU, M. C. The wire sag problem in wire bonding technology for semiconductor packaging. **Microelectronics Reliability**, v. 53, n. 2, p. 288–296, 2013.

LIN, Y. et al. Compression Molding Mechanism and Parameter Evaluation of SiP. **Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT**, v. 2020- Octob, p. 116–120, 21 out. 2020a.

LIN, Y. et al. **Compression Molding Mechanism and Parameter Evaluation of SiP**. Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT. **Anais...IEEE**, 21 out. 2020b. Disponível em: <<https://ieeexplore.ieee.org/document/9268556/>>

LINEC, M.; MUŠIČ, B. The effects of silica-based fillers on the properties of epoxy molding compounds. **Materials**, v. 12, n. 11, p. 1–11, 2019.

LU, D.; WONG, C. P. (EDS.). **Materials for Advanced Packaging**. Boston, MA: Springer US, 2009.

OUYANG, E. et al. **Warp and Void Simulation of System in Package**. Proceedings - Electronic Components and Technology Conference. **Anais...Institute of Electrical and Electronics Engineers Inc.**, 1 jun. 2020.

OUYANG, E. et al. Warp of Compression Molded SiP Strips. v. 1, p. 2134–2139, 2021.

PATANKAR, S. V. **Numerical Heat Transfer and Fluid Flow**. [s.l.] CRC Press, 2018.

PMI. **Um Guia do Conhecimento em Gerenciamento de Projetos (Guia PMBOK)/Project Management Institute**. [s.l: s.n.].

SANTAGATA, F. et al. System in package (SiP) technology: fundamentals, design and applications. **Microelectronics International**, v. 35, n. 4, p. 231–243, 2018.

SANTOS, P. H. DE J. et al. Estudo de convergência de malha para análise de escoamento gás-líquido utilizando o método GCI / Mesh convergence study for gas-liquid flow analysis using

- GCI method. **Brazilian Journal of Development**, v. 8, n. 4, p. 32586–32599, 2022.
- SEMICONDUCTOR INDUSTRY ASSOCIATION. **Semiconductor Industry Association - Market**. Disponível em: <<https://www.semiconductors.org/global-semiconductor-sales-increase-26-8-year-to-year-in-january/>>. Acesso em: 29 mar. 2022.
- SILVA, A. B. Utilização de Fluidodinâmica Computacional (CFD) na Simulação de Vazamentos em Dutos. p. 118, 2016.
- STRACKE, M. R. Avaliação do Arraste dos Fios de Solda Durante o Processo de Moldagem por Transferência no Encapsulamento de Memórias DRAM. v. 1, p. 60, 2018.
- TERMS, T. A. D. OF I. S. The Authoritative Dictionary of IEEE Standards Terms. **IEEE Std 100-2000**, p. 1–1362, 2000.
- THERMO FISHER SCIENTIFIC. **Safety Data Sheet - EpoxySet Resin - Part A** **Material Safety Data Sheet**. [s.l.: s.n.]. Disponível em: <[https://us.vwr.com/assetsvc/asset/en\\_US/id/16490607/contents](https://us.vwr.com/assetsvc/asset/en_US/id/16490607/contents)>.
- THERMO FISHER SCIENTIFIC. **Safety Data Sheet - EpoxySet Hardener - Part B** **Material Safety Data Sheet**. [s.l.: s.n.]. Disponível em: <[https://us.vwr.com/assetsvc/asset/en\\_US/id/16490607/contents](https://us.vwr.com/assetsvc/asset/en_US/id/16490607/contents)>.
- THOMPSON, S. E.; PARTHASARATHY, S. Moore's law: the future of Si microelectronics. **Materials Today**, v. 9, n. 6, p. 20–25, 2006.
- TUMMALA, R. R. **Fundamentals of Microsystems Packaging**. 1st. ed. [s.l.] McGraw-Hill Education, 2001.
- TUMMALA, R.; RYMASZEWSKI, E. J.; KLOPFENSTEIN, A. G. **Microelectronics Packaging Handbook: Semiconductor Packaging**. [s.l.] SPRINGER-SCIENCE+BUSINESS MEDIA, B.V., 1997.
- VERSTEEG, H. K.; MALALASEKERA, W. **An Introduction to Computational Fluid Dynamics**. 2nd. ed. [s.l.: s.n.]. v. 2
- VIDAL, R.; ALVES, P. Safety Data Sheet - Alumina em Suspensão para Polimento, Desaglomerada, 0.3 & 1.0 micron. **Material Safety Data Sheet**, v. 2014, p. 1–9, 2012.
- WONG, C. S. et al. Non-destructive laboratory-based X-ray diffraction mapping of warpage in Si die embedded in IC packages. **Microelectronic Engineering**, v. 117, p. 48–56, 2014.

**APÊNDICE**  
**TUTORIAL DE SIMULAÇÃO DE VAZÃO EM CANAIS DE UM SIP COM**  
**ESCOAMENTO LAMINAR DE UMA FASE**

**LISTA DE FIGURAS**

Figura apêndice 1 - Iniciando um novo documento. ....	123
Figura apêndice 2 - Adicionando um componente 3D. ....	124
Figura apêndice 3 - Importando um desenho tridimensional para dentro do COMSOL. ....	124
Figura apêndice 4 - Configurações da importação. ....	125
Figura apêndice 5 - Janela <i>Graphics</i> , onde se pode observar o modelo importado. ....	126
Figura apêndice 6 - Botão para adicionar um material ao modelo. ....	126
Figura apêndice 7 - Selecionando um material a ser aplicado no modelo. ....	127
Figura apêndice 8 - Caixa de seleção após a escolha do material. ....	127
Figura apêndice 9 - Configuração do material selecionado. ....	128
Figura apêndice 10 - Botão para adicionar uma física ao modelo. ....	129
Figura apêndice 11 - Selecionando a opção de fluxo laminar. ....	130
Figura apêndice 12 - Árvore de opções do fluxo laminar. ....	130
Figura apêndice 13 - Adicionando a opção <i>Inlet</i> e <i>Outlet</i> no estudo. ....	131
Figura apêndice 14 - Configuração do fluxo laminar. ....	132
Figura apêndice 15 - Configurando a entrada de fluxo de EMC. ....	133
Figura apêndice 16 - Região de saída de EMC. ....	134
Figura apêndice 17 - Botão de criação de malha. ....	134
Figura apêndice 18 - Configurando a malha do modelo. ....	135
Figura apêndice 19 - Adicionando um estudo. ....	135
Figura apêndice 20 - Selecionando o tipo de estudo. ....	136
Figura apêndice 21 - Configurando o estudo estacionário. ....	137
Figura apêndice 22 - Realizando a plotagem dos resultados. ....	138
Figura apêndice 23 - Configurando a visualização das “ <i>Streamlines</i> ”. ....	139
Figura apêndice 24 - Configurando a visualização da “ <i>Slice</i> ”. ....	140
Figura apêndice 25 - Resultado da simulação. ....	141

**LISTA DE TABELAS**

Tabela apêndice 1 - Principais propriedades do EMC. ....	129
--	-----

## SUMÁRIO

<b>TUTORIAL DE SIMULAÇÃO DE VAZÃO EM CANAIS DE UM SIP COM ESCOAMENTO LAMINAR DE UMA FASE .....</b>	<b>123</b>
<b>Passo 1: Inicializando o programa .....</b>	<b>123</b>
<b>Passo 2: Importando o desenho tridimensional.....</b>	<b>124</b>
<b>Passo 3: Criando material.....</b>	<b>126</b>
<b>Passo 4: Realizando predefinições do material.....</b>	<b>128</b>
<b>Passo 5: Configurando o estudo com fluxo laminar simples .....</b>	<b>129</b>
<b>Passo 6: Criando a malha .....</b>	<b>134</b>
<b>Passo 7: Criando o estudo .....</b>	<b>135</b>

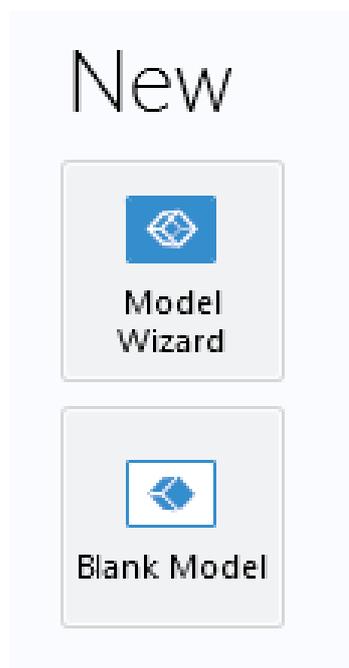
## TUTORIAL DA SIMULAÇÃO DE VAZÃO EM CANAIS DE UM SIP COM ESCOAMENTO LAMINAR DE UMA FASE

Este tutorial tem como objetivo dispor de maneira educativa e direta os principais passos utilizados na construção da ferramenta de simulação para averiguar a vazão mássica em um circuito integrado com encapsulamento do tipo *System-In-Package* utilizando um escoamento laminar simples de uma fase. O programa em questão é o COMSOL *Multiphysics*® versão 5.1.

### Passo 1: Inicializando o programa

Ao abrir o COMSOL *Multiphysics*® versão 5.1, clicar em “*Blank Model*” para iniciar um novo documento. A Figura apêndice 1, mostra a opção que deve ser selecionada e que se encontrará no canto esquerdo superior.

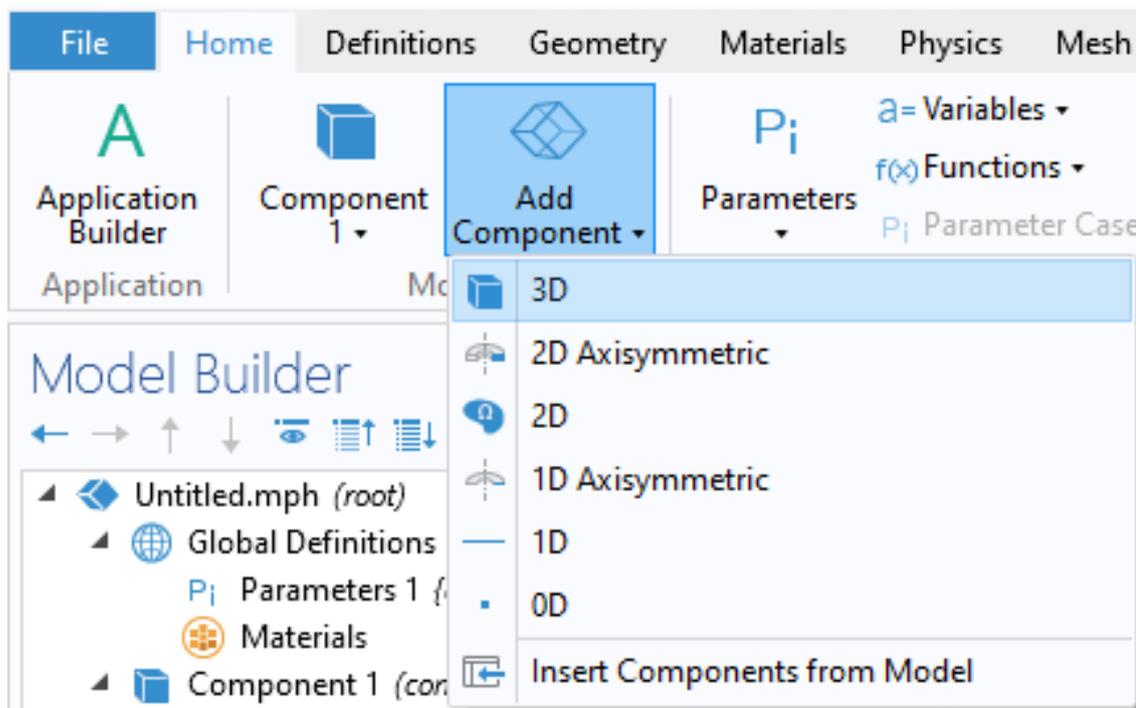
Figura apêndice 1- Iniciando um novo documento.



Fonte: Elaborado pelo autor (2023).

No menu “*Home*”, clicar em “*Add Component*”, após, selecionar a opção 3D, conforme Figura apêndice 2. Essa opção irá permitir a criação de uma geometria 3D.

Figura apêndice 2 - Adicionando um componente 3D.

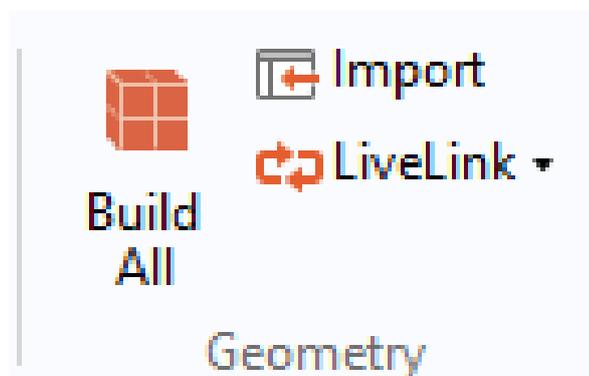


Fonte: Elaborado pelo autor (2023).

## Passo 2: Importando um desenho tridimensional

Para importar um desenho tridimensional criado em outro programa, ainda na aba “Home”, clicar em “Import”, conforme Figura apêndice 3.

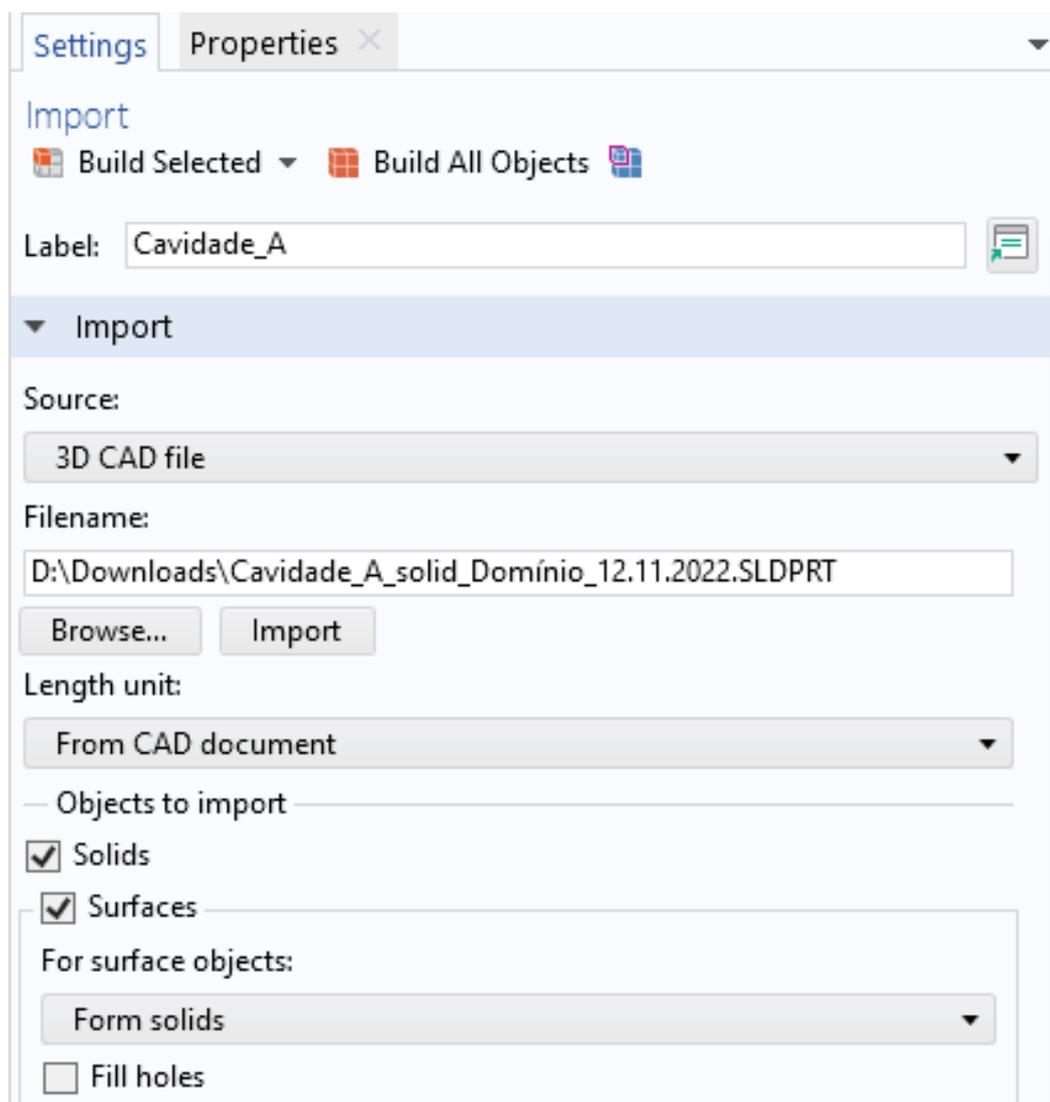
Figura apêndice 3 - Importando um desenho tridimensional para dentro do COMSOL.



Fonte: Elaborado pelo autor (2023).

Em “*Browse...*”, procure pelo arquivo desejado para importar um desenho tridimensional de sua escolha, após isso, certifique-se de que a unidade de medida utilizada seja a do próprio desenho CAD que você selecionou. Então, clicar em “*Build All Objects*” para gerar o modelo dentro do COMSOL, conforme exemplificado na Figura apêndice 4.

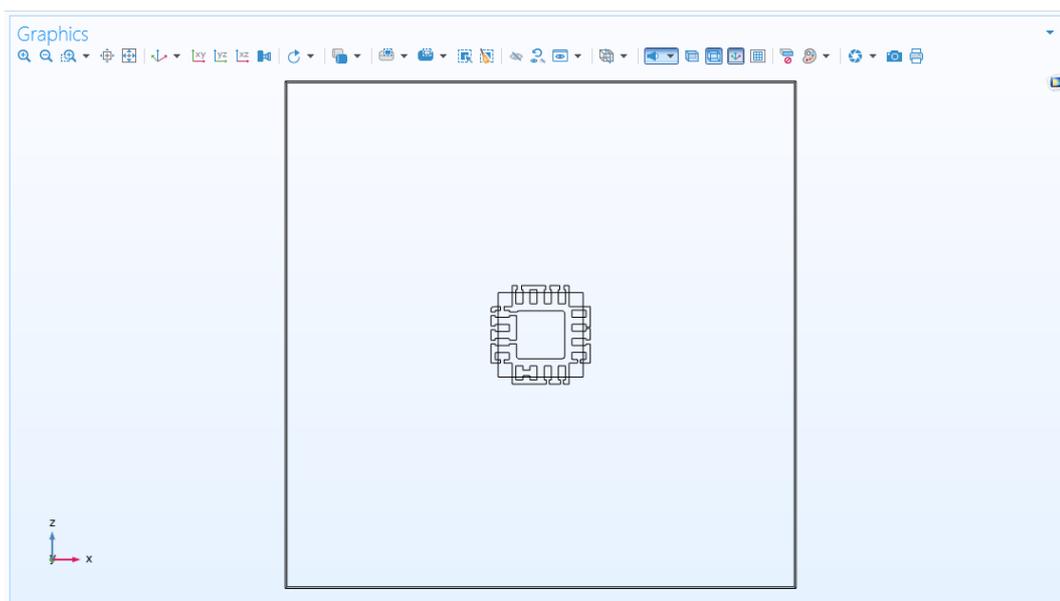
Figura apêndice 4 - Configurações da importação.



Fonte: Elaborado pelo autor (2023).

Com isso, na janela na direita, denominada “*Graphics*”, será apresentado de maneira visual o modelo tridimensional que foi importado. Na Figura apêndice 5, pode-se ver um exemplo do tridimensional que foi importado.

Figura apêndice 5 - Janela “*Graphics*”, onde se pode observar o modelo importado.

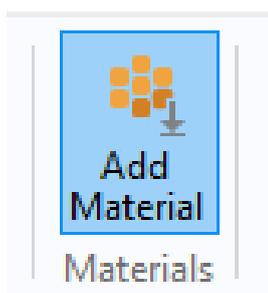


Fonte: Elaborado pelo autor (2023).

### Passo 3: Criando material

Para atribuir um material a uma determina região da simulação, vá em “*Add Material*”, que fica localizada na aba “*Home*”. Na Figura apêndice 6 pode-se ver o botão a ser clicado para adicionar o material desejado.

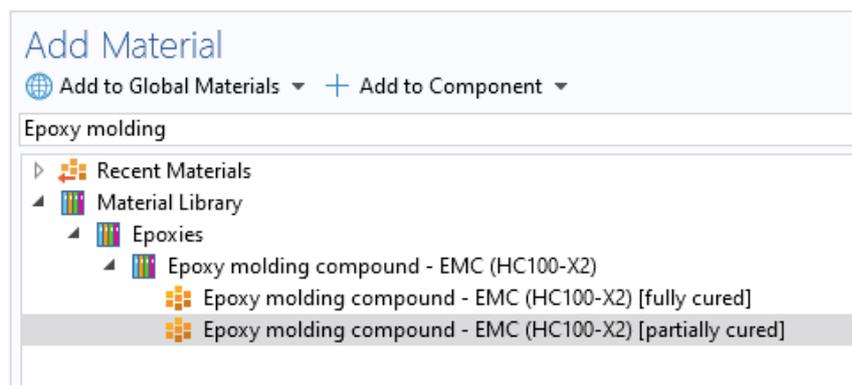
Figura apêndice 6 - Botão para adicionar um material ao modelo.



Fonte: Elaborado pelo autor (2023).

Após selecionar a opção para adicionar um material, utilize a caixa de pesquisa para encontrar o material “*Epoxy Molding Compound*” e o selecione, conforme representado na Figura apêndice 7. Nesse passo, você estará atribuindo as propriedades do EMC à região desejada.

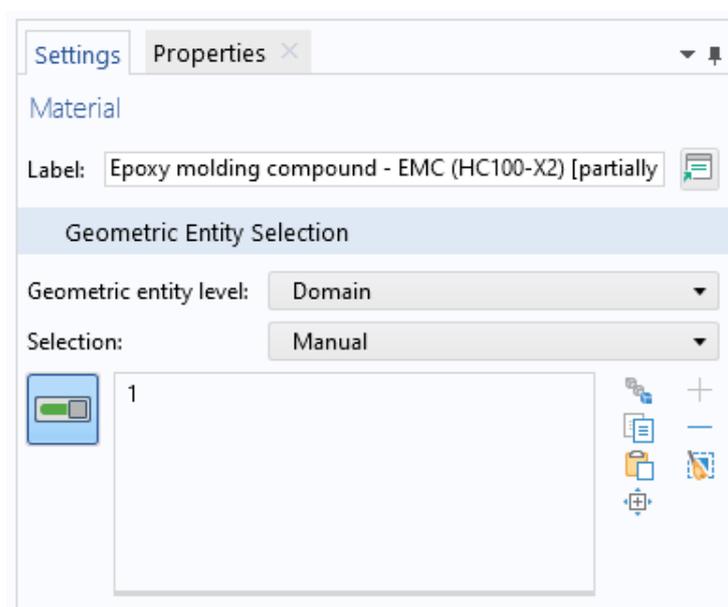
Figura apêndice 7 - Selecionando um material a ser aplicado no modelo.



Fonte: Elaborado pelo autor (2023).

Após clicar no material, irá abrir uma caixa de seleção com a seguinte aparência, conforme Figura apêndice 8.

Figura apêndice 8 - Caixa de seleção após a escolha do material.



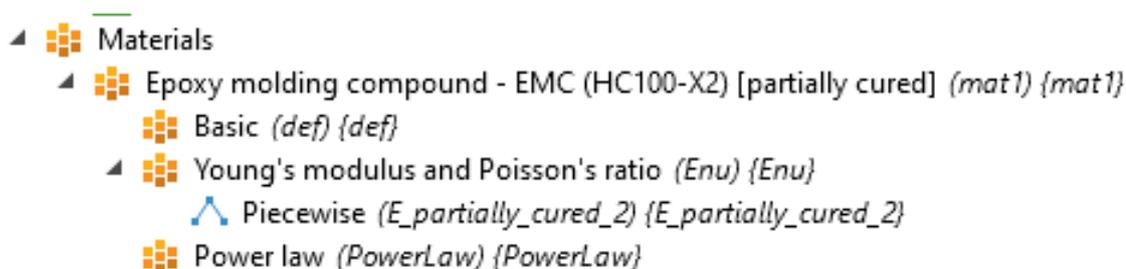
Fonte: Elaborado pelo autor (2023).

Para atribuir o material selecionado ao modelo, basta clicar em cima da região de interesse. No caso deste estudo, como todo o domínio importado será preenchido com EMC, basta selecionar tudo clicando em cima do modelo.

#### **Passo 4: Realizando predefinições do material**

Na árvore de opções a esquerda, ache “*Materials*”, depois clique no material que foi aplicado e configure as propriedades do material de acordo com a necessidade do projeto ou de acordo com o que foi realizado neste estudo. Na Figura apêndice 9 tem-se a aparência que a árvore de materiais deve apresentar.

Figura apêndice 9 - Configuração do material selecionado.



Fonte: Elaborado pelo autor (2023).

As configurações de materiais, podem ser realizadas conforme tabela de propriedades de materiais, que se encontra na seção 3.2.4 da metodologia deste estudo e que é apresentada na Tabela apêndice 1.

Tabela apêndice 1 - Principais propriedades do EMC.

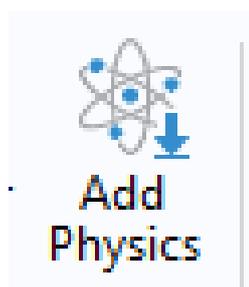
Parâmetros	Valor	Unidade
Temperatura de $T_g$	145	°C
<i>Spiral Flow</i>	67	in
<i>Gel time</i>	45	s
<i>Hot Hardness</i> (175 °C)	71	Shore-D
CTE $\alpha_1$	9	ppm/°C
CTE $\alpha_2$	38	ppm/°C
Viscosidade cinemática	80	Pa.s
Coeficiente de Poisson	0,45	Adimensional

Fonte: Elaborado pelo autor (2022).

### Passo 5: Configurando o estudo com fluxo laminar simples

Para realizar a simulação da física envolvida, primeiramente será necessário adicionar o estudo da física ao projeto. Para isso, na aba “home”, vá em “add physics” para adicionar uma física a sua simulação. O botão que deve ser clicado para isso é o apresentado na Figura apêndice 10.

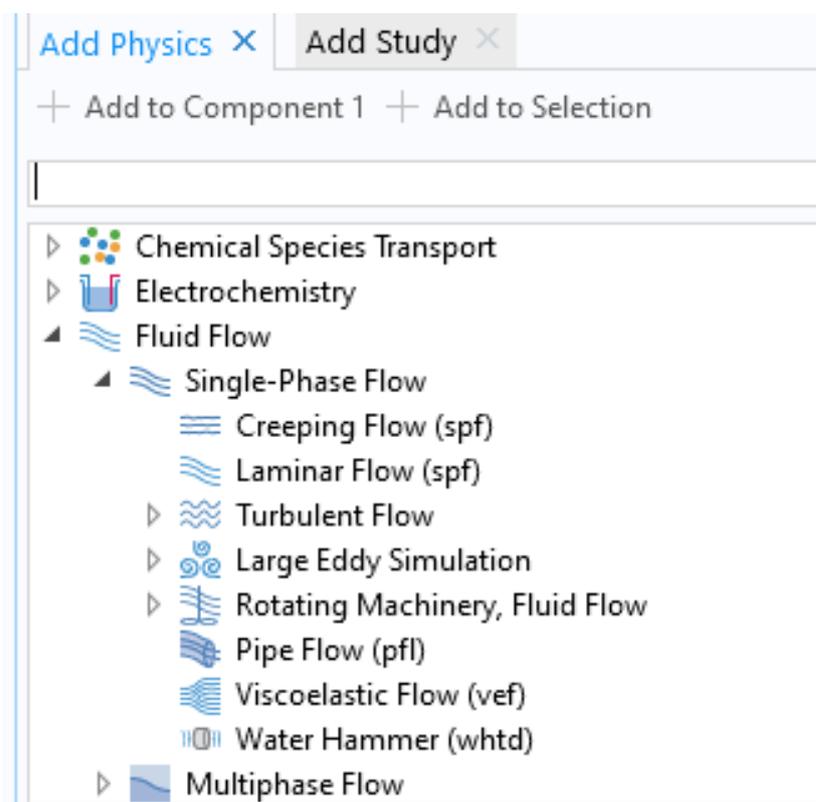
Figura apêndice 10 - Botão para adicionar uma física ao modelo.



Fonte: Elaborado pelo autor (2023).

Irá abrir uma caixa de opções, onde você pode pesquisar, ou ir abrindo as abas para achar a opção de “Laminar flow”. Para isso vá em “Fluid flow” > “Single-phase flow” > “Laminar flow”, conforme é mostrado na Figura apêndice 11.

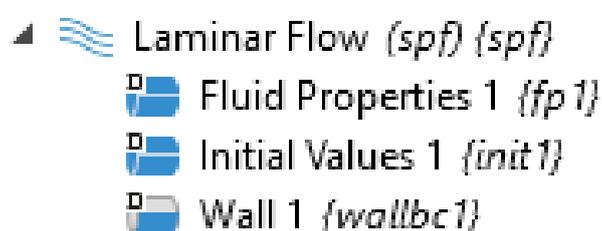
Figura apêndice 11 - Selecionando a opção de fluxo laminar.



Fonte: Elaborado pelo autor (2023).

Ao selecionar essa opção, na árvore de opções irá abrir as seguintes opções, conforme a Figura apêndice 12

Figura apêndice 12 - Árvore de opções do fluxo laminar.

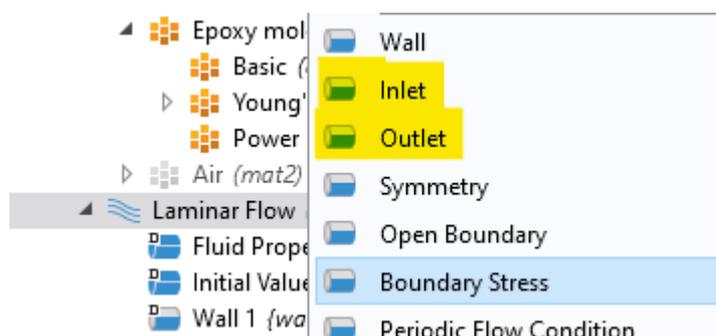


Fonte: Elaborado pelo autor (2023).

Clique com o botão direito do mouse em cima de “*Laminar flow*”, irão aparecer algumas opções. Clique em “*Inlet*” e depois “*outlet*”, essas duas opções serviram para configurar a

entrada e a saída do fluxo laminar de uma fase na simulação, conforme é mostrado na Figura apêndice 13.

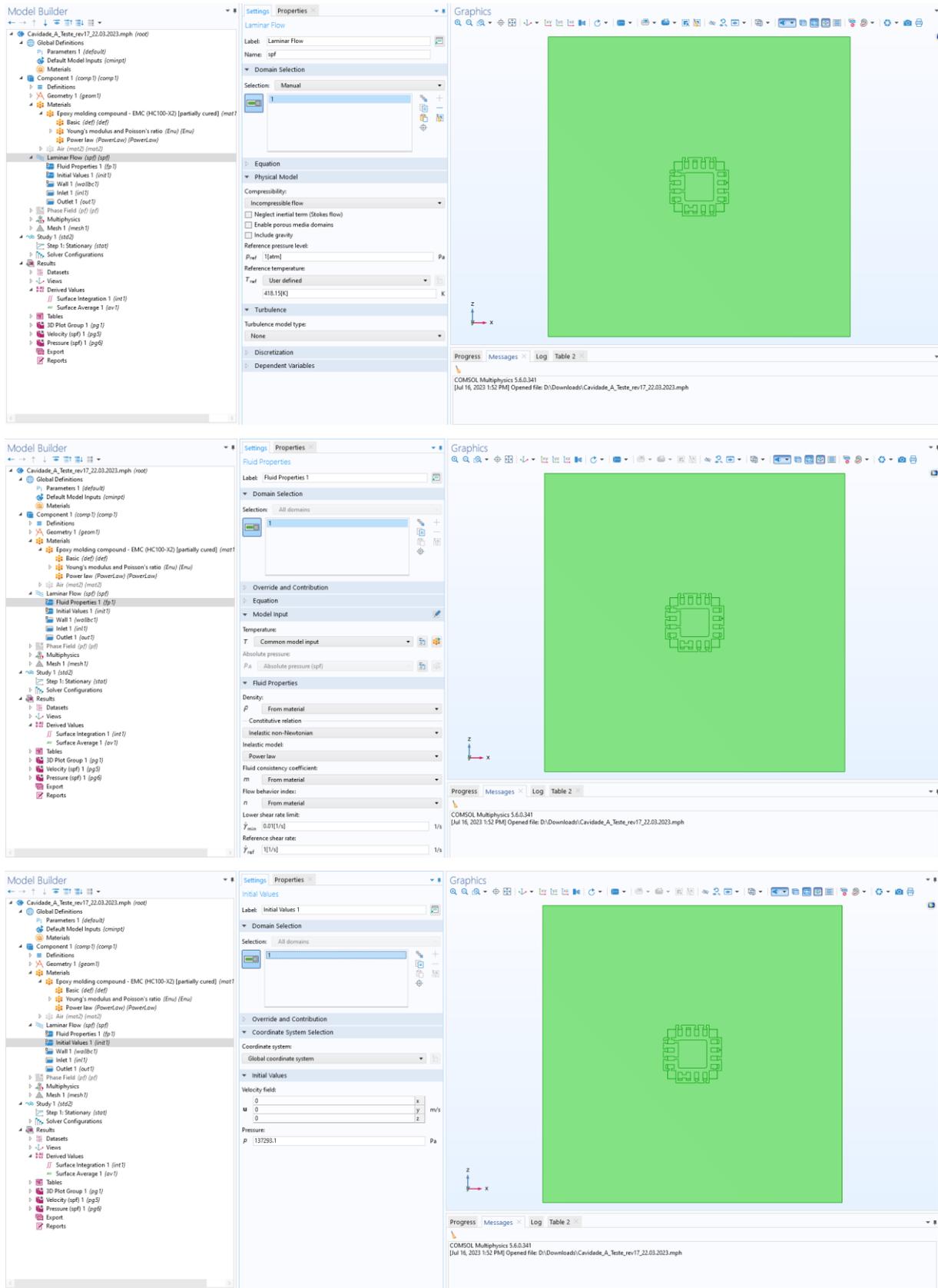
Figura apêndice 13 - Adicionando a opção *Inlet* e *Outlet* no estudo.



Fonte: Elaborado pelo autor (2023).

A partir deste ponto, configurar a física do fluxo laminar conforme as próximas janelas. É importante ressaltar ainda, que a região destacada em verde, representa a região selecionada para aplicação da física. A aparência da tela do COMSOL ficará conforme as janelas apresentadas na Figura apêndice 14.

Figura apêndice 14 - Configuração do fluxo laminar.

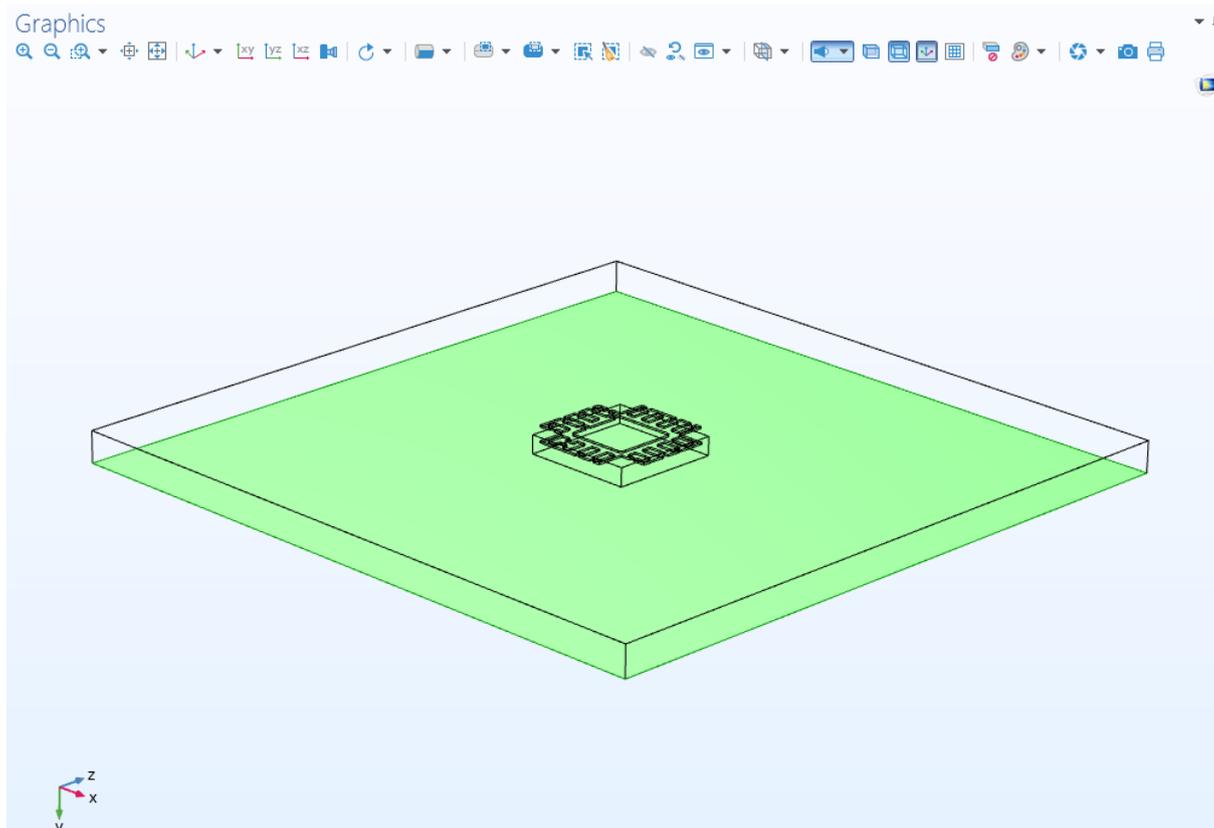


Fonte: Elaborado pelo autor (2023).

O “*Wall*” é configurado automaticamente ao aplicar a física ao modelo.

Configurando a entrada e saída do fluxo de EMC:

Figura apêndice 15 - Configurando a entrada de fluxo de EMC.

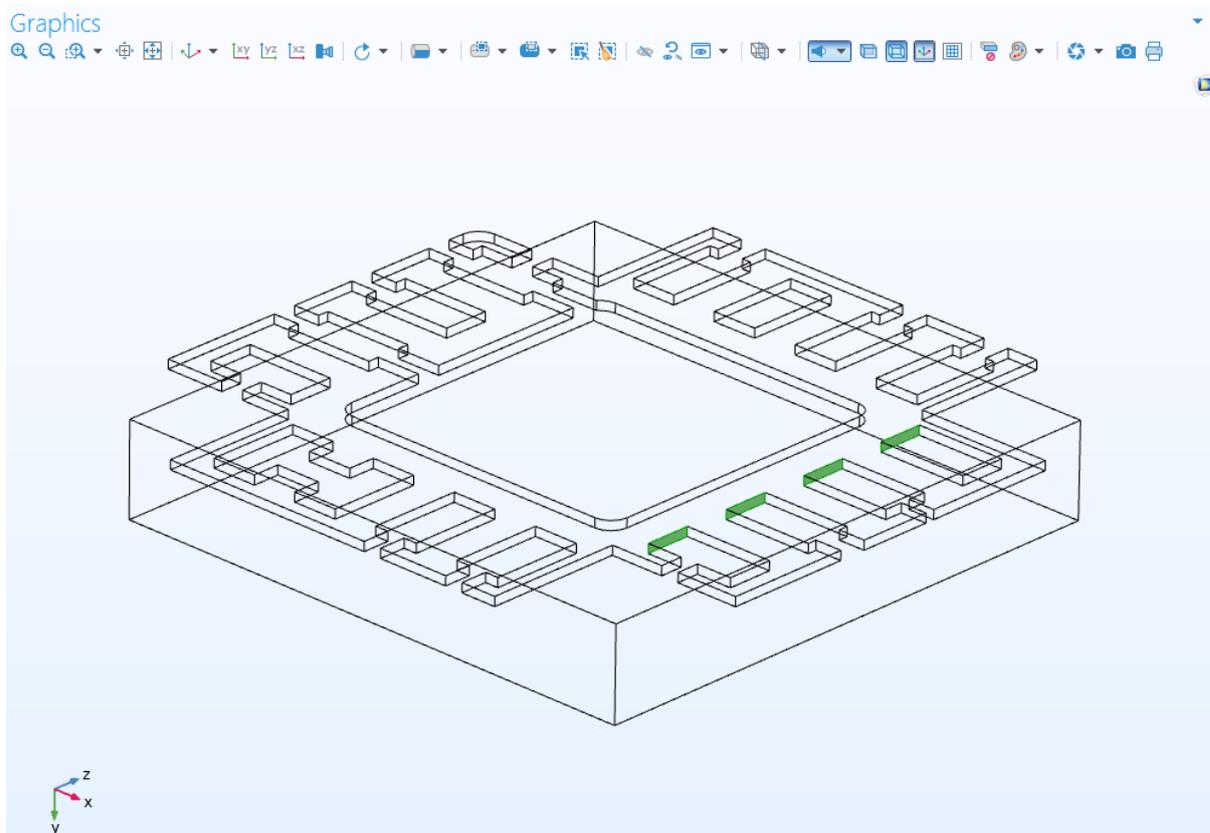


Fonte: Elaborado pelo autor (2023).

Ao selecionar a opção de “*Inlet*”, ou seja, a entrada do fluxo de material, irá selecionar somente a região destacada na Figura apêndice 15. Isso pois como o chip se encontra fixado com a PCI na parte de cima da cavidade do molde, com os demais componentes virados para baixo, o fluxo de EMC na moldagem por compressão se dá de baixo para cima.

Para o “*Outlet*” serão selecionadas às regiões de saída do EMC. Conforme falado durante o estudo, esta é uma técnica usada para tentar estabelecer a facilidade de escoamento de EMC nos canais do chip de acordo com cada projeto apresentado e proposto. Na realidade, no processo de moldagem por compressão, não existe tal saída de material, sendo um conjunto de cavidade superior e inferior fechadas e sob a influência de um vácuo de baixa pressão. As regiões de saída estão representadas na Figura apêndice 16.

Figura apêndice 16 - Região de saída de EMC.



Fonte: Elaborado pelo autor (2023).

### Passo 6: Criando a malha

Com a conclusão da configuração da física de escoamento laminar, é necessário realizar a criação da malha do modelo. Na aba “Home”, terá uma secção com a opção “Mesh”, vá na opção “Mesh 1” e clique nela. Os botões para construção de malha são apresentados na Figura apêndice 17.

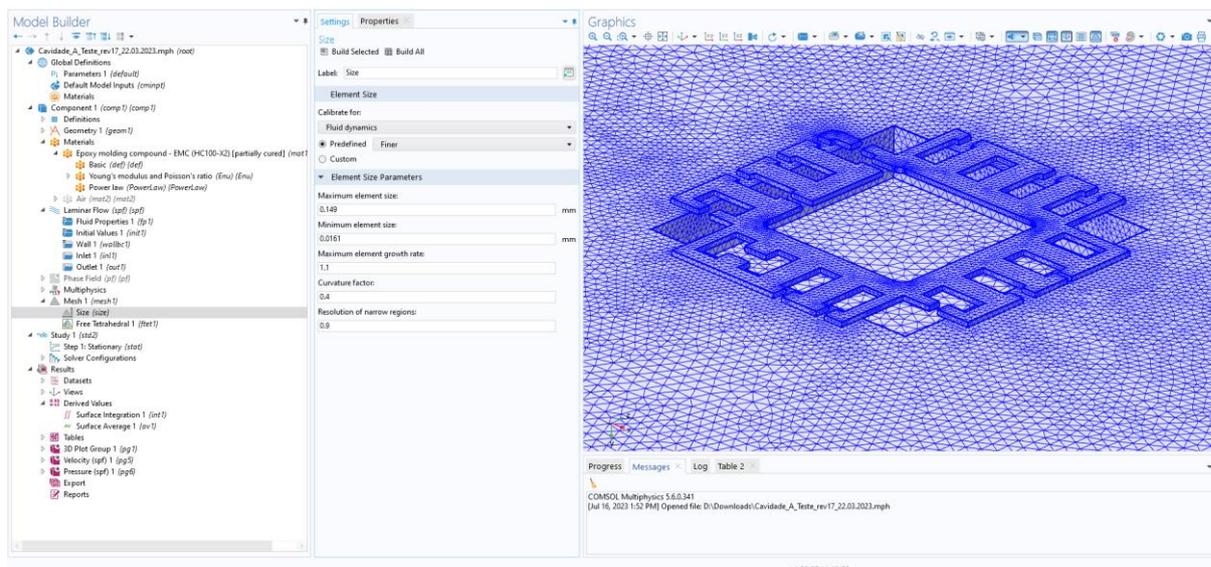
Figura apêndice 17 - Botão de criação de malha.



Fonte: Elaborado pelo autor (2023).

Após isso, vá na opção de “*Mesh 1*” que irá surgir na árvore de opções, que fica à esquerda e configure as opções conforme Figura apêndice 18. Após a configuração, clique no botão “*Build selected*” para gerar a malha.

Figura apêndice 18 - Configurando a malha do modelo.

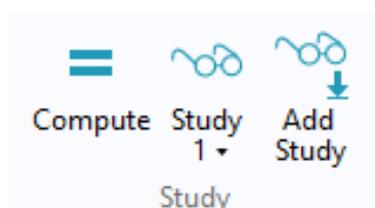


Fonte: Elaborado pelo autor (2023).

## Passo 7: Criando o estudo

Com a malha devidamente criada e configurada, já se tem a maioria das configurações da simulação realizadas. Para visualizar os resultados, é necessário criar um estudo a respeito dos parâmetros definidos. Para isso, vá na aba “*Home*”, clique em “*Add Study*” para inserir um estudo. Os botões para criação de um estudo e para computar a simulação são apresentados na Figura apêndice 19.

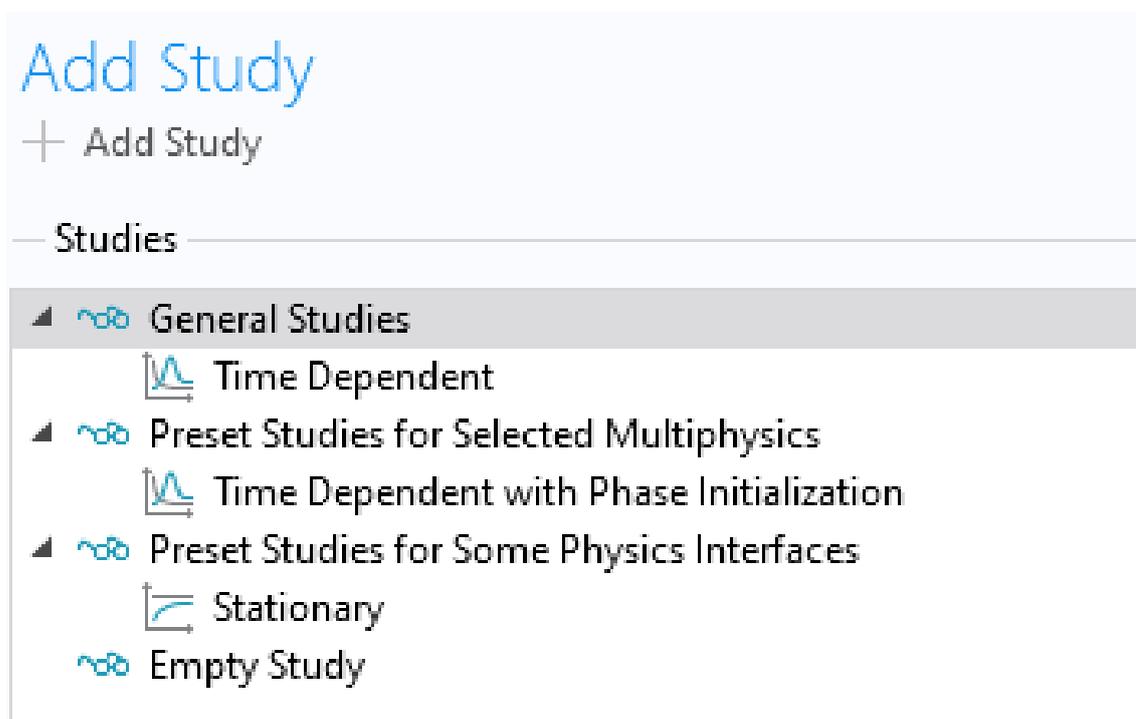
Figura apêndice 19 - Adicionando um estudo.



Fonte: Elaborado pelo autor (2023).

Com isso, irá abrir uma caixa de opções para selecionar o tipo de estudo. Nessa mesma caixa, selecione a opção de estudo estacionário, clicando em “*Stationary*”. Conforme é mostrado na Figura apêndice 20.

Figura apêndice 20 - Selecionando o tipo de estudo.



Fonte: Elaborado pelo autor (2023).

Na árvore de opções a esquerda, irá surgir a opção “*Step 1: Stationary*”, clique nele e configure conforme a Figura apêndice 21.

Figura apêndice 21 - Configurando o estudo estacionário.

Settings Properties X

Stationary

Compute Update Solution

Label: Stationary

Study Settings

Results While Solving

Plot

Plot group: 3D Plot Group 1 {pg1}

Probes: All

Update at: Steps stored in output

Physics and Variables Selection

Modify model configuration for study step

Physics interface	Solve for	Discretization
Laminar Flow (spf) {spf}	<input checked="" type="checkbox"/>	Physics settings

Values of Dependent Variables

Initial values of variables solved for

Settings: Physics controlled

Values of variables not solved for

Settings: Physics controlled

Store fields in output

Settings: All

Mesh Selection

Geometry	Mesh
Geometry 1 {geom1}	Mesh 1 {mesh1}

Adaptation and Error Estimates

Adaptation and error estimates: None

Fonte: Elaborado pelo autor (2023).

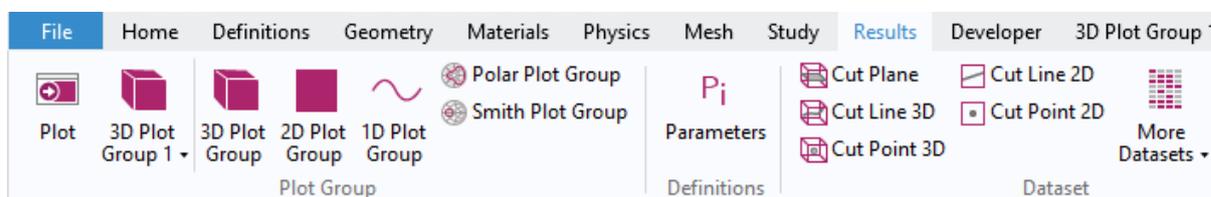
Com o estudo criado, agora basta executar a simulação. Isso pode levar algum tempo. Isso tudo depende de diversos fatores, um deles é o quão refinada é a malha que foi selecionada. Quanto mais refinada, mais tempo a simulação levará para ser concluída, mas ao mesmo tempo trará resultados mais precisos, podendo ainda variar conforme o *hardware* do computador que executará a simulação.

Para iniciar a execução da simulação, ainda no “*Step 1: Stationary*”, clique em “*Compute*”, conforme mostrado na Figura apêndice 19.

### Passo 8: Visualização de resultados

Para auxiliar na interpretação de dados e resultados, pode-se criar uma visualização que pode ser definida por cada usuário, dependendo do que se deseja visualizar. Para isso vá em “*Results*”, depois selecione a opção “*3D Plot Group 1*”. As opções de visualização dos resultados estão dispostas conforme Figura apêndice 22.

Figura apêndice 22 - Realizando a plotagem dos resultados.

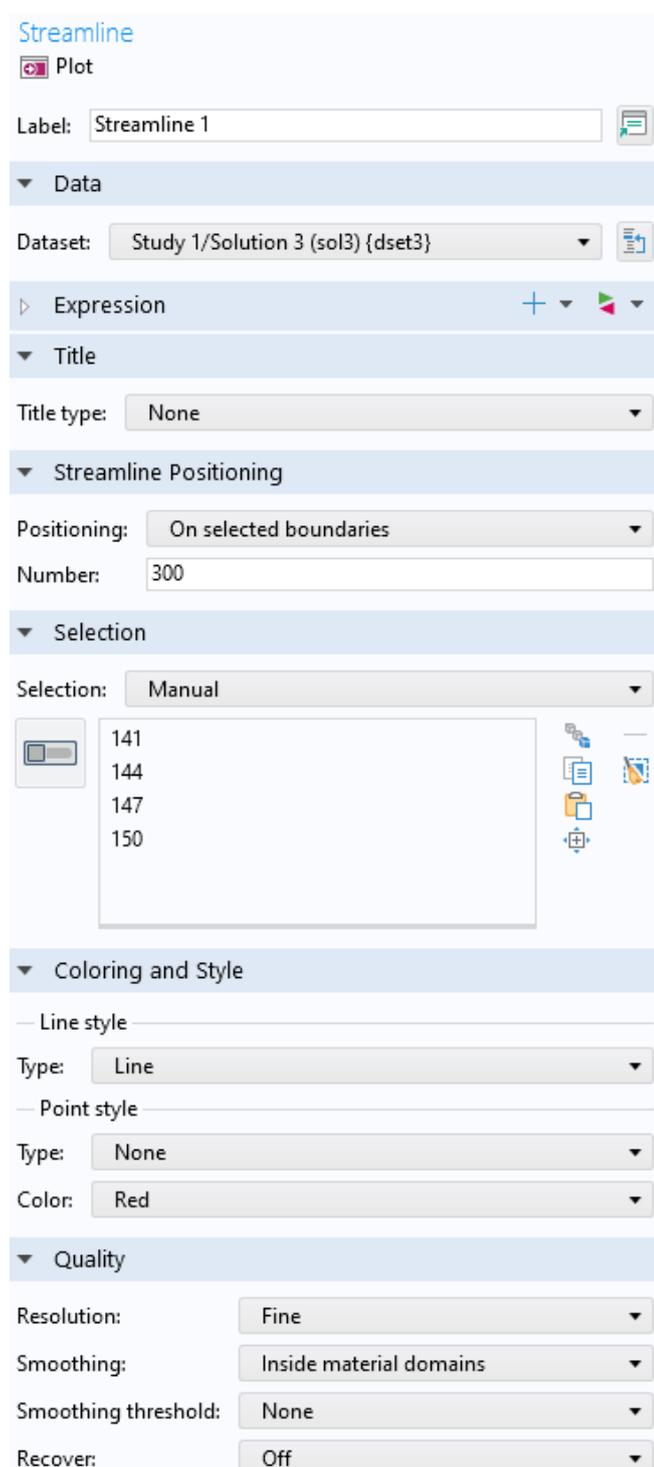


Fonte: Elaborado pelo autor (2023).

A seguir, conforme o estudo, foram configuradas duas visualizações, a “*Streamlines*” e a “*Slice*”.

As “*Streamlines*” devem ser configuradas conforme a Figura apêndice 23, onde as seleções que são apresentadas, são as mesmas seleções utilizadas no “*Outlet*” durante a configuração do fluxo laminar.

Figura apêndice 23 - Configurando a visualização das “*Streamlines*”.



Fonte: Elaborado pelo autor (2023).

A “Slice” deve ser configurada conforme a Figura apêndice 24, onde as seleções que são apresentadas, são as mesmas seleções utilizadas no “Outlet” durante a configuração do fluxo laminar.

Figura apêndice 24 - Configurando a visualização da “Slice”.

**Slice**

Plot  
spf.U

Unit:  
µm/s

Description:  
Velocity magnitude

**Title**

Title type: Custom

Type and data

Type  
 Description  
 Expression  
 Unit

User

Prefix: Campo de velocidade  
Suffix:

**Plane Data**

Plane type: Quick

Plane: zx-planes

Entry method: Number of planes

Planes: 1

Interactive  
Shift: -4.3E-4

**Range**

Manual color range

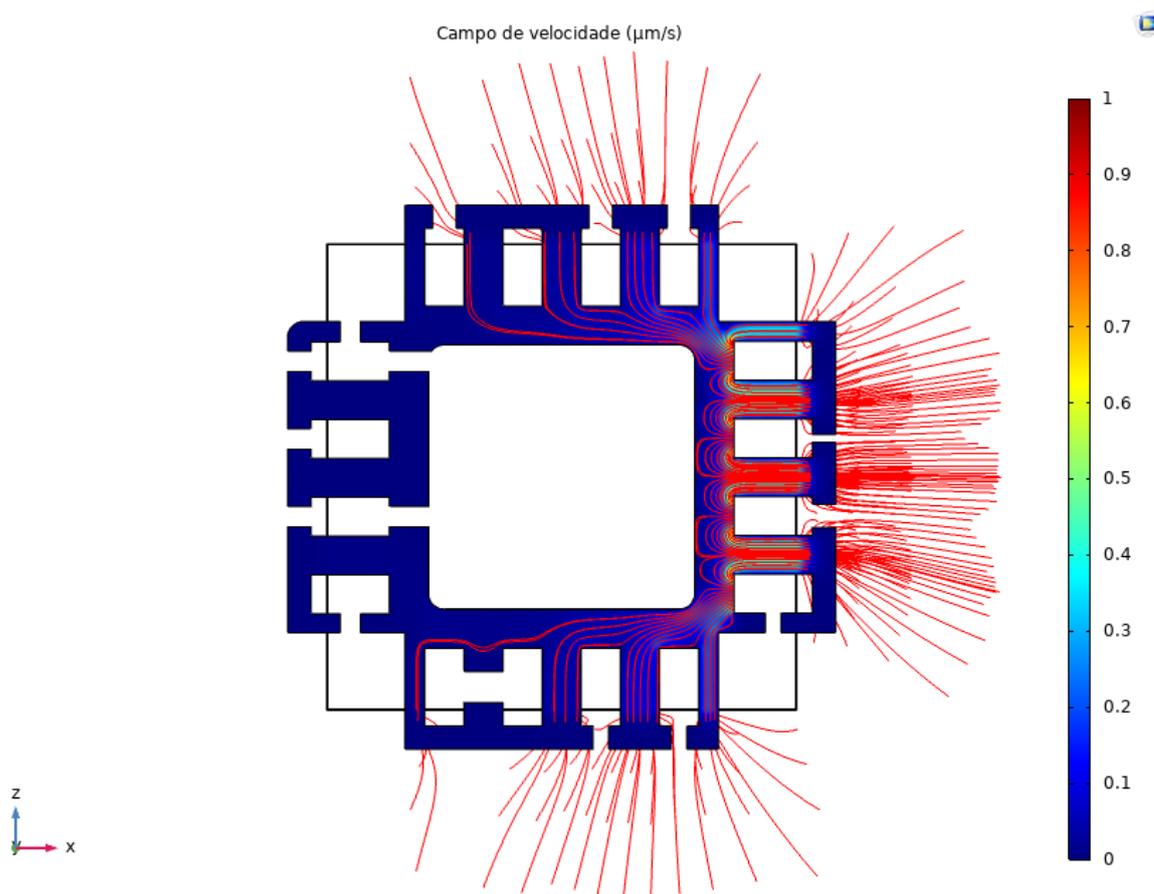
Minimum: 0

Maximum: 1

Fonte: Elaborado pelo autor (2023).

Seguindo os passos citados acima, o usuário deve conseguir com facilidade, atingir o mesmo resultado de simulação do que foi realizado neste estudo, conforme é representado na Figura apêndice 25.

Figura apêndice 25 - Resultado da simulação.



Fonte: Elaborado pelo autor (2023).